بسم الله الرحمن الرحيم

٤٧٧٠٣

مرکز اطلاعات و مدارک علمی ایران
تهیه مدارک
۱۳۸۲ /۵/ ۲۷

دانشگاه علم وصنعت ایران
دانشکده مهندسی برق

طراحی یک جمع کننده کامل ۸ بیتی با استفاده از تکنیکهای مختلف به منظور بهینه سازی توان مصرفی و افزایش سرعت

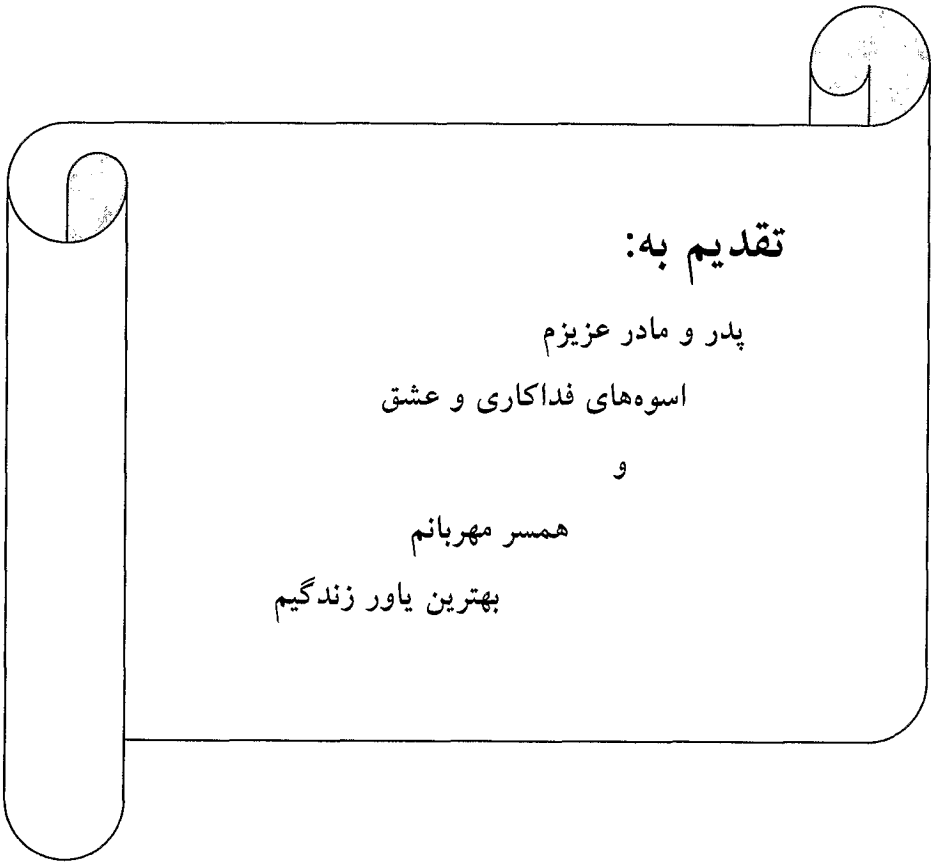
تهیه کننده
افسانه حق‌نگهدار

پایان نامه برای دریافت درجه کارشناسی ارشد
مهندسی برق-الکترونیک

استاد راهنما
آقای دکتر میرزاکوچکی

بهار
۱۳۸۱

۴۷۷۰۳



تقدیم به:

پدر و مادر عزیزم

اسوه‌های فداکاری و عشق

و

همسر مهربانم

بهترین یاور زندگیم

چکیده:

هدف از این پایان‌نامه بررسی منطق MCML و مقایسه آن از لحاظ توان مصرفی و سرعت با منطقهای دیگر از جمله CMOS,CPL و Domino می‌باشد. بنابراین در این راستا گیتهای NAND با منطقهای گوناگون طراحی و سپس با نرم‌افزار SPICE Level 49 و تکنولوژی 0.6µm شبیه‌سازی شده است. با توجه به نتایج بدست آمده ملاحظه می‌شود که MCML با تکنولوژی 0.6µm در مقایسه با منطقهای دیگر توان زیادی را مصرف می‌کند. در نتیجه جهت کاهش این توان آن را بصورت دینامیکی و به عنوان DYMCML تغییر داده‌ایم و سپس آن را با منطقهای دیگر و منطق DYCML که توسط دکتر المصری برای تکنولوژی 0.6µm ارائه شده است مقایسه نموده‌ایم. در آخر با توجه به نتایج بدست آمده از مقایسات انجام شده، جمع‌کننده‌های ۸بیتی با تکنیک carry-lock-ahead(CLA) و منطقهای MODL،CPL و DYMCML طراحی نموده‌ایم، و آنها را از لحاظ توان مصرفی و سرعت مقایسه کرده‌ایم.

در ادامه کار اصلاح شده یک جمع کننده از نوع CLA با عنوان MOD-DYCML ارائه شده است.

در ابتدا جای دارد از زحمات استاد ارجمند آقای دکتر میرزاکوچکی که در طول دوره تحصیل اینجانب از هرگونه کمک و راهنمائی دریغ نکردند، کمال تشکر و قدردانی را بنمایم؛ و در ضمن از جناب آقای دکتر نبوی که پاسخ گوی سوالات اینجانب بودند تقدیر و تشکر می‌کنم.

فهرست

۱- بررسی انواع طرحهای مداری: ۲

۱-۱- *منطق دینامیک در مقابل استاتیک* ۲

۱-۲- *سبکهای* PASS-TRANSISTOR LOGIC ۶

۱-۳- *سطح ولتاژ آستانه* ۱۱

۲- مقیاس ولتاژ ۱۴

۲-۱- *بررسی تاخیر و فاکتور تاخیر- توان* ۱۴

۲-۲- *انتخاب سایز ترانزیستور متناسب با مقیاس ولتاژ* ۱۸

۲-۳- *نقش تکنولوژی در مقیاس ولتاژ* ۲۱

۲-۴- نقش معماری در مقیاس ولتاژ ۲۳

۲-۵- *ولتاژ تغذیه مناسب:* ۲۷

۳- منطق MCML ۳۳

۳-۱- اساس طراحی یک گیت MCML: ۳۵

۳-۲- معکوس کننده MCML: ۳۶

۳-۳- بررسی تاخیر و توان مدارات MCML: ۳۸

۳-۴- آنالیز MCML ۳۹

۳-۴-۱- *CMOS* ۴۰

۳-۴-۲- *MCML* ۴۲

۳-۵- ساختار DYMCML ۴۵

۳-۶- آنالیز DYMCML ۴۶

۳-۷- ساختار و عملکرد DYCML ۵۱

۳-۸- عملکرد منبع جریان دینامیک: ۵۴
۳-۹- آنایز DYCML: ۵۷

۴- جمع کننده کامل ۸ بیتی ۶۲

۴-۱- طراحی جمع کننده کامل ۸ بیتی ۶۳
۴-۲- جمع‌کننده ۸ بیتی MODL ۶۵
۴-۳- جمع کننده کامل ۸ بیتی MOD-DYCML ۷۰
۴-۴- جمع کننده کامل ۸بیتی CPL ۷۵

۵- نتیجه گیری ۸۰

فهرست اشکال:

شکل ۱-۱ مقایسه جمع کننده CPL و CMOS ۷

شکل۱-۲ طراحی مالتی پلکسرهای دو ورودی ۹

شکل۲-۱ فاکتور تاخیر - توان بر حسب Vdd برای دو مدار مختلف ۱۵

شکل۲-۲تاخیر بر حسب Vdd..... ۱۵

شکل۲-۳ فاکتور تاخیر –آنالیز سایز ترانزیستور..... ۱۷

شکل۲-٤ یک مدل مداری برای سایز ترانزیستور، برای عوامل پارازیتی مختلف..... ۱۹

شکل۲-۵ بررسی انرژی در مقابل توان بر حسب تاخیر..... ۲۰

شکل۲-٦ یک مسیر ساده داده همراه با layout..... ۲۳

شکل۲-۷ اجرای موازی مسیر ساده داده..... ۲٤

شکل۲-۸ اجرای pipeline مسیر ساده داده..... ۲۵

شکل۲-۹ بیان ولتاژ مطلوب در مدارات متفاوت..... ۳۰

شکل۳-۱ اساس ساختار گیت MCML..... ۳۵

شکل۳-۲ گیت معکوس کننده MCML ۳۷

شکل۳-۳ ساختار پایه آنالیز گیتهای NAND..... ٤۰

شکل۳-٤ ساختار گیت CMOS NAND..... ٤۱

شکل۳-۵ نتیجه آنالیز گیت NAND CMOS توسط spice ٤۱

شکل۳-٦ ساختار گیتMCML NAND ٤٣

شکل۳-۷ نتیجه آنالیز گیت MCML NAND توسط spice..... ٤٣

شکل۳-۸ نمودار توان – فرکانس معکوس کننده‌های CMOS,MCML ٤٤

شکل۳-۹ معماری گیت DYMCML..... ٤٥

شکل۳-۱۰ مدار یک گیت NAND با ساختار DYMCML..... ٤٧

شکل۳-۱۱ نتیجه آنالیز مداری گیت DYMCML NAND توسط SPICE ٤٧

شکل۳-۱۲ مدار یگ گیت NAND با ساختار CPL..... ٤٩

شکل۳-۱۳ مدار یگ گیت NAND با ساختار Domino ٤٩

شکل ۳-۱٤ معماری گیت DYCML..... ٥١

شکل۳-۱٥ ولتاژ نودهای مختلف در گیت DYCML..... ٥٣

شکل۳-۱٦ (آ) ولتاژ ترانزیستورQ1 ..... ٥٦

شکل۳-۱٦(ب) جریان عبوری از ترانزیستور Q1..... ٥٦

شکل۳-۱۷ مدار گیت NAND با منطقDYCML ٥٨

شکل۳-۱۸ نتیجه آنالیز مداری گیت DYCML توسط SPICE ٥٩

شکل٤-۱ ساختار جمع کننده موازی ٤بیتی ٦٤

شکل٤-۲ بلوک CLA ٦٥

شکل٤-۳ گیتهای NAND,XOR در منطق Dynamic NMOS..... ٦٦

شکل٤-٤ منطق Domino دو خروجی ٦٧

شکل ٤-٥ CLA با منطق MODL..... ٦٩

شکل٤-٦ طرح گیت DYCML XOR ٧١

شکل٤-٧ طراحی اولین کری، CLA در MOD-DYMCML ٧٢

شکل٤-٨ طراحی دومین کری، CLA در MOD-DYMCML ٧٢

شکل٤-٩ طراحی سومین کری، CLA در MOD-DYMCML ٧٣

شکل٤-١٠ طراحی چهارمین کری، CLA در MOD-DYMCML ٧٤

شکل٤-١١CPL NAND ٧٦

شکل٤-١٢ CPL XOR ٧٦

شکل٤-١٣ اولین و دومین کری CPL ٧٧

شکل٤-١٤ سومین و چهارمین کری CPL ٧٧

فهرست جداول

جدول ۱-۱ مقایسه طرحهای مختلف خانواده PASS-GATE[۱۳] ۱۰

جدول ۲-۱ جزئیات عناصر بکار رفته در شکل۲ –۲ [۱] ۱۶

جدول ۲-۲ مقایسه معماریهای مختلف[۲] ۲۷

جدول ۲-۳ مساحت/توان نرمال شده برای ولتاژهای تغذیه متفاوت برای طرحهای۳،۲و ۴ در شکل ۲–۹[۲] ۳۱

جدول ۳ -۱ مقایسه گیتهای MCML NAND , CMOS NAND از لحاظ توان مصرفی و تاخیر ۴۲

جدول ۳-۲ مقایسه توان و تاخیر گیت NAND با ساختارهای DYMCML,MCML,CMOS ۴۸

جدول ۳-۳ مقایسه توان تاخیر گیت NAND با ساختارهای DYMCML MCML , DOMINO , CPL , CMOS .. ۵۰

جدول ۳-۴ مقایسه توان، تاخیرو فاکتور تاخیرـانرژی برای گیت NAND با ساختارهای مختلف ۵۹

جدول ۴-۱مقایسه جمع کننده‌های ۴ بیتی ۷۸

مقدمه:

بـا نگـاهی بـه تاریخ الکترونیک، ملاحظه می شود که یکی از دلایل اولیهٔ پیشرفت تکنولوژی، نیاز آیـندگان بـه اسـتفاده موثر از انرژی، همزمان با افزایش سطوح پیچیدگی مدارات بوده است. به همین عـلت حرکت از لامپهای خلا، به طرف منطق مداری و از bipolar به MOS و در آخر از NMOS به CMOS صورت گرفت.

دوبـاره تاریخ تکرار شد و همزمان با افزایش پیچیدگی مدارات CMOS، مصرف انرژی و توان به حـد بحرانی خود رسید. به همین علت سعی شد، همگام با پیشرفت تکنولوژی، مصرف انرژی نیز در مدارات CMOS، بهبود یابد.

بـنابراین نخسـتین مسـاله در طـراحی یک مدار با توان تلفاتی پائین، شناسائی اجزاء مصرف کننده تـوان مـی‌باشـد. در مـدارات دیجیـتال CMOS، تـلفات توان ناشی از ۳ منبع عمده می‌باشد که بطور مختصر به صورت معادله زیر بیان می‌شود[2]

$$P_{total} = P_t(C_L.V.V_{dd}.f_{clk}) + I_{sc}.V_{dd} + I_{leakage}.V_{dd}$$

در این معادله جمله اول بیان کننده عناصر سوئیچ قدرت است. که در آن C_l خازن بار، f_{clk} فرکانس اصلی پالسهای ساعت و p_t احتمال مصرف شدن توان در حالت گذر (ضریب فعالیت) می‌باشد. v ولتاژ سوئینگ است که در اکثر موارد مشابه ولتاژ تغذیه V_{dd} می‌باشد.

جمله دوم ناشی از جریان اتصال کوتاه I_{sc} است. این جریان زمانی ایجاد می‌شود که هر دو ترانزیستور NMOS و PMOS با هم روشن باشند و جریان مستقیما از منبع تغذیه وارد زمین شود. و در نهایت جمله آخر، بیان کننده جریان نشتی است که می‌تواند ناشی از تزریقات بدنه و اثرات زیر آستانه باشد. که این جریان با پیشرفت تکنولوژی کاهش یافته است.

همانطور که ملاحظه می‌شود، عناصر سوئیچینگ در یک طراحی خوب مدار، نقش اصلی را ایفا می‌کنند. و در یک طراحی با تلفات توان پائین باید مقادیر $p_t, C_l, V_{dd}, f_{clk}$، حداقل باشند. کاهش فرکانس توسط سطح معماری امکان‌پذیر است، اما باید توجه داشت که فرکانس به throughput مورد نیاز که باید ثابت نگه داشته شود، بستگی دارد. C_l، ناشی از خازنهای ترانزیستور و اتصالات سیمهاست که با کم کردن ترانزیستورها و سایز آنها و نیز نودهای مدار، کاهش می‌یابد.

همانطور که در معادله توان مشاهده می‌شود، کاهش ولتاژ تغذیه در کاهش تلفات توان بسیار موثر است، اما با توجه به اینکه افزایش پیچیدگی مدارات، کاهش ولتاژ تغذیه را با مشکلات فراوانی مواجه می‌کند، بنابراین در کنار این کاهش باید از روشهای مختلف مداری و نیز تکنیکها و تکنولوژی‌های خاص نیز استفاده شود.

با توجه به مطالب بیان شده در دو فصل اول این پایان‌نامه به بررسی عوامل موثر در تلفات توان مصرفی پرداخته و بعضی از روشهایی که تاکنون جهت بهبود توان مصرفی در مدارات CMOS دیجیتال کاربرد داشته است را بیان می‌کنیم.

در فصل سوم منطقMCML را مورد بررسی قرار می‌دهیم و این منطق را از نظر توان مصرفی و سرعت با روشهای دیگر در تکنولوژی 0.6μm مقایسه می‌کنیم.

در فصل چهارم با توجه به نتایجی که بدست آمده و در نظر گرفتن دو پارامتر توان مصرفی و سرعت یک جمع کننده کامل ۸ بیتی را طراحی کرده و ارائه می‌دهیم.

فصل اول