دانشکده مهندسی دانشگاه فردوسی مشهد

پایان‌نامه کارشناسی ارشد الکترونیک

طراحی مدارهای منطق دومینوی مقاوم به نویز و نشتی در فن‌آوری CMOS زیر میکرون

استاد راهنما:

جناب آقای دکتر علی پیروی

ارایه دهنده:

شهاب شریعتی

فهرست مطالب

عنوان	صفحه
فصل ۱	۱
بررسی فن آوری CMOS	۲
مقدمه	۲
۱-۱ تکنولوژی مدارهای مجتمع	۳
۱-۲ مفاهیم اولیه	۵
۱-۳ توان در مدارهای CMOS	٦
۱-۳-۱ توان ایستا	۷
۱-۳-۲ توان پویا	۸
۱-۳-۳ محصول تاخیر- انرژی	۹
۱-٤ کاهش توان در مدارهای CMOS	۹
۱-٤-۱ کاهش توان فعال	۹
۱-٤-۲ کاهش توان نشتی	۱۰
۱-۵ نتیجه گیری	۱۲
فصل ۲	۱۳

مکانیزم‌های جریان نشتی در فناوری CMOS ۱٤
مقدمه ۱٤
۲-۱ ویژگی‌های CMOS در فناوری زیر میکرون ۱٥
۲-۲ مکانیزم‌های نشتی ترانزیستور ۱۸
۲-۲-۱ جریان بایاس معکوس پیوند PN ۱۹
۲-۲-۱-۱ جریان باند به باند تونل زنی (BTBT) ۲۰
۲-۲-۲ جریان نشتی زیر آستانه ($I_۲$) ۲۱
۲-۲-۲-۱ DIBL ۲٤
۲-۲-۲-۲ اثر بدنه ۲٥
۲-۲-۲-۳ اثر پهنای باریک ۲۷
۲-۲-۲-٤ اثر طول کانال و بیرون چرخیدن ولتاژ آستانه ۲۹
۲-۲-۲-٥ اثر دما ۳۰
۲-۲-۳ جریان تونل زنی داخل و سرتاسر اکسید گیت ۳۲
۲-۲-۳-۱ تونل زنی FN ۳٤
۲-۲-۳-۲ تونل زنی مستقیم ۳٥
۲-۲-٤ تزریق حامل‌های داغ از زیر لایه به اکسید گیت ۳۹
۲-۲-٥ نشتی درین گیت القا شده (GIDL) ۳۹

۲-۲-٦ عبور از میان (I_6) ٤١

۲-۳ نتیجه‌گیری ٤٣

فصل ۳ ٤٤

تکنیک‌های کاهش نشتی در مدارهای CMOS ٤٤

مقدمه ٤٥

۳-۱ مهندسی کانال برای کاهش نشتی ٤٧

۳-۱-۱ ناخالص سازی نزولی ٤٩

۳-۱-۲ تزریق هاله‌ای ٥٠

۳-۲ تکنیک‌های مداری برای کاهش نشتی ٥٢

۳-۲-۱ کنترل نشتی حالت استراحت با استفاده از پشته‌های ترانزیستور ٥٢

۳-۲-۲ طراحی‌های چند ولتاژ آستانه‌ای ٥٥

۳-۲-۲-۱ ناخالص سازی چندگانه کانال ٥٥

۳-۲-۲-۲ CMOS چند اکسیدی (MOXCMOS) ٥٦

۳-۲-۲-۳ طول کانال چندگانه ٥٧

۳-۲-۲-٤ بایاس بدنه چندتایی ٥٨

۳-۲-۳ طراحی‌های ولتاژ آستانه پویا ٦٣

۳-۲-۳-۱ طرح V_{th}-Hoping ٦٣

۳-۲-۳-۲ طرح مقیاس بندی ولتاژ آستانه پویا ٦٤

۳-۲-٤ مقیاس بندی ولتاژ تغذیه ٦٤

۳-۳ نتیجه‌گیری ٦٦

فصل ٤ ٦٧

ساختارهای مختلف منطقی برای مدارهای دیجیتال CMOS ٦٨

مقدمه ٦٨

٤-۱ مدارهای منطقی ساعت شده و ساعت نشده ٦٩

٤-۱-۱ منطق های ساعت نشده ٦٩

٤-۱-۱-۱ مدارهای CMOS ترکیبی ایستا ٦٩

٤-۱- ۱-۲ منطق شبه NMOS ٧٠

٤-۱- ۱-۳ مدار PTL ٧١

٤-۱- ۲ مدار دومینوی CMOS ٧٣

٤-۱-۲-۱ منطق دومینوی چند خروجی (MODL) ٧٤

٤-۱-۲-۲ عملکرد مدارهای منطقی دومینوی استاندارد ٧٥

٤-۱-۲-۳ مصالحه های امنیت نویز، تاخیر و انرژی در مدارهای منطق دومینو ٧٧

٤-١-٢-٤ مدار نگهدارنده شرطی ٨٠

٤-١-٢-٥ نگه دارنده با ولتاژ آستانه متغیر ٨١

٤-١-٢-٦ مولد بایاس بدنه پویا ٨٣

٤-٢ نتیجه گیری ٨٤

فصل ٥ ٨٥

مدارهای دومینو با امنیت نویز و نشتی بالا ٨٦

مقدمه ٨٦

٥-١ معیار نویز ٨٦

٥-٢ مدارهای دومینوی استاندارد ٨٧

٥-٣ یک مدار با بهبود امنیت نویز برای مدارهای دومینو با استفاده از اثر درین ترانزیستور پایه ٨٩

٥-٤ بررسی مدار با امنیت نویز بالا ٩٤

٥-٤-١ نتایج شبیه سازی و مقایسه ٩٦

٥-٥ مدار دومینوی HS ٩٩

٥-٥-١ مدار مقاوم به نشتی، سرعت بالا ١٠١

٥-٦ مدار دومینوی CFL ١٠٦

٥-٧ مدار دومینوی پیشنهادی ١١٠

۵–۸ نتیجه گیری ۱۱۵

فصل ٦ ۱۱٦

مقایسه کننده‌ها و مالتی پلکسرهای با Fan-in بالا ۱۱۷

مقدمه ۱۱۷

٦–۱ مثال‌های طراحی ۱۱۸

٦–۱–۱ مقایسه کننده‌های Fan-in بالا ۱۱۸

٦–۱–۲ مالتی پلکسرهای با Fan-in بالا ۱۲۱

٦–۲ پیشنهادات ۱۲٤

منابع ۱۲۵

فصل ۱

بررسی فن آوری CMOS

بررسی فن‌آوری CMOS

مقدمه:

فن آوری CMOS، ابعاد CMOS را از ۱۰ میکرون (سال ۱۹۷۰) تا فن آوری فعلی (یعنی ۰/۱ میکرون) ممکن ساخته است. سرعت بالا، توان پایین و چگالی بالا، فن آوری CMOS را برای مدارهای مجتمع، مناسب‌تر ساخته است. همچنین مقیاس‌بندی بیشتر فن آوری CMOS، نشان می‌دهد که این فن‌آوری برای آینده نیز مناسب به نظر می‌رسد. روش‌های مداری مختلف در فن آوری CMOS، محقق می‌شوند. در هر صورت، یک مصالحه بین سرعت، توان، مساحت و قدرت همه آن‌ها وجود دارد. بنابراین برای هر طراحی، بسته به کاربردش، بهترین توازن برای این سه مورد بایستی پیدا شود. در این بخش یک مرور کلی از منطق‌های CMOS و روش‌های مداری مختلف به صورت ترم‌هایی از توان، سرعت، قدرت و مساحت ممکن، مقایسه می‌شوند. چون هدف ما تحقیق در مورد مصالحه‌هایی است که ممکن است در سطح مداری برای کاهش مصرف توان و یا افزایش سرعت باشند، بنابراین، ابتدا پارامترهایی را مطالعه می‌کنیم که روی مصرف توان و سرعت مدار تأثیر می‌گذارند. در این فصل تمرکز اصلی ما، بر روی توان مصرفی در مدارهای دیجیتال CMOS است.

۱-۱ تکنولوژی مدارهای مجتمع:

تردیدی نیست که زندگی روزمره ما به شدت تحت تأثیر تکنولوژی مهندسی الکترونیک قرار گرفته است. این موضوع در عرصه خانه، حرفه ، محل کار و در فعالیت های تفریحی ما محسوس است. حتی در مدرسه نیز کودکان ما با قطعات الکترونیکی بسیار پیچیده آشنا شده و کار با آن ها را فرا می‌گیرند. شک نیست که این تحولات شگفت انگیز در زمانی نسبتاً کوتاه به وقوع پیوسته است و مسلم است که پیشرفت‌های بیشتری نیز در

دهه آینده به وقوع خواهد پیوست. مشخصه‌های علم الکترونیک، همچنان که امروزه می‌دانیم عبارتند از : قابلیت اطمینان، توان مصرفی پایین، وزن و حجم بسیار کم، هزینه اندک و توانایی کار با دقت و پیچیدگی بسیار بالا.

الکترونیک، و به ویژه بکارگیری مدارهای مجتمع، طراحی پردازنده‌های قوی و قابل انعطافی را امکان پذیر ساخته است که دستگاه‌هایی بسیار هوشمند و قابل تطبیق در اختیار کاربران قرار می‌دهد. حافظه‌های ساخته شده با مدارهای مجتمع به عنوان عناصر اصلی و مکمل این پردازنده‌ها به همراه طیف وسیعی از مدارهای مجتمع منطقی و آنالوگ، اجزایی بسیار توانا و دارای کاربردهای وسیع، در اختیار کاربران و طراحان سیستم قرار داده است. علیرغم این پیشرفت‌های شگرف، هنوز تکنولوژی به هیچ وجه نتوانسته است با تمام توان حرکت کند و به نظر نمی‌رسد که قابلیت توسعه در آینده اندک باشد.

تا دهه ۱۹۵۰ تکنولوژی قطعات فعال الکترونیکی عمدتاً شامل لامپ های خلاء می‌شد و هرچند تا حدی مدارها کوچک‌تر و مجتمع‌تر شد، ولی تکنولوژی مزبور، این گونه که امروزه پذیرفته شده است، به کار کوچک سازی[۱] نمی‌آمد. اما امروزه بخش قابل توجهی از الکترونیک، نتیجه اختراع ترانزیستور در سال ۱۹٤۷ است.

اختراع ترانزیستور توسط ویلیام شاکلی[۲]، والتر براتین[۳] و جان باردین[٤] از شرکت Bell Telephone Lab توسعه مدارهای مجتمع را به دنبال داشت. اولین IC در سال ۱۹٦۰ معرفی شد و از آن هنگام تاکنون چهار نسل از ICها، SSI (مجتمع سازی در مقیاس کوچک[٥])، MSI (مجتمع سازی در مقیاس متوسط[٦])، LSI (مجتمع سازی در مقیاس بزرگ[۷]) و VLSI (مجتمع سازی در مقیاس بسیار بزرگ[۸]) پدید آمده‌اند. هم اکنون در آستانه ظهور نسل پنجم ULSI (مجتمع سازی در مقیاس ماوراء بزرگ[۹]) با پیچیدگی بیش از ۳ میلیون قطعه روی تنها یک تراشه IC قرار داریم. البته هنوز کوچک‌سازی بیشتری مورد انتظار است و پیشرفت‌های گسترده‌تری در کاربرد این تکنولوژی باید به طور اجتناب ناپذیری انجام پذیرد.

---

[۱] - miniaturization
[۲] -william B.shockley
[۳] -walter H.Brattain
[٤] John Bardeen
[٥] -Small Scale Integration
[٦] -Medium Scale Integration
[۷] -Large Scale Integration
[۸] -Very Large Scale Integration
[۹] -Ultra Large Scale Integration

در طول سالیان گذشته، تکنولوژی CMOS سیلیکونی، تکنولوژی غالب برای ساخت مدارهای با سرعت بالا و مقرون به صرفه VLSI گردیده است. روند سریع این توسعه از میزان رشد تعداد ترانزیستورهای مجتمع در مدارهای روی یک تراشه مشخص می شود. چنین پیشرفتی، با محصولات اخیر، نظیر تراشه های RISC که در آن امکان پردازش حدود ۳۵ میلیون دستورالعمل در ثانیه وجود دارد گواهی بر این مدعاست. برای بهبود این نرخ خروجی نیاز به بهبود تکنولوژی از جهت مقیاس و فرآیند و یا از طریق استفاده از پیشرفت‌هایی نظیر BiCMOS است.

از لحاظ تاریخی در سال تعداد کل ترانزیستورها دو برابر می‌شود این روند تا سال ۸۰ ادامه پیدا کرد؛ که روند کند شد و تعداد کل ترانزیستورها در ٢٤ ماه دو برابر می‌شد. این قانون، قانون مور نامیده شد. اندازه ویفرها نیز روند رو به رشدی داشت و اندازه تراشه‌ها با اندازه ویفر افزایش یافت. برای ساخت یک تراشه بزرگ اقتصادی تر، چگالی نقص بایستی کاهش می‌یافت. مقیاس‌بندی فن‌آوری همچنین برای افزایش چگالی ترانزیستور ادامه پیدا می‌کند.

برای برآورده شدن قانون مور، اندازه تراشه‌ها در هر سال با نرخ ۷٪ افزایش می‌یابد. یا هر ده سال دو برابر می شود. اجازه دهید فرض کنیم که خواسته‌های اجرا و در نتیجه روند فرکانس ادامه یابد. بنابراین برای رسیدن به هدف تحقق، ولتاژ تغذیه فقط ۱۵٪ نسبت به مقدار تئوری‌اش (۳۰٪) مقیاس‌بندی می‌شود. اجازه دهید فرض کنیم که تولید تکنولوژی تقریباً دو سال طول می‌کشد. بنابراین هر دو سال:

۱- خازن هر گره ۳۰٪ کاهش می‌یابد.
۲- گره‌های الکتریکی در یک مساحت مشخص ، دو برابر می‌شوند.
۳- اندازه تراشه ١٤٪ کاهش می‌یابد.
٤- ولتاژ تغذیه ۱۵٪ کاهش می‌یابد.
۵- فرکانس دو برابر می‌شود.

و همچنین توان در هر دو سال ۲/۷ برابر می‌شود. برای رسیدن به نیاز توان ۲ برابر در هر دو سال، ولتاژهای آستانه بایستی به صورت تجاوزکارانه مقیاس‌بندی شوند که به نوبه خود باعث بیشتر شدن جریان‌های نشتی زیر آستانه می‌شود. بنابراین، توان نشتی یک قسمت قابل توجه توان کل خواهد بود.

۱-۲ مفاهیم اولیه:

وظیفه اولیه پایانه بدنه ترانزیستور، ایجاد عایق بین سورس و درین است. ناخالصی‌هایی که Doping نامیده می‌شوند، به نواحی سورس، بدنه و درین اضافه می‌شوند. نواحی سورس و درین با ناخالصی‌های نوع مخالف بالک، ناخالص می‌شوند که یک پیوند را ایجاد می‌کنند که جریان می‌تواند در آن جریان یابد.

تحت نفوذ گیت، قسمتی از ناحیه سطح سیلیکن، بین سورس و درین می‌تواند معکوس شود (کانال) که یک مسیر جریان بین سورس و درین تشکیل می‌دهد. چون گیت به صورت الکتریکی از جاهای دیگر قطعه، ایزوله شده است، گیت ترانزیستور به صورت یک خازن به مداربندی درایوش، ظاهر می‌شود. به طور ایده‌آل، چنانچه خازن گیت به حالت دلخواه، شارژ یا دشارژ شود، هیچ جریانی برای نگه داشتن آن حالت، مورد نیاز نیست. بنابراین، هیچ توانی مصرف نمی‌شود.

ولتاژ آستانه ترانزیستور، ولتاژ مورد نیاز گیت (نسبت به سورس)، برای روشن کردن ترانزیستور است که یک تابع پیچیده از ابعاد قطعه و همچنین پروفایل‌های دقیق‌تر ناخالص سازی قطعه است. ترانزیستورهای نوع N و P از نظر ناخالص سازی قطعه با هم فرق می‌کنند. توان مصرفی در قطعه CMOS به دو دسته ایستا و پویا تقسیم بندی می‌شود. مصرف توان پویا، زمانی است که حالتی تغییر می‌کند (یعنی وقتی قطعه کلید می‌خورد). ابتدائاً، به خاطر شارژ بار خازنی مربوط به سیم‌بندی خروجی و گیت ترانزیستورهای مرحله بعدی است (CdV/dt). یک جزء کوچک‌تر توان دینامیکی، از جریان اتصال کوتاهی است که به طور گذرا جاری می‌شود. زمانی که قطعات مکمل در گیت، به طور همزمان در طول یک تغییر حالت خروجی هدایت می‌کنند. مصرف توان ایستا، ناشی از جریان نشتی است. با توجه به مکانیزم‌های نشتی، مهم‌ترین منبع جریان نشتی، نشتی زیر آستانه است. جریان نشتی زیرآستانه، در زمان خاموش بودن ترانزیستور (یعنی ولتاژ گیت به سورس برابر صفر)، جریانی است که بین سورس و درین جاری می‌شود. برای فراهم کردن فرکانس‌های کاری بالاتر و همچنین به کار بردن قطعات بیشتر در یک تراشه، هر چند سال یک بار، قطعات، مقیاس‌بندی می‌شوند.

مهندسین طراح، چند سال قبل از ساخت قطعات شروع به مقیاس‌بندی می‌کنند. با استفاده از قانون مور، به عنوان یک راهنما، یک کاهش ۳۰ درصدی در ابعاد خطی منتجه در یک کاهش مساحت ۵۰ درصدی نسبت به فن‌آوری قبلی استفاده می‌کنند. محدودیت ابتدایی روی مقیاس‌بندی قطعات، فناوری فرآیند است (لیتوگرافی). دیگر محدودیت مهم، قابلیت اطمینان است. خیلی از پارامترهای قابلیت اطمینان، توابعی از میدان‌های الکتریکی هستند که در قطعه وجود دارند. اگر میدان‌های الکتریکی از حد معینی تجاوز کنند، ممکن است آسیب دائمی به ترانزیستور، نتیجه شود. مقیاس‌بندی میدان ثابت، برای نگه داشتن میدان‌های الکتریکی در فن‌آوری‌های تکنولوژیکی یکسان، ولتاژ تغذیه را با ضریبی بر حسب ابعاد قطعه، فراهم می‌کند. یک فایده مهم مقیاس‌بندی منبع تغذیه، رابطه درجه دوم آن با توان دینامیک است. با ابعاد فیزیکی و ولتاژ تغذیه معین، طراحان، دیگر پارامترهای قطعه را تنظیم می‌کنند. (یعنی ناخالص سازی) برای حداکثر کردن اجرای قطعه، در محدودیت‌های مشخص شده، به خاطر پیچیدگی شبیه‌سازی قطعه، شبیه سازی حتی مدارهای کوچک در سطح جزیی مورد نیاز، به وسیله مهندسان قطعه ، ممکن نیست. بنابراین، مهندسین قطعه، سعی می‌کنند که معیارهای تاخیر ساده را برای رسیدن به طراحی‌های قطعه دلخواه، بهینه کنند. این معیارها، ممکن است از شبیه‌سازی‌های مفصل یک ترانزیستور به دست آیند. بعد از اصلاح اجرا با قطعات تست شده ساخته شده، پارامترها، برای یک مدل ترانزیستور که بایستی در شبیه‌سازی‌ها استفاده شوند، استخراج می‌شوند.

۱-۳ توان در مدارهای دیجیتال CMOS:

به طور ایده‌آل، مدارهای CMOS، هیچ توان ایستایی (DC) مصرف نمی‌کنند، چون در حالت دائمی، هیچ مسیر مستقیمی از V_{DD} به زمین وجود ندارد. در هر صورت، این وضعیت در عمل، هرگز اتفاق نمی‌افتد. چون ترانزیستور MOS یک سوئیچ کامل نیست. یکی از اجزای دینامیکی توان از سوئیچ کردن قطعات CMOS به وجود می‌آید. در بعضی نقاط، در طول انتقال کلیدزنی، هم PMOS و هم NMOS روشن هستند و یک اتصال کوتاه بین V_{DD} و زمین به وجود می‌آید. جزء دیگر توان دینامیکی، شارژ و دشارژ خازن‌های پارازیتی هستند، که سهم زیادی از توان مصرفی مدارهای CMOS را شامل می‌شوند. این منجر به وابستگی اساسی

توان مصرفی مدارهای CMOS به فعالیت سوئیچینگ سیگنال‌های مربوطه می‌شود. اگر ما فعالیت سوئیچینگ را با پارامتر α نشان دهیم ، می توانیم توان مصرفی را از معادله زیر بدست آوریم:

$$P_{TOTAL} = \alpha C_L V_{DD}^2 f + V_{DD}.I_{leak} + V_{DD}.I_{SC} \quad (۱)$$

که f فرکانس کار منطق، C_L خازن کل شارژ و دشارژ شده در طول هر چرخه و V_{DD} ولتاژ تغذیه است و I_{SC} و I_{Leak} به ترتیب جریان اتصال کوتاه و نشتی هستند. همان‌طور که از فرمول بالا به‌دست می‌آید، ولتاژ منبع تغذیه یک رابطه درجه ۲ با توان دارد، بنابراین، کاهش ولتاژ به صورت رویایی، مصرف توان را کاهش می‌دهد.

نقش غیر قابل انکار مصرف توان، به عنوان یک محدود کننده اجرا منجر به توجه خاص به توان در مراحل مختلف طراحی می‌شود. تلاش‌هایی که قبلاً صورت می‌گرفت، بیشتر در سطح کنترل توان دینامک بود. توان پویا، نتیجه کلیدزنی است و به‌طور ایده‌آل تنها حالت مصرف توان در مداربندی CMOS است.

آن ترکیب اصلی انتشار توان کل در فن‌آوری‌های امروزی به حساب می‌آید. انتشار توان دینامیک، با فرمول بندی $P_{dyn} = C.V_{cc}^2.f$ شناخته می‌شود. که C خازن گره‌های سوئیچ است (که شدیداً وابسته به خصوصیات سوئیچ است). که V_{CC}، ولتاژ تغذیه و f، فرکانس کاری موثر است. برای کم کردن توان دینامیکی، روش‌هایی مانند گیت کردن ساعت[۱۰] و حذف محاسبات غیر ضروری به کار گرفته می‌شوند. هدف هر کدام از این روش ها، کم کردن فرکانس کلیدزنی قطعات است. (حمله به C یا f) بهینه‌سازی ولتاژ تغذیه، برای حداقل کردن نسبت توان به اجرا نیز، انجام می‌شود. اما این فرآیند، تأثیر بسیار کمی از معماری‌های مورد نظر می‌پذیرد.

با کوچک‌تر کردن اندازه ترانزیستور و سریع‌تر شدن مدارها، مد دیگر انتشار توان مهم می‌شود، که توان ایستا نامیده می‌شود. توانی که به خاطر نشتی است و نه کلید زنی. مقیاس بندی فن‌آوری، هم سهم واقعی و هم سهم نسبی توان ایستا را افزایش می‌دهد. توان مصرفی ایستا، مساوی حاصل ضرب ولتاژ تغذیه در جریان نشتی

[۱۰] -Clock gating

است. چنان چه ولتاژ تغذیه افزایش یابد، جریان نشتی به‌طور نمایی افزایش می‌یابد. سهم افزایش توان ایستا حتی در طراحی‌های امروزی نیز آشکار است. به مد اجرایی پردازنده پنتیوم III ساخته شده در فرایند CMOS ۰/۱۸ میکرون اینتل و پنتیوم III B و پنتیوم III ۱/۳ گیگاهرتز توجه کنید. ورقه اطلاعات اینتل، نشان می‌دهد که حداکثر توان مصرفی هسته نوع ۱ گیگا هرتز ۳۳ وات است و انتشار توان ایستا را ۳/۷٤ وات نشان می‌دهد. برای پردازنده ۱/۳ گیگا هرتز، انتشار توان پویا را ٤۱/٤ است و توان ایستا حدود ۵/٤ وات داده شده است. در حالی که توان کل چیزی حدود ۲۵٪ زیادتر شده است؛ ولی توان ایستا حدود ٤٤٪ زیاد شده است و ۱۳٪ توان کل هسته را تشکیل می‌دهد[۱].

۱-۳-۱ مصرف توان ایستا:

توان ایستا در مدارهای CMOS اساساً به خاطر دو منبع جریان نشتی است اول جریان نشتی معکوس دیودهای سورس- زیرلایه و درین- زیرلایه انگلی است. این جریان از مرتبه چند fA برای هر دیود است. که منجر به یک مصرف توان چند میکرو وات برای میلیون‌ها ترانزیستور می‌شود. دومین منبع جریان زیر آستانه، MOSFETها است، که از مرتبه چند نانو آمپر است. برای چند میلیون ترانزیستور توان نشتی زیر آستانه حدود چند میلی وات می‌شود. جریان زیر آستانه به دما حساس است و به طور شگفت انگیزی با افزایش دما زیاد می شود[۲].

۱-۳-۲ انتشار توان پویا:

هنگام انتقال خروجی از H به L ، مسیر از خط V_{dd} به گره خروجی هدایت می‌کند و خازن C در گره خروجی شارژ می‌شود. اجازه دهید فرض کنیم که ولتاژ خروجی V_O از یک سطح اولیه V به $V+V_s$ شارژ می شود ، انرژی که توسط منبع تغذیه ایجاد می‌شود برابر است با:

$$E = \int_{۰}^{\infty} V_{dd} \,.\, I(t)dt \qquad (۲)$$

که I(t) جریان کشیده شده از تغذیه است و به صورت زیر است:

$$I(t)=(\frac{V_{dd}}{R})e^{\frac{-t}{RC}} \qquad (۳)$$

که R مسیر بین خط V_{dd} و گره خروجی است . با قرار دادن ۳ در ۲ و انتگرال‌گیری داریم:

$$E=C\, V_{dd}V_s \qquad (٤)$$

هنگام انتقال از L به H ، هیچ انرژی به وسیله منبع تغذیه نمی‌شود و بنابراین مجموع انرژی ایجاد شده به وسیله منبع تغذیه در طول یک چرخه ساعت کامل با معادله ٤ داده می‌شود. بنابراین میانگین توان مصرف شده در طول یک چرخه ساعت برابر است با:

$$P=C_oV_{dd}V\ f \qquad (٥)$$

برای گیت‌های CMOS معمول ، $V_s = V_{dd}$ در نتیجه معادلات ٤ و ٥ به صورت زیر ساده می‌شوند:

$$E=C_O\ V_{dd}^{۲} \qquad (٦)$$

$P=C_O V_{dd}^2 f$

منبع دیگر مصرف توان دینامیکی، جریان اتصال کوتاه است، که از تغذیه به زمین، از طریق منطق P و منطق N کشیده می‌شود. وقتی که هر دوی آن‌ها هنگام انتقالات از L به H و H به L هدایت می‌کنند. توان مربوط به جریان اتصال کوتاه به طور نوعی خیلی کوچکتر از ترکیب $C V_{dd}^2 f$ است. در ادامه این بخش فرض خواهیم کرد که توان مصرفی در CMOS به وسیله توان پویا منتجه از فرآیند شارژ غالب می‌شود[۲].

۱-۳-۳ محصول تاخیر – انرژی : یک معیار برای طراحی انرژی پایین:

مقیاس‌بندی V_{DD} از دیدگاه انرژی مفید است، اما ممکن است اثرات جانبی روی تاخیر داشته باشد، این نشان می‌دهد که استفاده از انرژی به عنوان یک معیار رضایت بخش نیست. برای حداقل کردن حاصل تاخیر- انرژی، نیاز است که به مفاهیم تاخیر و مقیاس‌بندی توجه کنیم. چنان چه ولتاژ تغذیه زیاد شود، تاخیر مدارهای CMOS به احتمال خیلی زیاد افزایش خواهد یافت. محصول انرژی- تاخیر، مصالحه بین تاخیر و انرژی را نشان می‌دهد. برای ولتاژهای تغذیه پایین، انرژی حداقل است اما به قیمت تاخیر بالاتر، محصول تاخیر- انرژی یک معیار است که برای هر دو محاسبه می‌شود، انرژی و تاخیر. و می‌تواند برای محاسبه فرایندهای مختلف استفاده شود. ولتاژ تغذیه بهینه می‌تواند از حاصل تاخیر- انرژی تعیین شود.

۱-٤ کاهش توان در مدارات CMOS:

۱-٤-۱ کاهش توان فعال:

دو روش معمول برای کاهش توان فعال وجود دارد: ۱) کاهش فعالیت ۲) کاهش ولتاژ تغذیه برای کاهش فعالیت در منطق همزمان[۱۱]، CG اعمال می‌شود. سیگنال ساعت به وسیله یک بلوک منطقی به وسیله یک

[۱۱] -Clock gating

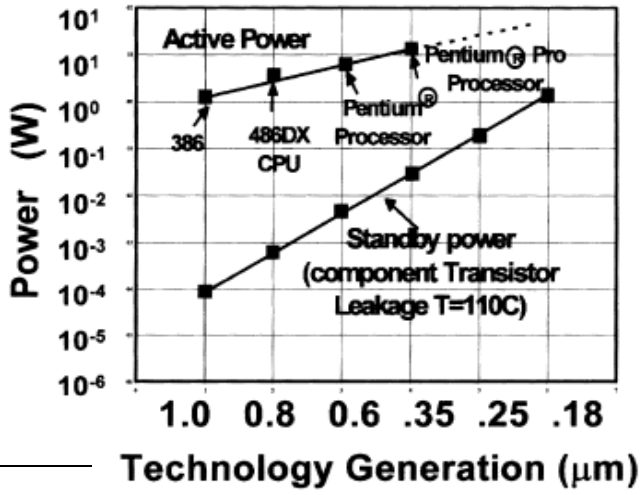
سیگنال کنترل گیت می‌شود که وقتی بلوک منطقی استفاده نمی‌شود، ساعت را متوقف می‌کند، علاوه بر آن، فعالیت سیگنال ساعت را کاهش می‌دهد و بنابراین مصرف توان فعال کلی را کاهش می‌دهد. چون ساعت، فعالیت قابل توجه در منطق به حساب می‌آید، ذخیره‌های توان قابل توجه می‌شوند. این تکنیک، محدود به سیگنال‌های ساعت به تنهایی نیست. و می‌تواند برای سیگنال‌هایی که فعالیت زیاد دارند، استفاده شود. چیزی که بایستی توجه شود، فراهم کردن این است که توان مصرف شده در منطق برای آشکارسازی و از کار انداختن CG به طول قابل توجهی پایین‌تر از صرفه جویی‌های توان قابل حصول به وسیله CG است. بنابراین، در عمل CG جایی به کار گرفته می‌شوند که یک بلوک منطقی برای چند چرخه ساعت، غیر فعال است، که موثر بودن این تکنیک را محدود می‌کند. چون توان یا ولتاژ تغذیه به صورت توان دوم کاهش می‌یابد، کاهش ولتاژ تغذیه می‌تواند باعث ذخیره توان قابل توجهی شود. دو راه برای به کار گرفتن کاهش ولتاژ تغذیه بدون مصالحه اجرای ایستا و دینامیک وجود دارد.

در مقیاس‌بندی ولتاژ تغذیه پویا، تراشه منطقی برای تحویل اجرای حداکثر، در بالاترین ولتاژ تغذیه طراحی می-شود. وقتی نیاز اجرا پایین است، تراشه در ولتاژ پایین‌تر کار می‌کند، که اجرای پایین‌تری را می‌دهد، اما با کاهش قابل توجه (درجه دو) در توان مواجه می‌شود. به عنوان مثال، یک ریز پردازنده موبایل، وقتی روی باطری کار می‌کند، می‌تواند در یک فرکانس و ولتاژ پایین‌تر اجرا شود. تراشه منطقی همچنین می‌تواند نیاز اجرا را برآورده کند و در نتیجه، ولتاژ تغذیه و فرکانس را تنظیم می‌کند در روش کاهش ولتاژ تغذیه ایستا، ولتاژهای تغذیه متعدد، استفاده می‌شوند.

چندین نمونه با ولتاژهای تغذیه چندگانه وجود دارند که نیاز به ارزیابی دقیق دارند. وقتی یک سیگنال منطقی که از یک بلوک آهسته گرفته شده است، به یک بلوک سریع وصل می‌شود، سطوح ولتاژ به ولتاژهای آستانه ترانزیستورها نزدیک‌تر هستند و می‌توانند توان نشتی بیش از حدی را مصرف کنند و NM را کاهش دهند. این طرح همچنین نیاز به شبکه منبع تغذیه اضافی و پشتیبانی مربوطه مانند دی کوپل کردن خازن ها برای ایجاد عملکرد بدون خطا دارند.

۱-٤-۲ کاهش توان نشتی:

در هر فناوری، ولتاژ تغذیه برای پایین‌تر آوردن مصرف توان، کم می‌شود. اما برای بهبود ترانزیستور و اجرای مداری ۳۰٪ ، برای هر فن آوری لازم است که ولتاژ آستانه نیز با همان نرخ کاهش یابد، برای این که OD[۱۲] گیت بزرگ (V_{cc}/V_t) به دست آید. اگر چه کاهش در V_t باعث می‌شود جریان نشتی ترانزیستور I_{off} به صورت نمایی افزایش یابد. نشتی بزرگ می‌تواند ۱) امنیت نویز مدارهای منطقی پویا را به شدت خراب کند ۲) پایداری سلول‌های GT SRAM را به خطر می‌اندازد ۳) مصرف توان نشتی تراشه را به یک مقدار بزرگ غیر قابل قبول افزایش می‌دهد. علاوه بر آن، خراب کردن اثرات کانال کوتاه و کم کردن سد القا شده درین (DIBL[۱۳]) در مسفت‌های مرسوم با ولتاژ آستانه پایین می‌تواند موانع جدی را تحمیل کند[۳]. شکل ۱-۱ سهم توان‌های فعال و ایستا را برای فن‌آوری‌های آینده تخمین می‌زند.



[۱۲] -Over drive
[۱۳] -Drain induced barrier lowering

شکل ۱-۱ تغییرات توان در فن آوری‌های مختلف [۲]

توجه کنید که I_{off} یک تابع قوی از دمای پیوند است. با استفاده از این ارقام نشتی زیر آستانه، توان نشتی کل یک تراشه بزرگ را در دمای بالا تخمین می‌زند. توجه کنید که تقریباً نیمی از توان تراشه می تواند از نشتی زیر آستانه باشد، این دلیل این مساله است که چرا تکنیک‌های کاهش توان نشتی در طرح‌های آینده ضروری خواهند بود. تکنیک طراحی دو ولتاژ آستانه‌ای به طور وسیعی برای کاهش توان نشتی زیر آستانه استفاده می شود.

در این تکنیک، تکنولوژی فرآیند دو نمونه ترانزیستور آماده می‌کند، با ولتاژ آستانه بالا و ولتاژ آستانه پایین، ترانزیستور با ولتاژ آستانه بالا، منطقی آهسته‌تر اما با نشتی کمتر می‌دهد. در حالی که ترانزیستورهای با ولتاژ آستانه پایین، منطقی سریع‌تر اما نشتی بالاتر (۱۰ برابر) می‌دهند. شکل ۱-۲ یک روش دو ولتاژ آستانه‌ای را برای یک بلوک منطقی نوعی با استفاده از توزیع تأخیر مسیر نشان می‌دهد.