فهرست مطالب

فهرست شکل ها VI

فهرست جدول ها XIII

مقدمه ۱

۱ فصل یک: بررسی منابع ۴

۱ ۱ مقدمه ای بر سیستم موقعیت یاب جهانی GPS ۷

۱ ۱ ۱ انواع گیرنده های GPS ۱۱

۱ ۱ ۲ کاربردهای سیستم GPS ۱۲

۱ ۲ مقدمه ی بر سیستم ناوبری اینرسی INS ۱۳

۱ ۲ ۱ دستگاه‌های مختصات در ناوبری ۱۳

۱ ۲ ۱ ۱ تقسیم بندی دستگاه های مختصات ناوبری ۱۴

۱ ۲ ۲ ناوبری کم‌هزینه ۱۶

۱ ۲ ۳ منابع خطا در سیستم ناوبری ۱۷

۱ ۲ ۳ ۱ مدل خطای ژیروسکوپ ۱۸

۱ ۲ ۴ تعیین ناوبری با زوایای اویلر ۱۹

۱ ۲ ۴ ۱ تعیین زاویه ψ (زاویه سمت از شمال) ۲۳

۱ ۳ سیستم مجتمع GPS/INS ۲۴

۱ ۳ ۱ انواع معماری ها و شماتیک های مربوط به سیستم مجتمع GPS/INS ۲۵

۱ ۳ ۱ ۱ حالت Uncoupled ۲۵

۱ ۳ ۱ ۲ حالت Loosely Coupled ۲۶

۱ ۳ ۱ ۳ حالت Ti htly Coupled ۲۸

۱ ۴ طراحی کالمن فیلتر ۲۸

۲ فصل دوم: مبانی و روش ها ۴۰
۲ ۱ مروری بر سخت افزار طراحی شده ۴۱
۲ ۲ طراحی سخت افزار مربوط به قسمت پردازنده ی DSP ۴۳
۲ ۲ ۱ مشخصات عمومی پردازشگرهای DSP ۴۴
۲ ۲ ۱ ۱ واحد MAC ۴۵
۲ ۲ ۱ ۲ دسترسی موثر به حافظه ۴۵
۲ ۲ ۱ ۳ واحدهای اجرایی مستقل از هم ۴۶
۲ ۲ ۱ ۴ نمایش داده و دقت نمایش ۴۶
۲ ۲ ۲ حلقه های بدون بالا سری ۴۷
۲ ۲ ۲ ۱ اجزا جانبی ۴۷
۲ ۲ ۲ ۲ دستورالعمل های خاص ۴۷
۲ ۲ ۲ ۳ بهبود کارایی پردازنده های DSP معمولی ۴۸
۲ ۲ ۲ ۴ ساختار SIMD ۴۹
۲ ۲ ۳ پردازنده های شرکت TI ۴۹
۲ ۲ ۴ پردازنده های سری C6 ..... ۵۰
۲ ۲ ۵ مشخصات کلی پردازنده های سری C6 ..... ۵۰
۲ ۲ ۶ معماری پردازنده های C6 ..... ۵۱
۲ ۲ ۷ واحد های کاری ۵۳
۲ ۲ ۸ مسیر متقاطع در ستون های رجیسترها ۵۳
۲ ۲ ۹ مسیرهای بارگذاری و ذخیره کردن در حافظه ۵۳
۲ ۲ ۱۰ مسیرهای آدرس داده ۵۳
۲ ۲ ۱۱ ساختار حافظه در پردازنده های سری C6 ..... ۵۳
۲ ۲ ۱۲ پردازنده های سری C670 و C620 ..... ۵۴
۲ ۲ ۱۳ پردازنده های سری C64 C671 C621 ..... ۵۴
۲ ۲ ۱۴ اجزای جانبی پردازنده های سری TMS320C6000 ..... ۵۴
۲ ۲ ۱۵ پیکربندی سخت افزاری ارائه شده برای DSP ۵۶
۲ ۲ ۱۶ پیکربندی سخت افزار بین DSP و حافظه فلش ۵۷

۲ ۲ ۱۷ پیکربندی سخت افزار بین DSP و حافظه SDRAM ۵۸
۲ ۲ ۱۸ پیکربندی سخت افزار بین DSP و حافظه FPGA ۶۰
۲ ۳ نرم افزار و سخت افزار مربوط به راه اندازی پردازنده ی DSP ۶۲
۲ ۳ ۱ انواع فرایند های بوت ۶۳
۲ ۳ ۱ ۱ فرایند بدون بوت ۶۳
۲ ۳ ۱ ۲ فرایند بوت از طریق حافظه خارجی ROM ۶۳
۲ ۳ ۱ ۳ فرایند بوت از طریق HOST ۶۴
۲ ۳ ۲ استفاده از روش بوت بر مبنای ROM برای راه اندازی DSP روی برد ۶۵
۲ ۳ ۲ ۱ واسط بین ROM و EMIF ۶۶
۲ ۳ ۲ ۲ EMIF C621 /C671 ..... ۶۶
۲ ۳ ۲ ۳ جدول وقفه (جدول سرویس وقفه) ۶۸
۲ ۳ ۳ استفاده از بارکننده ی بوت ثانویه در روش مبتنی بر ROM ۶۷
۲ ۳ ۳ ۱ ملاحظات در نظر گرفته شده برای بارکننده بوت ثانویه ۷۰
۲ ۳ ۳ ۲ تهیه کردن قسمت COFF ۷۲
۲ ۳ ۳ ۳ buildin and lin in the application ۷۳
۲ ۳ ۳ ۴ نوشتن کد بوت ثانویه ۷۴
۲ ۳ ۳ ۵ ریخت برنامه های کاربردی بر روی حافظه فلش ۷۴
۲ ۳ ۴ bootloadin a DSP/BIOS Application ۷۵
۲ ۳ ۴ ۱ پیکربندی حافظه DSP/BIOS برای بوت از طریق ROM ۷۵
۲ ۳ ۴ ۱ ۱تعریف قسمت های حافظه ۷۵
۲ ۳ ۴ ۱ ۲ قرار دادن section حافظه (COFF) ۷۶
۲ ۳ ۴ ۲ build کردن برنامه های کاربردی ۷۷
۲ ۳ ۴ ۲ ۱ Build option ۷۷
۲ ۳ ۴ ۲ ۲فایل لینکر command ۷۸
۲ ۳ ۴ ۳ نوشتن کد بار کننده ی بوت ثانویه برای کاربرد های DSP/BIOS..... ۷۸
۲ ۳ ۴ ۳ ۱ Section مربوط به جدول کپی ۸۱

۲ ۳ ۴ ۳ ۲ ساختن جدول کپی section بوسیله ی بازبینی فایل map ۸۱
۲ ۳ ۴ ۳ ۳ ساختن جدول کپی بااستفاده از He conversion utility ۸۲
۲ ۳ ۴ ۴ برنامه ریزی حافظه فلش در کاربردهای DSP/BIOS ۸۲
۲ ۳ ۴ ۴ ۱ He conversion utility ۸۳
۲ ۳ ۴ ۴ ۲ Flash Burn Utility ۸۳
۲ ۳ ۵ خلاصه بوت از طیق حافظه فلش ۸۵
۲ ۳ ۶ جدول های کپی لینکر ۸۶
۲ ۳ ۷ بارگذاری بوت برای کاربردهای Non-BIOS ۸۷
۲ ۳ ۸ طراحی برد برای استفاده از JTAG پردازنده ی DSP ۹۰
۲ ۴ طراحی سخت افزار مربوط به قسمت پردازنده ی FPGA ۹۴
۲ ۴ ۱ پیکربندی FPGA و حافظه ی XCF02S ۹۶
۲ ۴ ۲ انواع حالت های پیکربندی FPGA ۹۷
۲ ۴ ۲ ۱ حالت Slave Serial ۹۸
۲ ۴ ۲ ۲ حالت Master Serial ۹۸
۲ ۴ ۲ ۳ حالت JTAG ۹۹
۲ ۴ ۳ پیکربندی سخت افزار مربوط به FPGA ، پورت های سریال و کانکتورهای ۲*۱۰ ..... ۱۰۱
۲ ۴ ۳ ۱ پیکربندی سخت افزار مربوط به FPGA ، پورت های سریال RS-232 ..... ۱۰۱
۲ ۴ ۳ ۲ پیکربندی سخت افزار مربوط به FPGA ، پورت های سریال RS-422 ..... ۱۰۲
۲ ۴ ۳ ۳ پیکربندی سخت افزار مربوط به FPGA ، کانکتور های ۲*۱۰ ..... ۱۰۳
۲ ۴ ۳ ۴ پیکربندی سخت افزار مربوط به FPGA ، دکمه ی ریست DSP، دیپ سوئیچ وLED ها ... ۱۰۳
۲ ۵ طراحی سخت افزاری و نرم افزاری ارتباط بین پردازنده های DSP و FPGA برای انتقال داد .. ۱۰۴
۲ ۶ طراحی و نوشتن کد های VHDL مربوط به FPGA برای قسمت دریافت داده از سنسور ها بهمراه کد lue lo ic مربوط به برد ۱۲۵
۲ ۶ ۲ طراحی و پیاده سازی پروتکل سریال SPI بر روی FPGA ۱۲۶
۲ ۶ ۳ طراحی و پیاده سازی پروتکل UART بر روی FPGA **و پیکربندی سخت افزاری آن** ۱۲۱
۲ ۶ ۴ طراحی و پیاده سازی lue lo ic کل برد بر روی FPGA ۱۳۲
۲ ۷ منبع تغذیه مربوط به به برد جدید ارائه شده ۱۳۴

۲ ۸ طراحی و تکنیک های بکار برده شده برای طراحی قسمت PCB برد ارائه شده ۱۳۶
۲ ۸ ۲ ایجاد زمین خوب ۱۳۷
۲ ۸ ۳ بای پس خوب ۱۳۸
۲ ۸ ۴ تکنیک های طراحی فرکانس بالا ۱۳۹
۲ ۸ ۴ ۱ بعضی از قوانین سرانگشتی برای طرح های فرکانس بالا ۱۳۹
۲ ۸ ۵ بار گذاری دو سویه قطعات(Double Sided Loadin) ۱۴۰
۲ ۸ ۶ ماسک لحیم(Solder Mas) ۱۴۰
۲ ۸ ۷ مسیر ها (Trac s) ۱۴۱
۲ ۸ ۸ فاصله گذاری (Clearances) ۱۴۲
۲ ۸ ۹ روتینگ (مسیر یابی) اصلی (Basic Routin) ۱۴۲
۲ ۸ ۱۰ تکنیک های ویژه ی بکار برده شده در طراحی مناسب PCB برد ارائه شده ۱۴۳
۲ ۸ ۱۰ ۱ تکنیک Microcomputer Grounds ۱۴۴
۲ ۸ ۱۰ ۲ تکنیک Board Zonin ۱۴۵
۳ فصل سوم: نتایج و بحث ۱۵۰
۳ ۱ اجزای استفاده شده در پروتکل سریال SPI و نتایج کد VHDL نوشته شده ۱۵۱
۳ ۲ شکل و شکل موج های معماری داخلی FPGA برای یک کانال داریافت داده ۱۵۸
۳ ۳ نتایج آزمایش و تست الگوریتم ها ۱۶۰
۳ ۴ نتیجه گیری و پیشنهاد ۱۶۶
منابع ۱۶۸
پیوست ها ۱۷۱
پیوست الف کد های VHDL مربوط به قسمت FPGA ۱۷۲
پیوست ب کد متلب مربوط به الگوریتم های ناوبری GPS/INS ۱۹۱
پیوست ج شماتیک و مدار چاپی اجزای برد ارائه شده ۱۹۵

فهرست شکل ها

شکل(۱-۱) دستگاه‌های مختصات مرتبط با سیستم ناوبری اینرسی ۱۴
شکل(۱-۲) دستگاه مختصات اینرسی ۱۵
شکل(۱-۳) دستگاه مختصات خودرو ۱۶
شکل(۱-۴) پروسه گوس- مارکوف مرتبه اول ۱۹
شکل(۱-۵) مؤلفه‌های شتاب گرانش زمین ۲۱
شکل(۱-۶) مؤلفه‌های میدان مغناطیسی زمین ۲۴
شکل(۱-۷) حالت مجتمع Uncoupled ۲۶
شکل(۱-۸) حالت مجتمع Loosely Coupled ۲۷
شکل(۱-۹) حالت مجتمع Ti htly Coupled ۲۸
شکل(۲-۱) ساختار معماری Harvard ۴۴
شکل(۲-۲) سیستم پردازش سیگنال های دیجیتال ۴۵
شکل(۲-۳) بلوک های اصلی پردازنده بهبود یافته ۴۹
شکل(۲-۴) مقایسه سرعت پردازنده های سری C6 ..... ۵۰
شکل(۲-۵) بلوک دیاگرام پردازنده های C6000 ..... ۵۲
شکل(۲-۶) ارتباط نهایی بین حافظه ی فلش و DSP در برد ارائه شده..... ۵۷
شکل(۲-۷) پیکربندی بین حافظه فلش و DSP ۵۸
شکل(۲-۸) بلوک دیاگرام نهایی بین SDRAM وDSP ۵۹
شکل(۲-۹) پیکربندی بین حافظه SDRAM و DSP ۶۰
شکل(۲-۱۰) بلوک دیاگرام کلی از ارتباط DSP و FPGA ۶۱

شکل(۲-۱۱) پیکربندی بین FPGA و DSP در پروتل ۶۱

شکل(۲-۱۲) پیکربندی خطوط وقفه خارجی و تایمر۱ که شامل IMN INT7 INT6 INT5 INT4 Timer1 بین DSP و FPGA..... ۶۲

شکل(۲-۱۳) مدار مربوط به اسیلاتور 50 Mhz و SMT EMI-Filter ۶۲

شکل(۲-۱۴) فرایند بوت از طریق ROM برای TMS320C6000 ..... ۶۵

شکل(۲-۱۵) 16-Bit ROM Little-Endian Pac in for 32-Bit EMIF ۶۷

شکل(۲-۱۶) 8-Bit ROM Little-Endian Pac in for 32-Bit EMIF ۶۷

شکل(۲-۱۷) 16-Bit ROM Bi -Endian Pac in for 32-Bit EMIF ۶۸

شکل(۲-۱۸) 8-Bit ROM Bi -Endian Pac in for 32-Bit EMIF ۶۸

شکل(۲-۱۹) مثالی از یک جدول سرویس وقفه ۷۰

شکل(۲-۲۰) مراحل را اندازی کد که از بارکننده ثانیه استفاده می کند. ۷۲

شکل(۲-۲۱) مشخص کردن آدرس های اجرا/بارگذاری با استفاده از واسط گرافیکی DSP/BIOS GCONF ۷۷...

شکل(۲-۲۲) کد بوت ۸۱

شکل(۲-۲۳) مراحل لازم برای پروگرم کردن حافظه فلش ۸۳

شکل(۲-۲۴) فایل He command ۸۴

شکل(۲-۲۵) نوشتن فایل He Command با استفاده از boot option– ۸۵

شکل(۲-۲۶) تعریف قسمت بندی حافظه برای کاربردهای Non-BIOS ۸۸

شکل(۲-۲۷) تعیین کردن sectionهای حافظه Non-BIOS ۸۹

شکل(۲-۲۸) مدار داخلی برای انتخاب مود عملیاتی JTAG ۹۱

شکل(۲-۲۹) طرح مدار مربوط به JTAG برای مودهای emulation و boundary scan در JTAG سری C621 /C671 and C64 ..... ۹۲
شکل(۲-۳۰) مدار مربوط به پیکربندی کانکتورJTAG آی سی DSP ۹۳
شکل(۲-۳۱) پیکربندی دیپ سوئیچ انتخاب روش بوت ۹۴
شکل(۲-۳۲) ارتباط PROM و FPGA باضافه سیگنال های کنترل ۹۵
شکل(۲-۳۳) پیکربندی پایه های M0 M1 M2 در برد ارائه شده ۹۶
شکل(۲-۳۴) پیکربندی بکار رفته برای کانکتر JTAG در برد ارائه شده ۹۷
شکل(۲-۳۵) دیاگرام پیکربندی برای حالت های Master Serial و Slave Serial ۹۸
شکل(۲-۳۶) شماتیک مدار ارتباطی طراحی شده برای PROM و FPGA در برد ارائه شده ۹۹
شکل(۲-۳۷) شماتیک پورت های سریال J1 و J2 قرار داده شده در برد ارائه شده ۱۰۲
شکل(۲-۳۸) شماتیک پورت های سریال J3 و P7 قرار داده شده در برد ارائه شده ۱۰۲
شکل(۲-۳۹) هدر P3 و بانک FPGA متصل به آن در برد ارائه شده ۱۰۳
شکل(۲-۴۰) هدر P2 و بانک FPGA متصل به آن در برد ارائه شده ۱۰۳
شکل(۲-۴۱) دکمه ریست DSP و LED های D2 تا D6 و دیپ سوئیچ مربوط به برد ارائه شده ۱۰۴
شکل(۲-۴۲) PaRAM کنترلر کانال EDMA ۱۰۸
شکل(۲-۴۳) پارامترهای ورودی کانال EDMA ۱۰۸
شکل(۲-۴۴) رجیستر انتخاب پارامترهای EDMA ۱۰۹
شکل(۲-۴۵) فریم داده در انتقال یک بعدی ۱۱۱
شکل(۲-۴۶) روتین سرویس وقفه EDMA سری C621 /C671 ..... ۱۱۶

شکل(۲-۴۷) داده های ورودی برای سرویس McBSP ۱۱۷

شکل(۲-۴۸) پارامتر های رجیستر EDMA برای سرویس دادن به داده ی ورودی به McBSP ۱۱۷

شکل(۲-۴۹) وسایل جانبی که بصورت پشت سر هم عمل می کنند ۱۱۸

شکل(۲-۵۰) پارامترهای رجیستر EDMA برای سرویس دادن به وسایل جانبی که بصورت پشت سر هم عمل می کنند ۱۱۹

شکل(۲-۵۱) شکل معماری ارائه شده برای انتقال داده بین DSP و FPGA ۱۲۰

شکل(۲-۵۲) پارامترهای ورودی برای کانال ۵ ..... ۱۲۱

شکل(۲-۵۳) پارامترهای ورودی برای کانال ۸ ..... ۱۲۱

شکل(۲-۵۴) پارامترهای ورودی برای کانال ۶ ..... ۱۲۲

شکل(۲-۵۵) پارامترهای ورودی برای کانال ۵ بافرPONG ۱۲۲

شکل(۲-۵۶) پارامترهای ورودی برای کانال ۸ بافرPONG ۱۲۲

شکل(۲-۵۷) پارامترهای ورودی برای کانال ۶ بافرPONG ۱۲۲

شکل(۲-۵۸) معماری داخلی FPGA و پیکربندی ارائه شده برای آن ۱۲۴

شکل(۲-۵۹) معماری داخلی ارائه شده FPGA برای یک کانال فرضی ۱۲۵

شکل(۲-۶۰) بلوک دیاگرام واسط سریال SPI ۱۲۷

شکل(۲-۶۱) پروتکل انتقال یک بایت در RS-232 بدون بیت توازن ۱۳۱

شکل(۲-۶۲) ASM چارت فرستندهUART ۱۳۱

شکل(۲-۶۳) ASM چارت گیرنده UART ۱۳۲

شکل(۲-۶۴) تصاویری از آزمایش عملی برنامه های مربوط به FPGA ۱۳۴

شکل(۲-۶۵) مدار کاربردی مربوط به تنظیم کننده ی ولتاژ FAN1112 ..... ۱۳۵
شکل(۲-۶۶) مدار کاربردی مربوط به تنظیم کننده ی ولتاژ ثابت شده ی LD1117 ..... ۱۳۵
شکل(۲-۶۷) کاربردی مربوط به تنظیم کننده ی ولتاژ ثابت شده ی LD1086D2T33 ..... ۱۳۶
شکل(۲-۶۸) . پیاده سازی ارائه شده برای تولید ولتاژ های ۳,۳ ولت، ۱,۲ ولت و ۲,۵ ولت برای FPGA و DSP ۱۳۶
شکل(۲-۶۹) مثالی از نک زدن مسیر ۱۴۲
شکل(۲-۷۰) . نمونه ای از یک پاور روتینگ خوب(چپ) و یک پاور روتینگ بد(راست) ۱۴۳
شکل(۲-۷۱) نمونه ای از روتینگ خوب (چپ) و روتینگ بد (راست) ۱۴۳
شکل(۲-۷۲)Microcomputer Ground ۱۴۴
شکل(۲-۷۳) Microcomputer Ground برای FPGA شکل سمت چپ لایه پایینی برد و شکل سمت راست لایه بالای برد را نشان می دهد ۱۴۵
شکل(۲-۷۴) Microcomputer Ground برای DSP شکل سمت چپ لایه پایینی برد و شکل سمت راست لایه بالای برد را نشان می دهد ۱۴۵
شکل(۲-۷۵) Board Zonin ۱۴۶
شکل(۲-۷۶) بلوک دیاگرام کل برد جدید ارائه شده ۱۴۷
شکل(۲-۷۷) شکل عملی PCB مربوط به برد ارائه شده سمت چپ لایه بالای و سمت راست لایه پایینی را نشان می دهد ۱۴۸
شکل(۲-۷۸) سطح رویین برد طراحی شده بعد از نصب قطعات ۱۴۹
شکل(۲-۷۹) سطح پشت برد طراحی شده بعد از نصب قطعات ۱۳۶
شکل(۳-۱) بلوک دیاگرام مربوط به SPI Master ۱۵۲

شکل(۳-۲)XTAL یا Cloc _Div ۱۵۲
شکل(۳-۳) شکل موج های Cloc _Div ۱۵۲
شکل(۳-۴) ورودی و خروجی های قسمت Cloc _Lo ic ۱۵۳
شکل(۳-۵) شکل موج های قسمت Cloc _Lo ic ۱۵۳
شکل(۳-۶) ورودی و خروجی های قسمت (Rcv_Shift_Re ister) Receive Shift Re ister ۱۵۴
شکل(۳-۷) شکل موج های قسمت (Rcv_Shift_Re ister) Receive Shift Re ister ۱۵۴
شکل(۳-۸) ورودی و خروجی های(Shift_Re ister) Transmit Shift Re ister ۱۵۵
شکل(۳-۹) شکل موج قسمت (Shift_Re ister) Transmit Shift Re ister زمانی که 0 load ۱۵۵
شکل(۳-۱۰) موج قسمت (Shift_Re ister) Transmit Shift Re ister زمانی که 1 load ۱۵۵
شکل(۳-۱۱) ورودی و خروجی های قسمت Pin Control Lo ic ۱۵۶
شکل(۳-۱۲) شکل موج قسمت Pin Control Lo ic برای حالت 0 dord ۱۵۶
شکل(۳-۱۳) شکل موج قسمت Pin Control Lo ic برای حالت 1 dord ۱۵۶
شکل(۳-۱۴) بلوک دیاگرام SPI ۱۵۷
شکل(۳-۱۵) ورودی و خروجی SPI_Master ۱۵۷
شکل(۳-۱۶) شکل موج SPI_Master ۱۵۷
شکل(۳-۱۷) ورودی و خروجی SPI_Slave ۱۵۸
شکل(۳-۱۸) شکل موج SPI_Slave ۱۵۸
شکل(۳-۱۹. شماتیکی از معماری پیاده شده ی داخلی FPGA ۱۵۹
شکل(۳-۲۰) شکل موج مربوط به معماری داخلی FPGA ۱۵۹

شکل(۳-۲۱) شکل مربوط به ورودی X ۱۶۰
شکل(۳-۲۲) شکل مربوط به ورودی Y ۱۶۰
شکل(۳-۲۳) شکل مربوط به ورودی Z ۱۶۱
شکل(۳-۲۴) شکل مربوط به ورودی a ۱۶۱
شکل(۳-۲۵) شکل مربوط به ورودی a_y ۱۶۱
شکل(۳-۲۶) شکل مربوط به ورودی a_z ۱۶۲
شکل(۳-۲۷) شکل مربوط به ورودی ۱۶۲
شکل(۳-۲۸) شکل مربوط به ورودی y ۱۶۳
شکل(۳-۲۹) شکل مربوط به ورودی z ۱۶۳
شکل(۳-۳۰) سیستم ناوبری بدون در نظر گرفتن سیستم GPS بترتیب 3 2 1 0 ..... ۱۶۴
شکل(۳-۳۱) نتایج شبیه سازی سیستم GPS/INS در مقایسه با سیستم تعیین موقعیت جهانی بترتیب v v_y v_z ۱۶۴
شکل(۳-۳۲) شکل های مربوط به تست برد ۱۶۵

فهرست جدول ها

جدول(۲-۱) بعضی از پیکربندی های رایج واسط با پردازنده های C621 /C671 ..... ۵۸

جدول(۲-۲) تعریف Section حافظه ۷۶

جدول(۲-۳) فرمت جدول کپی ۸۱

جدول(۲-۴) انتخابهای He Utility Boot ۸۴

جدول(۲-۵) توصیف سیگنال های JTAG پردازنده های سری C6000 ..... ۹۰

جدول(۲-۶) جدول پیکربندی مودهای عملیاتیJTAG ۹۱

جدول(۲-۷) تنظیم پایه های حالت پیکربندی برای Spartan-3 ..... ۹۶

جدول(۲-۸) جدول صحت مربوط به ورودی های کنترل PROM ۱۰۰

جدول(۲-۹) توصیف پارامترهای ورودی کانال EDMA ۱۰۹

جدول(۲-۱۰) رویدادهای سنکرون کردن کانال EDMA ۱۱۰

جدول(۲-۱۱) جهت پایه ها پورت سریال SPI در حالت های مختلف ۱۲۷

جدول(۲-۱۲) رجیستر کنترل SPI ۱۲۸

جدول(۲-۱۳) بیت حالت های Master/Slave پورت SPI ۱۲۸

جدول(۲-۱۴) عملکرد پلاریته کلاک در SPI ۱۲۹

جدول(۲-۱۵) عملکرد فاز کلاک در SPI ۱۲۹

جدول(۲-۱۶) رجیستر وضعیت SPI ۱۲۹

جدول(۲-۱۷) ارتباط بین کلاک و فرکانس اوسیلاتور در SPI ۱۳۰

جدول(۲-۱۸) رجیستر داده در SPI ۱۳۰

جدول(۲-۱۹) تعریف بیت های رجیستر FPGA ۱۳۳
جدول(۲-۲۰) توصیف بیت های رجیستر کاربر مربوط به FPGA ۱۳۳

مقدمه:

تاریخ مسیر یابی قدیمی برابر با تاریخ تمدن بشر است. از همان روزهایی که انساتها جهت تهیه غذا از محل زیستگاه خود خارج شدند نیاز بوسیله ای داشتند که مسیر را به آنها نشان دهد. بر عکس پرندگان و حیوانات که بصورت غریزی مسیر خود را پیدا می کنند انسانها دارای چنین غریزه ای نیستند و همیشه نیاز به وسیله و ابزاری دارند که مسیر را برایشان مشخص کند. در آغاز مسافرت با کشتی این مسافرت ها منحصرا یا در امتداد رودخانه و یا موازی با ساحل دریا انجام می گرفت و از علائم مشخص جهت راهنمایی استفاده می کردند. با پیشرفت علم و تکنولوژی امروزه از سیستم های پیشرفته ماهواره استفاده می شود. امروزه تعیین موقعیت مکانی(تعیین سمت)، سرعت و جهت یابی یک شیء کاربردهای خیلی مهمی پیدا کرده است. سیستم موقعیت یاب جهانی[1] برای تعیین موقعیت و سرعت با دقت قابل قبولی مورد استفاده قرار می گیرد. با این وجود GPS دارای چندین محدودیت برای استفاده می باشد، که شامل line-of-si ht، سرعت اندازه گیری های موقعیت و سرعت جسم، dilution-of-precision و مشکل چند مسیری(Multi path). این سیستم نیاز دارد که گیرنده line-of-si ht مستقیمی با ماهواره ها داشته باشد، تا اینکه اندازه گیری دقیق و قابل قبولی را از خود نشان می دهد. کارکرد GPS براساس زمان فرستادن سیگنالها از ماهواره تا گیرنده می باشد. هر ماهواره زمان جاریی را که در آن قرار دارد به همراه موقعیت (Ephemeris) در سیگنال ها قرار داده و می فرستد، تا اینکه با دانستن موقعیت ماهواره و زمان انتقال از ماهواره تا گیرنده، گیرنده می تواند فاصله ی خود را از ماهواره محاسبه کند. در واقع فرایند بدست آوردن این فاصله از ماهواره و تبدیل آن به موقعیت مکانی خودش بروی زمین multilateration نام دارد. دیگر محدودیت های GPS از Geometric Dilution-of-Precision (GDOP) ناشی می شود ایده اساسی پشت قضیه dilution موقعیت مکانی در واقع هندسه ی ماهواره می باشد که بر روی دقت نتایج GPS تاثیر می گذارد.

یک dilution بالا در دقت، نشان می دهد که هندسه ی دیدن ماهواره ها یک عدم دقت غیر قابل چشم پوشی در سیستم محاسبات می گذارد. یک مثال ساده از هندسه دیدن ماهواره و dilution بالا در دقت زمانی است که ، ماهواره دیده شده بصورت کلاستور شده در کنار هم قرار گرفته اند. این حالت می تواند به دلایل مختلفی اتفاق بیافتد. با این وجود، یکی از آنها در شهرهای با ساختمان های بلند اتفاق می افتد و باعث بلوکه شدن سیگنال فرستاده شده توسط ماهواره می شود. مشکل چند مسیره در سیستم GPS ارتباط مستقیمی با اثر

[1] Global Positionin System(GPS)

برگشت سیگنال های RF از بیشتر اشیاء دارد. این مشکل زمانی بخصوص مسئله ساز می شود که در محیط های شهری باشیم، جایی که سیگنال های ماهواره از ساختمان های یک شهر برگشت بخورد برگشت چندگانه یک سیگنال باعث شده که همان سیگنال به گیرنده در زمان متفاوت برسد که منجرب به مسیرهای مختلف سیگنال می شود. این مشکل زمانی حل می شود که ماهواره در line-of-si ht مستقیم با گیرنده قرار داشته باشد.

محدودیت های فوق الذکر منجرب می شود، که نیاز به تامین یک روش تناوبی برای حل کردن مشکلات برای بعضی کاربردهای باشد. پیدا کنیم یکی از این روش ها که در سال های اخیر استفاده شده است. سیستم ناوبری اینرسی INS می باشد. INS شامل شتاب سنج ها، ژیروسکوپ ها، و الگوریتم های بر روی یک platform محاسبه گر می باشد. INS قوانین دوم نیوتن را با دانستن موقعیت اولیه جسم، برای انتشار دادن این پارامتر ها در طول زمان بکار می گیرد. پیشرفت های اخیر در زمینه Micro-Electro-Mechanical System (MEMS) برای ایجاد سنسورهای اینرسی کم هزینه و واحدهای اندازه گیری اینرس[1] که سیستم INS با کمترین هزینه و پیچیدگی را ایجاد می کنند 1 .

ویژگی خاص INS که آن را مکمل GPS کرده، کارکرد مناسب آن در همه محیط هاست، ضعف عمده چنین سیستمی نیز رشد خطا با گذشت زمان و افزایش فواصل است، با این وجود، INS از دقت فوق العاده ای در صورت به کارگیری در زمان های کوتاه بر خوردار است. و سرعت به روز رسانی اطلاعات در آن نسبت به GPS بیشتر می باشد. با لحاظ نقاط قوت و ضعف دو سیستم، می توان هر کدام را دارای ویژگی هایی دانست که بر طرف کننده ضعف دیگری است، ترکیب دو سیستم یا به عبارتی GPS/INS، ترکیب ایده الی می باشد. GPS می تواند در ترکیب با INS مانع رشد خطای آن شود، در عین حال INS می تواند ناپیوستگی های عملکرد در GPS را بپوشاند. فیلتر کالمن یک ابزار قوی برای ایجاد همکاری بین INS و GPS تامین می کند. فیلتر کالمن مزیت این را دارد که مشخصات هر دو سیستم را برای یک عملکرد بهتر مشترکا بکار گیرد. این فیلتر با حداقل کردن میانگین جذر خطا یک تخمین بهینه از موقعیت، سرعت و غیره بدست می دهد. میزان پیچیدگی ترکیب GPS و INS بسته به چیزهای مورد نیاز و انتظاری که ما از میزان کار داریم تعیین می شود. در واقع مکانیسم و استراتژی ترکیب می تواند یا خیلی ساده باشد یا نسبتاً سخت باشد.

[1] Inertial Measurement Units (IMU)

حال برای پیاده سازی این سیستم مشکل کم کردن زمان در پردازش محاسبات ناوبری را داریم و همچنین فیلتر کالمن باید کار محاسبات خود را قبل از اینکه داده های بروز شده ی سنسور های IMU آماده باشد، به اتمام برساند. وجود این دو مورد بر روی Inte ration software، سرعت پروسسورها و معماری سیستم محدودیت هایی را اعمال می کند. بنابراین تا حد امکان این بلوک ها باید دارای سرعت و دقت بالا و توان مصرفی کم باشند، و هماهنگی مناسب بین آنها برقرار شود. بیشتر سیستم های ترکیبی GPS/INS موجود برای گرفتن داده های INS از واسط سریال و یک مبدل آنالوگ به دیجیتال که ورودی های آن مالتی پلکسر شده می باشد استفاده می کنند. در این مبدل ها همه ی اطلاعات موقعیت محاسبه می شوند ولی این امر بطور همزمان نیست بلکه با نمونه گیری از ورودی های صورت می گیرد. بیشتر پیاده سازی ها بر اساس computer embedded بردهای تجاری موجود و commercial off-the-shelf (COTS) به عنوان مثال PC104 CPU، Processor Power PC می باشند. ولی این سیستم ها ممکن است از لحاظ حجم سخت افزاری و توان مصرفی بهینه نباشند، این امر باعث ایجاد یک مشکل جدی برای استفاده ی آنها در کاربرد های فضایی می شود. سیستم های موجود نیاز به منابع تغذیه در سطوح مختلف دارند. که معمولا از دو یا چند منبع تغذیه استفاده می کنند. که در افزایش وزن و حجم آنها تاثیر زیادی دارد. در بیشتر مقالات پردازش سیگنال های GPS و IMU بصورت Offline انجام می شود. این سیگنال ها بشکل بلادرنگ جمع آوری می شوند. و پردازش محاسبات INS و فیلتر کالمن بصورت Offline صورت می پذیرد. دقت سیستم های بلادرنگ GPS/INS فقط به نتیجه ی منطقی محاسبات بستگی ندارد. بلکه دوره ی زمانی که نتایج بدست می آیند نیز مهم می باشد.

فصل یک

بررسی منابع

۱ -در این مقاله، بمنظور ایجاد سیستمی با دقت بالا و به صورت بلادرنگ برای مشاهد ی زمین با رزولشن بالا یک سیستم مجتمع ناوبری بر روی FPGA و DSP طراحی شده است. در این طراحی FPGA به طور مستقل کار سنکرون کردن داده ی GPS و سیگنال پالس چندکاناله IMU را انجام می دهد؛ ارتباط دو طرفه بین DSP و FPGA از طریق EMIF براساس وقفه انجام می گیرد؛ الگوریتم های ناوبری بر روی DSP پیاده شده اند و نتایج از طریق پورت سریال FPGA خارج می شوند. این طراحی، حجم، وزن و توان مصرفی برای محاسبات ناوبری را کاهش داده است. نتایج نشان می دهد که کار آنها دقت قابل اطمینانی بالا و عملکرد بلادرنگ خوبی دارد 2 .

۲ -در این مقاله، یک سیستم PC104 به کمک یک میکروکنترلر یک سیستم مجتمع چند سنسور پیاده شده است. سنکرون کردن زمانی[1] در هر دو حالت آنالوگی و دیجیتالی برای افزایش دقت و انعطاف طراحی شده است. و این سنکرون کردن زمانی برای سیستم مجتمع آنها که بر اساس سنسورهای نوع MEMS می باشد. دارای دقت راضی کننده ای بوده است. با این وجود هنگامی که دقت بالاتری نیاز باشد. باید سنکرون کردن زمانی در حوزه آنالوگ هم مورد استفاده قرار گیرد. سیستم سخت افزاری آنها شامل ماژول پردازنده ی PC104 یک ماژول آنالوگ به دیجیتال ADC(DM6430 from RTD) و یک ماژول با پورت سریال میکروکنترلری می باشد. و هچنین دارای یک Dual-Port RAM به نام IDT7130 و یک CPLD برای کنترل و فعال کردن باس داده، انکد کردن خطوط آدرس میکروکنترلر و فعال کردن قابلیت خواندن و نوشتن به پورت های I/O و رجیسترهای باس PC104 می باشد 3 .

۳ -در این طراحی، آنها سیستم مجتمع GPS/INS خود را با تکنیک دسترسی مستقیم به حافظه کنترل شده با میکروپروگرمینگ Micro-Pro rammin Controlled Direct Memory Access (MCDMA) و حالت Decoupled و تخمین بایاس نیز به آن اعمال شده است. در این کار دو مجموعه GPS بکار رفته با محاسبات زاویه Azimuth در طول Ali nment اینرسی سیستم انجام گیرد. این سیستم مجتمع دارای مزایای هر دو سیستم Ti ht و Loose می باشد. برای محاسبات کم، حالت Decoupled و بایاس Estimation به سیستم اعمال شده است. و سیستم بر مبنای یک کامپیوتر جاسازی شده ی PC104 طراحی شده است 4 .

[1] Time Synchronization

۴ -در این مقاله، برای کاهش دادن پیچیدگی های سیستم مجتمع ناوبری GPS/INS براساس پردازنده ی DSP، آنها همه ی مدارهای جانبی را در یک چیپ تنها مانند FPGA پیاده کرده اند. این مدارات شامل، ماژول کنترل منطقی مبدل داده ی سریال/ موازی و FIFO و غیره می باشد. علاوه بر این بافر های ذخیره سازی داده Pin -Pon در حافظه داخلی تخصیص داده شده اند تا کنترلر EDMA، DSP بتواند بدون دخالت CPU به انتقال داده بین FIFO ها و بافرهای Pin -Pon بپردازد بدین طریق، بدون عملکرد بلادرنگ و قابلیت سیستم بصورت موثری بالا افزایش می یابد. و CPU می تواند به پردازش الگوریتم های ناوبری و فیلتر کالمن بپردازد 5 .

۵ -در این مقاله، برای افزایش کارایی سیستم آنها از ترکیب پردازند های DSP و FPGA استفاده کرده اند. سیستم IFOG، Stropdown Inertial Navi ation System (SINS) را بر اساس پردازنده ی ممیز شناور DSP، TMS320C6713 با FPGA، EP1K100 ترکیب کرده اند. این سیستم دارای عملکرد خوبی بصورت بلادرنگ می باشد و دقت بالایی دارد. در این سیستم آنها بخش دریافت داده از سنسور ها را که بر مبنای مبدل های آنالوگ به دیجیتال می باشد، واحد کنترل منطقی زمانی، واسط بین سیستم خروجی کامپیوتری کاملا بر روی FPGA پیاده شده است 6 .

۶ -در این پایان نامه، سیستم ناوبری را بر اساس یک سیستم سخت افزاری مبتنی بر FPGA و یک پردازنده Power PC طراحی و پیاده سازی کرده اند. سیستم آنها شامل IMU، واحد GPS، Compass و انحراف سنج می باشد. در آن الگوریتم های INS، سرعت، موقعیت و جهت ها را محاسبه کرده و با یک سیستم ترکیبی بر اساس Loosely به همراه فیلتر کالمن خطاهای موقعیت، سرعت و جهت ها را تخمین می زند. نتایج شبیه سازی نشان داده که خروجی فیلتر کالمن برای کمک به پیکربندی INS استفاده شده و خطای موقعیت به کمتر از ۲ متر رسیده است 1 .

۷ -در این مقاله، از پیکربندی Loosely Coupled برای ترکیب کردن GPS و INS استفاده می کند. و هدف عمده در این مقاله رسیدن به یک سیستم بلادرنگ بوده بنابراین در آن بخش حل معادلات ناوبری و فیلتر کالمن توسط یک DSP(TMS320VC33) پیاده سازی شده است. در این طراحی از FPGA برای ارتباط بین GPS و DSP استفاده کرده اند. و به منظور کم کردن حجم سخت افزار و افزایش سرعت کل طرح، مدار واسطی(UART) که داده های آمده از GPS را می گیرد و در یک حافظ Dualport Ram (DPRAM) ذخیره می کند. بر روی یک FPGA پیاده شده است 7 .