بسم الله الرحمن الرحيم

١٢٨٦٨١

دانشگاه ارومیه

طراحی وپیاده سازی

رادیو FM بر روی تراشه واحد

علی برادران رضایی

دانشکده فنی

گروه برق

۱۳۸۷

پایان نامه برای دریافت درجه کارشناسی ارشد

اساتید راهنما:

پرفسور خیرا... حدیدی

پرفسور عبدا... خویی

۱۳۸۹/۴/۸

۱۳۸۶۸۱

پایان نامه آقای [illegible] رضایی به تاریخ ۱۳۸۷/۱۲/۱۷ شماره ۱۷۱-۲ف مورد پذیرش هیات محترم داوران با رتبه عالی و نمره ۱۸ قرار گرفت.

1 – استاد راهنما و رئیس هیئت داوران : ضیاالدین صدری

2 – استاد مشاور :

3 – داور خارجی :

4 – داور داخلی :

5 – نماینده تحصیلات تکمیلی :

حق طبع و نشر مطالب این پایان نامه
در انحصار دانشگاه ارومیه می باشد.

تقدیم به

پدر

و

مادرعزیزم

تشکر و قدردانی

اکنون که به لطف پروردگار منان توفیق تنظیم این پایان‌نامه را یافتم، ایزد یکتا را سپاس گفته، زحمات همه عزیزانی را که مرا در این راه یاری نموده‌اند ارج می‌نهم.

مراتب قدردانی خود را از اساتید گرانقدر خویش، آقایان پروفسور حدیدی وپروفسور خویی ابراز داشته، از زحمات آقای دکتر عباسپور تشکر می‌نمایم.

همواره سپاس‌گزار پدر، مادر وبرادرم هستم که مایه دل‌گرمی من بوده‌اند.

از زحمات و مساعدت‌های دوستان خود و مجموعه میکروالکترونیک دانشگاه ارومیه مخصوصاً آقای مهندس داداشی، آقای غیاثی وخانم مشهدی حیدر که مرا در تنظیم وتایپ این مجلد یاری کرده‌اند سپاس‌گزارم.

فهرست مطالب

عنوان.....صفحه

فصل اول : مقدمه.....۱

۱-۱- مقدمه.....۱

۱-۲- تاریخچه.....۲

فصل دوم : صورت مسأله.....۳

۲-۱- مقدمه.....۳

۲-۲ – صورت مسأله، سیگنال‌ها و بلوک‌ها.....۳

۲-۲-۱- Pre amplifier.....٤

۲-۲-۲- ساختار PLL به عنوان دمودلاتور FM.....٥

۲-۲-۳- ADC.....٥

فصل سوم : مدار طراحی شده.....۷

۳-۱- مقدمه.....۷

۳-۲- Pre amplifier.....۷

۳-۳- PLL به عنوان دمودلاتور FM.....۱۱

۳-۳-۱- VCO.....۱۲

۳-۳-۲- تشخیص اختلاف فاز و فرکانس ورودی با خروجی VCO.....۱۷

۳-۳-۳- LPF.....۱۹

۳-۳-٤- طبقه مبدل و انتخاب کانال.....۲۱

۳-٤- ADC.....۲۳

۳-٤-۱- Sample & Hold.....۲٦

۳-٤-۲- مقایسه کننده و DAC.....۲۷

۳-٤-۳- Offset cancellation.....۲۹

۳-٤-٤- سیگنال‌های timing وکنترل سویچ ها..... ۲۹

فصل چهارم : نتایج..... ۳۳

٤-۱- نتایج و layout ۳۳

٤-۲- مراجع..... ۳۷

فهرست شکل‌ها

عنوان.....صفحه

شکل ۲- ۱ : سیگنالهای ورودی و خروجی.....٤

شکل ۲- ۲ : بلوکهای اساسی مورد نیاز.....٤

شکل ۲-۳ : بلوکPLL.....٥

شکل ۳-۱ : یک طبقه از Pre amp.....۸

شکل ۳-۲ :نتیجه آنالیز AC یک طبقه از Pre amp.....۹

شکل ۳-۳ : Cascading.....۹

شکل ۳-٤ :نتیجه آنالیز AC Pre amp.....۱۰

شکل ۳- ٥ : BPF.....۱۰

شکل ۳- ٦ : آنالیز BPF.....۱۱

شکل ۳-۷ : بلوکPLL.....۱۱

شکل ۳-۸ : حلقه ناپایدار.....۱۲

شکل ۳-۹ : مدل سیگنال.....۱۲

شکل ۳-۱۰ : مدل سیگنال هر طبقه.....۱۳

شکل ۳-۱۱ : VCO.....۱٥

شکل ۳-۱۲: سه موج مربعی با اختلاف فاز°۱۲۰.....۱٦

شکل ۳-۱۳: سه خروجی به ازای ورودی سینوسی.....۱۷

شکل ۳-۱٤: مدار تشخیص دهنده اختلاف فاز.....۱۷

شکل ۳-۱٥: دیاگرام زمانی برای بررسی کارکرد مدار Detector.....۱۸

شکل ۳-۱٦: مدار مربوط به LPF.....۲۰

شکل ۳-۱۷: آنالیز AC مربوط به LPF.....۲۱

شکل ۳-۱۸ : مبدل خروجی LPF به ورودی VCO.....۲۲

شکل ۳-۱۹ : دامنه تغییرات خروجی LPF و فرکانس VCO ۲۳
شکل ۳-۲۰ : ترتیب استخراج ۹ بیت دیجیتال ۲۳
شکل ۳-۲۱ : فلوچارت ADC ۲٤
شکل ۳-۲۲ : خروجی LPF ۲۵
شکل ۳-۲۳ : Over sampling ۲۵
شکل ۳-۲٤ : افزایش SNR ۲٦
شکل ۳-۲۵ : Sample & Hold ۲٦
شکل ۳-۲٦ : Comparator ۲۷
شکل ۳-۲۷ : Comparator ۲۷
شکل ۳-۲۸ : زمان‌بندی مرحله‌ها ۲۹
شکل ۳-۲۹ : Master- slave D flip flop ۳۰
شکل ۳-۳۰ : 4 bit counter ۳۰
شکل ۳-۳۱ : Half adder ۳۱
جدول ٤- ۱ : نتایج بدون احتساب مقاومت مربوط به DAC ۳۳
جدول ٤- ۲ : توان مصرفی بلوک‌های مختلف مدار ۳٤
شکل ٤-۱ : VCO ۳٤
شکل ٤-۲ : Current sources ۳۵
شکل ٤-۳ : gm scaling ۳۵
شکل ٤-٤ : Resistor DAC and tabs ۳٦
شکل ٤-۵ : CMOS switches and tabs ۳٦
شکل ٤-٦ : تراشه کامل ۳۷

چکیده

مودلاسیون FM به عنوان یک روش با کیفیت به صورت وسیعی مورد استفاده قرار می‌گیرد. حضور سیستم‌های پخش صوتی دیجیتال در ادوات قابل حمل مانند گوشیهای موبایل موجب می‌گردد استفاده از ADC در رادیو هایی که بر روی این ادوات نصب می‌شوند ضروری باشد. ساخت بلوک‌های مختلف مورد نیاز بر روی یک تراشه واحد علاوه بر توان مصرفی، سطح اشغال شده بر روی تراشه را نیز کاهش می‌دهد. همانطور که از عنوان پروژه بر می‌آید در این پایان‌نامه روش و روند طراحی یک گیرنده FM با تکنولوژی 0.5µm استاندارد CMOS توضیح داده خواهد شد که بصورت مجتمع بر روی یک تراشه پیاده‌سازی می‌شود. از آنجایی که دامنهٔ سیگنال دریافت شده توسط آنتن می‌تواند بسیار ضعیف باشد، استفاده از یک Pre amplifier الزامی است. این کار باعث افزایش حساسیت گیرنده وهمچنین SNR مدار می‌گردد. یک بلوک PLL به عنوان دمودلاتور FM به کار گرفته شده و در نهایت از یک ADC برای تبدیل سیگنال آنالوگ به دیتای دیجیتال استفاده می‌گردد. در بلوک pre amplifier استفاده از BPF قابل کنترل اجازه انتخاب کانال مورد نظر را به کاربر میدهد. بلوک PLL شامل Ph & F detector و LPF در مسیر مستقیم و مدار VCO در مسیر فیدبک می‌شود که با تشخیص گذر از صفر سیگنال ورودی سیگنال پیام را از سیگنال Carrier استخراج می‌کند. برای تبدیل سیگنال آنالوگ به دیجیتال با استفاده از روش successive approximation ٤ بیت اول بدست می‌آید، در ادامه با تکنیک gm scaling در دو مرحله ۳ بیت میانی و۲ بیت نهایی مشخص می‌شود. با افزایش SNR به روش دلتا-سیگما دیتای دیجیتال در ۱۱ بیت به خروجی انتقال داده می‌شود. از یک resistor string برای بدست آوردن ولتاژهای مبنا استفاده شده است و روش gm scaling باعث کاهش تعداد tabها و همچنین پیچیدگی مدار دیجیتال کنترل‌کننده سوییچ‌ها می‌شود تا ساختار DAC مورد نیاز تکمیل گردد. توان مصرفی نهایی برابر 3mw وسایز کل مدار برابر 220µm×150µm بدست آمده و خروجی با سرعت 100K word/s ارائه می‌شود.

فصل اول : مقدمه

۱-۱- مقدمه

تلاش انسان برای برقراری ارتباط جهت تبادل اطلاعات از تلگراف گرفته تا اختراع تلفن و ارتباط wireless[1] بین شهرها، کشورها، قاره‌ها و حتی سفینه‌های فضایی خارج از جو زمین هرکدام به نوبه خود گامی مؤثر در پیشبرد روند رشد تکنولوژی بوده‌است. این ارتباط گاهی به صورت ارتباط فردی نظیر تلفن و گاه به صورت جمعی مانند رادیو و تلویزیون صورت می‌گیرد ولی در هر حالت از یک قاعده کلی پیروی می‌نماید و آن حضور سه عنصر اساسی فرستنده، کانال ارتباطی و گیرنده می‌باشد. تبادل اطلاعات گاه به صورت مستقیم و گاهی بر اساس مودلاسیون[2] و کد نمودن آن صورت می‌پذیرد مانند مودلاسیونهای AM[3] و FM[4] و کدهایی نظیر کد منچستر[5]. پیاده‌سازی هر کدام از این سه بلوک اساسی بسته به مورد استفاده در ابعاد مختلفی قابل اجرا است از ایستگاههای رادیویی غول‌پیکر گرفته تا تراشه‌های میکرونی استفاده شده در ادوات قابل حمل نظیر گوشیهای موبایل.

---

[1]- بی‌سیم

[2]- Modulation
[3]- Amplitude modulation
[4]- Frequency modulation
[5] -Manchester code

همانطور که از عنوان پروژه بر می‌آید در این پایان‌نامه روش و روند طراحی یک گیرنده FM با تکنولوژی 0.5 μ m استاندارد CMOS[1] توضیح داده خواهد شد که بصورت مجتمع[2] بر روی یک تراشه[3] پیاده‌سازی می‌شود در نتیجه هزینه‌های ساخت و توان مصرفی کاهش چشمگیری خواهد داشت.

۱-۲- تاریخچه

در سال ۱۸۸۷ م. برای اولین بار هنریش هرتز[4] امواج رادیویی را دریافت نمود و این مبنای ساخت رادیوها تا به امروز بوده‌است. ۸ سال بعد در ۱۸۹۵ م. مارکونی[5] و اسپارک[6] اولین رادیو را ساختند. برای افزایش برد ارسال و همچنین کیفیت ارتباط، مودلاسیونهای مختلفی مانند AM در سال ۱۹۲۱م. و FM در سال ۱۹۳۱م ابداع و برای اولین بار به کار گرفته شدند. استفاده از مودلاسیونها با وجود بهبودهای اشاره شده باعث افزایش پیچیدگی و هزینه‌های ساخت می‌شد که با ظهور تکنولوژی میکروالکترونیک و قابلیت ساخت گیرنده‌ها به صورت تراشه‌های مجتمع و قابل حمل، توان مصرفی و هزینه‌های ساخت بسیار کاهش یافت. امروزه دیجیتالی شدن سیستمهای پخش باعث شده نیاز به رادیوهای دیجیتالی بیش از پیش احساس شود.

---

[1]- Complementary metal oxide semiconductor
[2] - Integrated
[3] - Chip
[4] - Heinrich Hertz
[5] - Marconi
[6] - Spark

فصل دوم : صورت مسأله

۲-۱- مقدمه

در این فصل صورت مسأله، مشخصات سیگنالهای ورودی و خروجی و سپس بلوک‌های مورد نیاز بررسی خواهد شد در ادامه جزئیات مربوط به هر بلوک و در فصل بعد محاسبات صورت گرفته و نتایج شبیه‌سازی‌های کامپیوتری ارائه می‌گردد.

۲-۲ – صورت مسأله، سیگنال‌ها و بلوک‌ها

یک موج FM تجاری[1] با فرکانس Carrier[2] بین ۸۸ تا ۱۰۸ مگا هرتز با پهنای باند ۵۰ کیلوهرتز که توسط آنتن دریافت شده‌است، به عنوان سیگنال ورودی وارد تراشه طراحی شده می‌شود و در انتها قرار است به صورت داده‌های دیجیتال به عنوان خروجی به سیستم پخش دیجیتال تحویل داده شود (شکل ۲- ۱).

از آنجایی که دامنهٔ سیگنال دریافت شده توسط آنتن می‌تواند بسیار ضعیف باشد، استفاده از یک Pre amplifier[3] الزامی است. این کار باعث افزایش حساسیت گیرنده وهمچنین SNR[4] مدار می‌گردد. یک بلوک PLL[5] به عنوان دمودلاتور

۲- فرکانس حامل

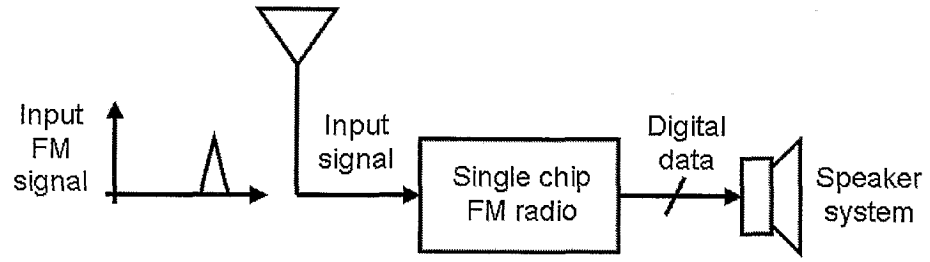
[1] - Commercial FM signal

۳- تقویت‌کننده اولیه

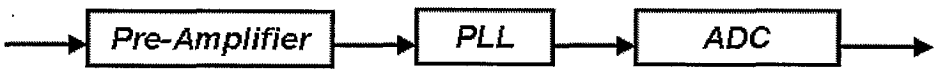
[4]- Signal to noise ratio

[5]- Phase locked loop

FM به کار گرفته شده و در نهایت از یک ADC[1] برای تبدیل سیگنال آنالوگ به دیتای دیجیتال استفاده می‌شود (شکل ۲-۲).



شکل ۲- ۱ : سیگنالهای ورودی و خروجی



شکل ۲- ۲ : بلوکهای اساسی مورد نیاز

Pre Amplifier -۱-۲-۲

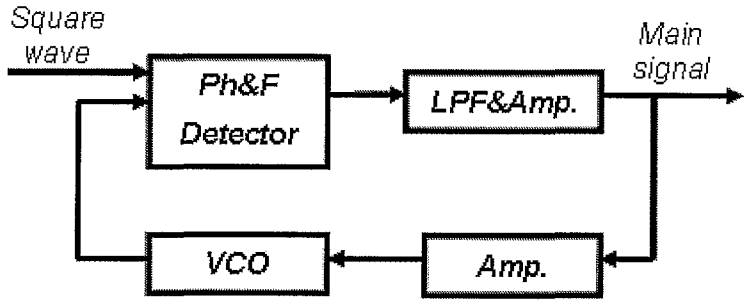
برای تقویت سیگنال ضعیف دریافت شده توسط آنتن، تقویت‌کننده‌ای با بهرهٔ بالا در فرکانسهایی برابر با فرکانس Carrier سیگنال ورودی مورد نیاز است. با وجود بالا بودن GBW [2]، دسترسی به چنین مقداری با Cascade [3] کردن طبقه‌های تقویت‌کننده ممکن خواهد بود و چون به صورت ساختار حلقه باز است پایداری آن اهمیتی ندارد. طبقه اول از این طبقات باید به خوبی طراحی شود زیرا مشخص‌کننده SNR مدار می‌باشد. بهرهٔ بالای این طبقه باعث می‌شود نویز طبقات بعدی کم‌اثر شود از طرفی هر چه تعداد المانهای یک طبقه کمتر باشد نویز طبقه نیز کمتر خواهد بود لذا در این طبقه باید بیشترین بهره با کمترین تعداد المانها حاصل شود. در انتها سیگنال ورودی به یک موج مربعی با فرکانس متغیر (سیگنال FM) تبدیل می‌گردد که به بلوک بعدی (دمودلاتور) تحویل داده می‌شود. این طبقه وظیفه انتخاب یک کانال و تضعیف کانالهای دیگر را نیز بر عهده دارد (BPF).

1- Analog to digital converter
2- Gain band width

[3]- پشت سر هم قراردادن

۲-۲-۲- ساختار PLL به عنوان دمودلاتور FM

همانطور که در شکل ۲-۳ دیده می‌شود، بلوک PLL شامل Ph & F detector [۱] و LPF [۲] در مسیر مستقیم و مدار VCO [۳] در مسیر فیدبک می‌شود که با تشخیص گذر از صفر سیگنال ورودی سیگنال پیام را از سیگنال Carrier استخراج می‌کند.



شکل ۲-۳ : بلوکPLL

طبقه بهرهٔ استفاده شده در مسیر فیدبک، سیگنال خروجی بلوک PLL که به صورت دیفرانسیلی می‌باشد را به سیگنال کنترل-کننده VCO که به صورت تک سر است تبدیل می‌کند و همچنین سطح DC و دامنه را به مقدار دلخواه می‌رساند.

۲-۲-۳- ADC

برای تبدیل سیگنال آنالوگ به دیجیتال با استفاده از روش successive approximation ٤ بیت اول بدست می‌آید، در ادامه با تکنیک gm scaling در دو مرحله ۳ بیت میانی و۲ بیت نهایی مشخص می‌شود. با افزایش SNR به روش دلتا-سیگما دیتای دیجیتال در ۱۱ بیت به خروجی انتقال داده می‌شود. از یک resistor string [٤] برای بدست آوردن ولتاژهای مبنا استفاده شده است و روش gm scaling باعث کاهش تعداد tabها و همچنین پیچیدگی مدار دیجیتال کنترل‌کننده

---

[۱]- تشخیص‌دهندهٔ فاز و فرکانس

[2]- Low pass filter
[3]- Voltage controlled oscillator

[٤]-نوار مقاومتی

سویچ‌ها می‌شود تا ساختار DAC [1] مورد نیاز تکمیل گردد. یک Register [2]، offset مربوط بـه هـر Comparator را در خود ذخیره کرده و در حوزه جریان آن را جبران می‌کند. چون نه در بلوک DAC و نه در offset cancellation از خـازن استفاده نشده‌است لذا تبدیل سیگنال آنالوگ به دیتای دیجیتال کاملاً بدون استفاده از خازن صورت گرفته کـه محاسـن زیـادی دارد. به عنوان مثال اگر از خازن استفاده می‌شد باعث کندی مدار ، افزایش توان مصرفی و مساحت اشغال شده بر روی تراشه می‌شد.

---

[1]- Digital to analog converter

۲- ثبات

فصل سوم : مدار طراحی شده

۳-۱- مقدمه

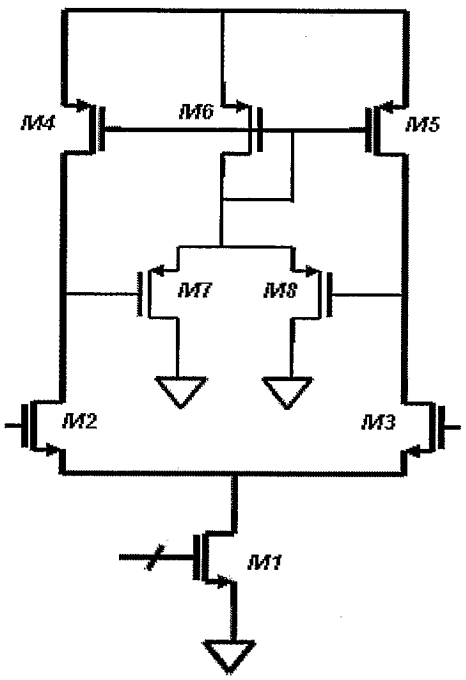
در این فصل بلوکهای طراحی شده با جزئیات کامل مورد بحث قرار گرفته و محاسبات و شبیه‌سازی‌های انجام شده ارائه می‌گردد. برای حفظ انسجام، مسیر سیگنال از ورودی تا خروجی را دنبال خواهیم نمود.

۳-۲- Pre amplifier

همانطور که قبلاً اشاره شد یک تقویت کننده با بهرهٔ بالا در فرکانس Carrier مورد نیاز است. در چنین فرکانسی استفاده از تقویت‌کننده‌های معمول چون Folder Cascade انتخاب مناسبی نمی‌باشد زیرا Load [1] متصل به خروجی (در این فرکانس) بیشتر اثر خازنی دارد تا مقاومتی لذا امپدانس خروجی بالای این تقویت‌کننده کارساز نخواهد بود، علاوه بر آن وجود المانهای متعدد که هر کدام نویز قابل توجهی را به مدار اضافه می‌کنند باعث کاهش SNR خواهد شد. لذا ساده‌ترین مدار با کمترین المان ممکن پیشنهاد می‌شود (شکل ۳-۱).

---

[1]- بار

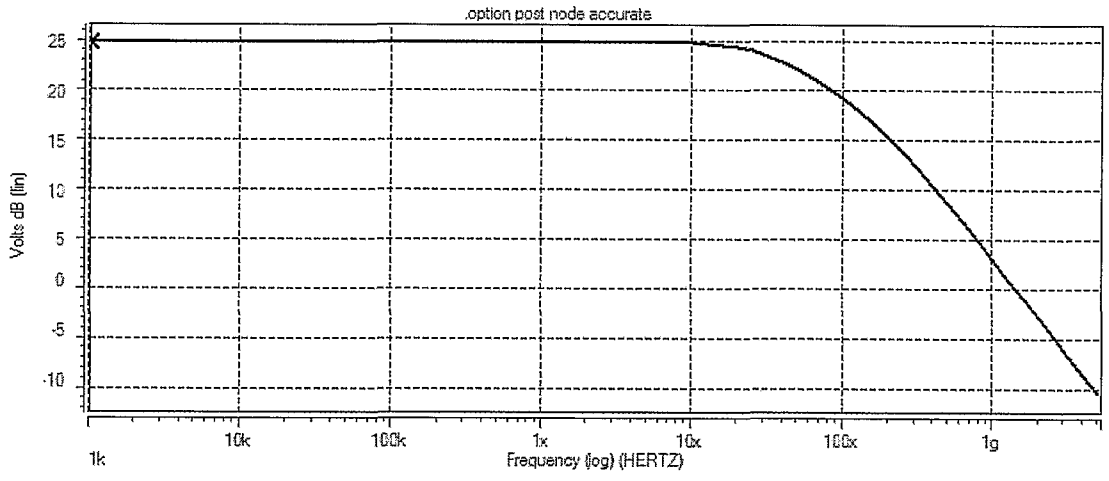


شکل ۳-۱ : یک طبقه از **Pre amp.**

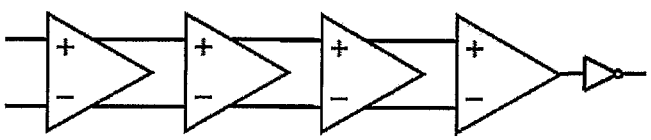
همانطور که در شکل ۳-۱ دیده می‌شود، ترانزیستور M1 با بایاس ثابت به عنوان منبع جریان برای دو ترانزیستور M2 و M3 که بصورت دیفرانسیلی قرار گرفته‌اند عمل می‌کند. ترانزیستورهای M4وM5 در نقش Active Load [1] عمل کرده و توسط ترانزیستورM6 بایاس می‌شوند. M7 و M8 نیز وظیفهٔ CMF [2] مدار را بر عهده دارند. برای شبیه‌سازی Layout مربوط در نرم‌افزار Cadence طراحی و سپس توسط HSpice آنالیز شده یک بلوک همانند این مدار به عنوان Load در خروجی قرار گرفته و نتیجه به قرار زیر می‌باشد. همانگونه که در شکل ۳-۲ دیده می‌شود بهرهٔ مدار در بیشترین فرکانس کاری بالای 20dB است و از آنجایی که این تقویت‌کننده در ساختار حلقه باز استفاده می‌شود می‌توان از چند طبقه مشابه به صورت Cascade استفاده کرد (شکل ۳-۳).

[1]- بار فعال

[2]-common mode feedback



شکل ۳-۲ :نتیجه آنالیز AC یک طبقه از **Pre amp.**

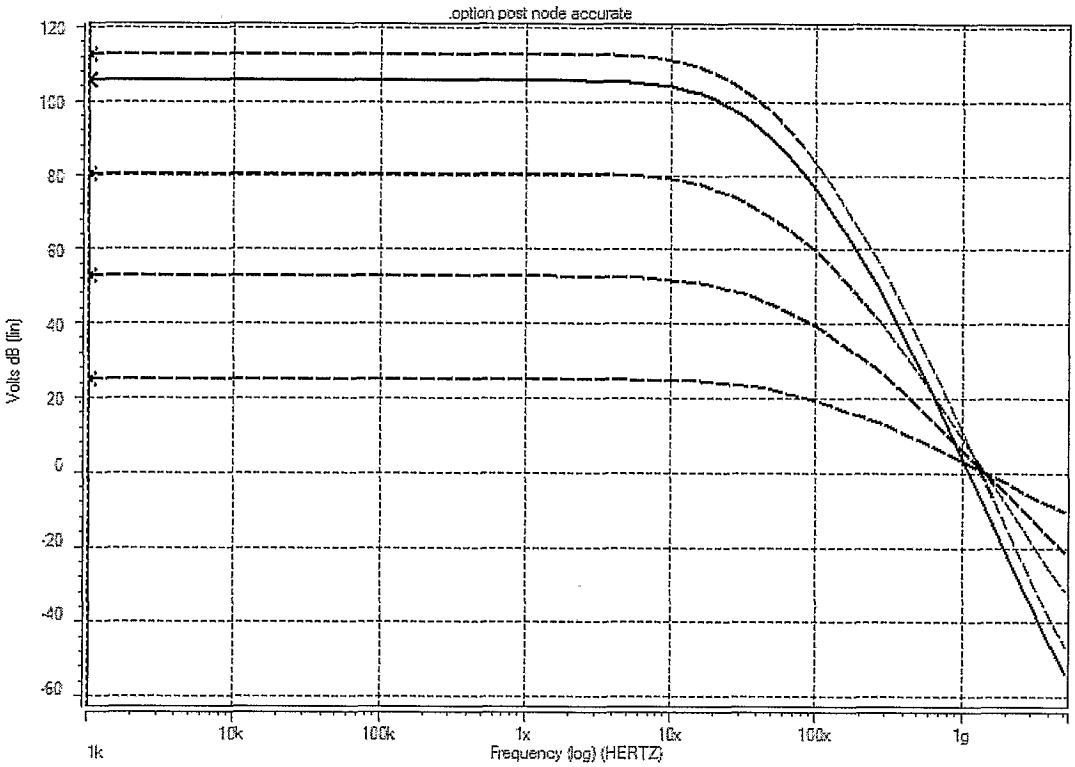


شکل ۳-۳ : **Cascading**

چنانچه از شکل ۳-۳ برمی‌آید سه تقویت‌کنندهٔ دیفرانسیلی کامل و سپس یک طبقهٔ با خروجی تک‌سر و در نهایت یک inverter برای رساندن سوینگ خروجی به مقدار ماکزیمم (از Gnd تا Vdd) پشت سر هم قرار گرفته‌اند و در نهایت بهره‌ای بالای 70dB بدست می‌آید. بهرهٔ بالای 20dB طبقه اول موجب می‌شود نویز مربوط به طبقه‌های بعدی و همچنین ترانزیستورهای M7 و M8 کم اثر شود. اثر نویز ترانزیستورهای M1و M6 هم به صورت Common mode [1] بوده و به دلیل CMRR [2] بالای کل مدار تأثیرگذار نخواهد بود در مورد اثر نویز Vdd نیز چنین است. تنها نویز تأثیرگذار مربوط به ترانزیستورهای M2، M3، M4 و M5 خواهد بود. نتیجه آنالیز کلی این طبقات در دیاگرام بد شکل ۳-٤ قابل مشاهده است.

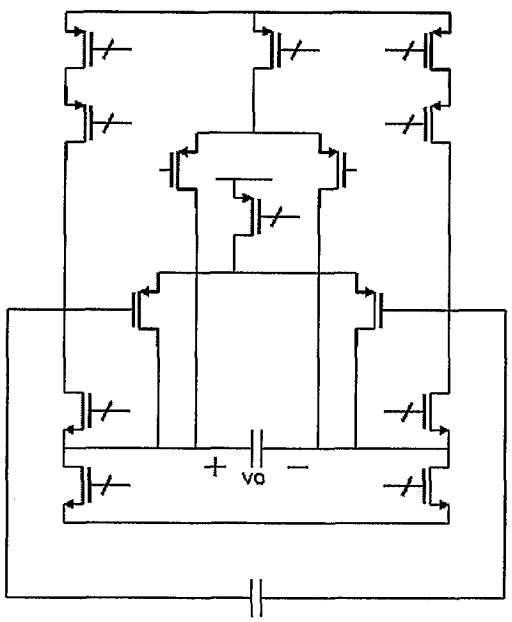
[1]- مد مشترک

[2] - Common mode rejection ratio



شکل ۳-٤ :نتیجه آنالیز **Pre amp. AC**

جهت طراحی BPF مورد نیاز از مدار زیر استفاده شده است.



شکل ۳- ٥ : **BPF**