دانشگاه صنعتی امیرکبیر

دانشکده مهندسی کامپیوتر

پایان‌نامه کارشناسی ارشد

معماری کامپیوتر

بهینه‌سازی مدارهای ناهمگام به روش Slack Matching

نگارش:

سمیه رئوفی فرد

استاد راهنما:

دکتر حسین پدرام

زمستان ۸۶

بسمـه تعالـــی

فرم اطلاعات پایان نامه
کارشناسی ارشد و دکترا

تاریخ: .....۸۷/۲/۱۴.....

پیوست: .....

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
معاونت پژوهشی

نام و نام خانوادگی:	سمیه رئوفی فرد	**دانشجوی آزاد** ■	**بورسیه** □	**معادل** □	
شماره دانشجوئی:	۸۴۱۳۱۰۱۹	**دانشکده:**	مهندسی کامپیوتر و فناوری اطلاعات	**رشته تحصیلی:**	مهندسی کامپیوتر- معماری
نام و نام خانوادگی استاد راهنما:	حسین پدرام				
عنوان پایان نامه به فارسی:	بهینه سازی مدارهای ناهمگام به روش Slack Matching				
عنوان پایان نامه به انگلیسی:	Optimization of Asynchronous Circuits Using Slack Matching				
نوع پروژه:	**کارشناسی ارشد** ■ **دکترا** □	**کاربردی** □	**بنیادی** □	**توسعه ای** ■	**نظری** □
تاریخ شروع:	۸۵/۷/۱	**تاریخ خاتمه:**	۸۶/۱۱/۲۱	**تعداد واحد:**	۶
سازمان تأمین کننده اعتبار:					
واژه های کلیدی به فارسی:	مدارهای ناهمگام, بهینه سازی خط لوله ای, Slack, پتری نت, کارایی, معیار دوره تناوب, انتخاب احتمالی				
واژه های کلیدی به انگلیسی:	Asynchronous Circuits, Pipeline Optimization, Slack, PetriNet, Performance, Cycle Time Metric, Probabilistic Choice				

نظرها و پیشنهادها به منظور بهبود فعالیت های پژوهشی دانشگاه:

استاد راهنما:

دانشجو:

امضاء استاد راهنما: **تاریخ: ۸۷/۲/۱۴**

نسخه ۱: معاونت پژوهشی
نسخه ۲: کتابخانه و به انضمام دو جلد پایان نامه به منظور تسویه حساب با کتابخانه و مرکز اسناد و مدارک علمی

چکیده:

مسایل و مشکلات مطرح در سیستم‌های همگام در مدارهای VLSI، ما را به سمت طراحی‌های ناهمگام سوق داده است. مدارهای ناهمگام با حذف پالس ساعت، بسیاری از مشکلات مطرح در این زمینه را کاهش داده‌اند. اما به علت مشکلاتی چون کمبود ابزارهای سنتز و بهینه‌سازی و همچنین سربار بالای مساحت در این مدارات، نمی‌توان تا حد لازم از این روش طراحی بهره‌برداری کرد. در این پایان‌نامه به بهینه‌سازی این‌گونه مدارات پرداخته شده است.

روش سنتز مبتنی بر تجزیه یک طراحی ناهمگام بر اساس وابستگی‌های داده‌ای، به دلیل جهت داشتن به سمت سنتز با کارایی بالای سیستم‌های ناهمگام مورد نظر قرار گرفته است. در این روش، مدار به مجموعه‌ای از فرایندهای هم‌روند تجزیه می‌شود که هر یک از این فرایندها می‌توانند به صورت اجزای ریزدانه خط‌لوله‌ای پیاده‌سازی شوند. بنابراین بهینه‌سازی خط‌لوله‌ای یکی از مهم‌ترین انواع بهینه‌سازی بعد از انجام فرایند تجزیه است تا بیش‌ترین هم‌روندی را در مدار ایجاد کند و به این ترتیب کارایی مدارهای ناهمگام افزایش یابد.

در این پایان‌نامه به طراحی الگوریتم و پیاده‌سازی یکی از روش‌های بهینه‌سازی خط‌لوله‌ای به نام Slack Matching پرداخته شده است که با درج بافر در کانال‌های خط‌لوله، سعی در بهبود کارایی و توان عملیاتی مدارهای ناهمگام دارد.

کلمات کلیدی:

مدارهای ناهمگام، بهینه‌سازی خط‌لوله‌ای، Slack، پتری‌نت، کارایی، معیار دوره تناوب، انتخاب احتمالی.

فهرست مطالب

مقدمه ۷
فصل ۱: معرفی مدارهای ناهمگام **۱۲**
۱-۱ مدل‌های تاخیر در مدارهای ناهمگام ۱۵
۱-۱-۱ مدل‌های تاخیر کران‌دار ۱۶
۱-۱-۲ مدارهای غیرحساس به تاخیر ۱۹
۱-۱-۳ مدارهای مستقل از سرعت ۲۱
۱-۱-٤ مدارهای شبه غیرحساس به تاخیر ۲۱
۱-۲ ارتباط غیرحساس به تاخیر ۲۲
۱-۲-۱ قراردادهای ارتباطی ۲۲
۱-۲-۲ کدهای غیرحساس به تاخیر ۲٤
۱-۲-۳ کدهای متداول ۲۵
فصل ۲: سنتز رفتاری مدارهای ناهمگام **۲٦**
۲-۱ سنتز سطح بالای مدارهای ناهمگام ۲۷
۲-۱-۱ روش سنتز مبتنی بر DDD ۲۷
۲-۲ بهینه‌سازی پس از سنتز مبتنی بر DDD ۳۰
۲-۲-۱ DDD به عنوان مجموعه‌ای از PCFBها ۳۱
فصل ۳: بهینه‌سازی خط‌لوله‌ای مدارات ناهمگام **۳٦**
۳-۱ سلول‌های خط‌لوله‌ای ۳٦

۳-۲ دینامیک خطلوله ۳۸
۳-۳ بهینه‌سازی خطلوله‌ای ٤۳
۳-۳-۱ مدل بهینه‌سازی خطلوله‌ای ٤۳
۳-۳-۲ مساله بهینه‌سازی خطلوله‌ای ٤٤
۳-۳-۳ بهینه‌سازی بافر خطلوله‌ای ٤٦
۳-۳-٤ مساله Slack Matching ٤۷
۳-٤ روش‌های پیاده‌سازی Slack Matching ٤۸
فصل ٤: مدل‌سازی و ارائه الگوریتم ۵۵
٤-۱ مدل پتری‌نت زمان‌دار احتمالی ۵۵
٤-۱-۱ الگوهای ساده ۵٦
٤-۱-۲ مدل سازی مساله با پتری‌نت زمان‌دار احتمالی ۵۸
٤-۱-۳ موتور شبیه‌سازی ٦۳
٤-۲ الگوریتم پیشنهادی ٦۳
٤-۲-۱ الگوریتم Simulated Annealing ٦٤
٤-۲-۲ ارائه نتایج ۷٦
فصل ۵: ایجاد قابلیت پشتیبانی انتخاب در الگوریتم ۸٤
۵-۱ الگوهای شرطی ۸٤
۵-۲ تعریف معیار کارایی برای مدارهای شرطی ۸٦
۵-۳ ارائه نتایج ۹۰
فصل ٦: نتیجه‌گیری و پیشنهادات ۹۳
٦-۱ خلاصه و نتیجه‌گیری ۹۳
٦-۲ پیشنهادات ۹٤
مراجع ۹٦
ضمیمه: مقالات مربوط به پایان‌نامه ۹۹

فهرست شکل‌ها و جدول‌ها

شکل ۱-۱ مثال جدول جریان و ماشین حالت معادل ۱۷
شکل ۱-۲ ساختار کلی مدار هافمن ۱۸
شکل ۱-۳ مراحل دست‌دهی چهار مرحله‌ای ۲۳
شکل ۱-٤ انتقال داده با گذر ۲۳
شکل ۱-۵ انتقال داده دسته‌ای ۲٤
شکل ۲-۱ مراحل سنتز مدار ناهمگام ۲۸
شکل ۲-۲ بافر ساده و توصیفCSP آن ۳۳
شکل ۲-۳ شکل کلی یک الگوی PCHB/PCFB ۳٤
شکل ۲-٤ توصیف SLP مربوط به PCHB ۳٤
شکل ۲-۵ توصیف SLP مربوط به PCFB ۳۵
شکل ۳-۱ مدل زمانی خط لوله‌ای halfbuffer ۳۹
شکل ۳-۲ نمودار توان عملیاتی بر حسب توکن برای دو خط لوله خطی ٤۰
شکل ۳-۳ نمودار ذوزنقه‌ای توان عملیاتی بر حسب توکن ٤۱
شکل ۳-٤ یک reconvergent-fanout و نمودار توان عملیاتی آن ٤۲
شکل ۳-۵ مدل گراف نشان‌دار برای یک خط‌لوله انتزاعی ٤۳
شکل ۳-٦ مدل بهینه‌سازی برای یک خط‌لوله خطی ناهمگام ٤۵
شکل ۳-۷ حلقه و reconvergent-fanout ٤۷
شکل ۳-۸ یک کانال FBCN برای اتصال دو سلول ۵۳

شکل ٤-١ مدل یک بافر ساده با PTPN ٥٦
شکل ٤-٢ مدل برای بافر با بیش از یک خواندن ٥٧
شکل ٤-٣ مدل برای بافر با بیش از یک نوشتن ٥٧
شکل ٤-٤ مدل PTPN یک reconvergent-fanout نامتوازن ٥٩
شکل ٤-٥ بهبود معیار دور با افزودن یک بافر به PTPN ٦٠
شکل ٤-٦ توضیح چگونگی ایجاد stall در reconvergent-fanout نامتوازن ٦١
شکل ٤-٧ توضیح چگونگی ایجاد stall در یک حلقه کوتاه ٦٢
شکل ٤-٨ ساختار کلی الگوریتم Simulated Annealing ٦٥
شکل ٤-٩ نمودار توان عملیاتی با درج بافرهای متعدد برای مدار s385 ..... ٦٧
شکل ٤-١٠ نمودار بهترین تعداد درج بافر اولیه برای چندین مدار تست ٦٨
شکل ٤-١١ شکل کلی تغییر کارایی، مساحت و توان یک FIFO ناهمگام با درج بافر ٧٣
شکل ٤-١٢ بدنه بهینه‌ساز Slack Matching در ارتباط با ابزار سنتز ناهمگام ٧٧
شکل ٤-١٣ تعداد بافرهای درج شده در هر دما برای مدار C1355 ..... ٨٠
شکل ٤-١٤ کاهش دوره تناوب با دما برای مدار c17 ..... ٨٠
جدول ٤-١ نتایج بهینه‌سازی الگوریتم Slack Matching ٨١
جدول ٤-٢ تاثیر الگوریتم Slack Matching بر مساحت ٨٢
شکل ٥-١ الگوی شرطی برای خواندن شرطی ٨٥
شکل ٥-٢ الگوی شرطی برای نوشتن شرطی ٨٥
شکل ٥-٣ الگوی شرطی با بیش از یک شرط ٨٦
شکل ٥-٤ مثال PTPN شرطی ٨٧
شکل ٥-٥ تعداد بافرهای درج شده در هر دما برای مدار S420 ..... ٩٠
جدول ٥-١ نتایج بهینه‌سازی Slack Matching برای مدارات شرطی ٩١
جدول ٥-٢ تاثیر الگوریتم Slack Matching مدارات شرطی بر مساحت ٩٢

مقدمه

امروزه چگالی داده‌ها در داخل چیپ‌ها به شدت افزایش یافته است و آن‌ها را به پیچیده ترین سیستم‌ها در تکنولوژی جدید تبدیل کرده است. گذشته از کاهش مصرف توان، یکی از مهمترین چالش‌های پیش روی این سیستم‌ها پیچیدگی و به تبع آن کاهش کارآیی در آن‌هاست.

آنچه مسلم است این است که باید روش‌هایی یافته شود که طی آن بتوان توازی را برای افزایش کارآیی در سیستم‌های پیچیده مذکور ایجاد نمود و آنرا مدیریت کرد. از آنجایی که مدارهای همگام با مشکلات متعددی دست به گریبان هستند که خود، کارآیی را تحت تاثیر قرار می‌دهد، رویکرد به سمت طراحی ناهمگام پیش رفته است.

بعد از پیچیدگی، مواردی نظیر مصرف توان و یا کاهش پایداری[1] سیستم‌های VLSI در برابر تغییرات محیطی، از جمله مسایلی است که این سیستم‌ها با آن‌ها دست به گریبان هستند. در طراحی مدارهای همگام، وجود یک مولد پالس ساعت مرکزی بر روی هر دو مساله مطرح شده تاثیر مستقیم دارد. وجود و فعالیت پالس ساعت خود موجب مصرف حجم زیادی از انرژی می‌شود و این در مواردی که نیاز به توزیع پالس ساعت وجود داشته باشد به مراتب فزونی می‌یابد.

[1] Robustness

غیر از این موارد، وجود تاخیر انتشار[1]های نامشخص برای سیگنال‌های پالس ساعت در یک چیپ و همچنین کاهش قابلیت اطمینان[2] که ناشی از کوچک شدن اندازه ترانزیستورها و به خاطر عدم قطعیت در زمانبندی سیستم است از مسایل مطرح در رابطه با پالس ساعت در سیستم‌های همگام می‌باشد.

وجود این عدم قطعیت‌ها طراح را مجبور می‌کند که برای دوره تناوب پالس ساعت، حجم عظیمی از حاشیه امنیت[3] را در نظر بگیرد که این امر کندی کل سیستم را در پی خواهد داشت.

وجود اینگونه مشکلات طراح را بر آن میدارد که از پالس ساعت سراسری به سوی پالس ساعت‌های محلی کاملا مستقل از یکدیگر، گرایش پیدا کند. این میتواند به معنای کاهش مصرف انرژی دینامیک در حین فعالیت اجزای مختلف سیستم باشد. در عین حال ایجاد چند پالس ساعت به تنهایی موجب پیچیدگی در اجزای سیستم و همراه با آن کاهش ماجولاریتی در سیستم است و از طرفی پتانسیل موجود برای طراحی اشتباه را در روند طراحی کل سیستم از بین نمی‌برد[Won04].

با توجه به مطالب مطرح شده در بالا، طراحی ناهمگام نمود می‌یابد. سیستم‌های ناهمگام به گونه‌ای طراحی می‌شوند که محاسبات بر مبنای دریافت و ارسال پیام انجام می‌شوند و طی آن همزمانی بدون استفاده از پالس ساعت سراسری در سیستم را با دست‌دهی[4]های محلی بین اجزای مختلف مرتبط با هم جایگزین نمایند.این امر به طور بالقوه هم به سرعت سیستم می‌افزاید و هم مصرف توان را (با حذف پالس ساعت) به حد قابل توجهی می‌کاهد.

در مواردی که محاسبات تخمینی جزئی انجام شده است حتی تا ۷۵٪ مصرف انرژی در سیستم‌های همگام نیز کاهش مصرف توان وجود داشته است[May01] .

بنابر آنچه گفته شد، برخی مشکلات طراحی به خصوص مسایلی که در ارتباط با توزیع پالس ساعت مطرح می‌شود، در طراحی‌های ناهمگام به طور کامل از بین می‌رود.

---

[1] Propagation Delay
[2] Reliability
[3] Safety Margin
[4] Handshaking

مسایل دیگری نظیر وجود توان دینامیک نیز با محدود شدن سوئیچ‌ها در شبکه‌های پالس ساعت در این گونه مدارها کاهش می‌یابد.

از طرفی کارایی به نحو قابل توجهی بهبود می‌یابد که این نیز از مزایای حذف پالس ساعت می‌باشد که دوره تناوبش محدودیت‌هایی برای برخی اجزای[1] سیستم ایجاد میکند.

در یک مدار ناهمگام، تاخیر حالت متوسط[2]، جایگزین تاخیر بدترین حالت[3] می‌شود. وقتی که یک جزء سیستم کند باشد و به طور منظم مورد استفاده قرار نگیرد، موارد استفاده آن محدود است و نیازی وجود ندارد که برای افزایش سرعت مدار، با استفاده از برخی بافرها، حجم سیستم را افزایش داد. لذا ابزارهای سنتز در این زمینه کار چندانی انجام نمی‌دهند.

حذف و محدود نمودن پالس ساعت سراسری، حجم زیادی از فرضیات زمانی سیستم را کم می‌کند. البته این به روش ناهمگام مورد استفاده نیز مرتبط است. در روش QDI که در اینجا مورد بحث قرار خواهد گرفت، فقط یک فرض زمانی قابل مدیریت وجود دارد.

البته روش‌های ناهمگام دیگری (نظیر bundled و...) وجود دارند که فرضیات زمانی متنوع‌تری دارند، ولی این مساله در نهایت، کندی سیستم‌های مذکور را در کنار مزایایی که دارد، در پی خواهد داشت.

یکی از مشخص‌ترین مزایای فرضیات زمانی کمتر، واسط[4] ساده‌تر جزءها در کل سیستم می‌باشد و این افزایش پیمانه‌ای بودن و قابلیت استفاده مجدد در سیستم‌های ناهمگام را در پی خواهد داشت.

شاید بزرگترین مزیت طراحی ناهمگام افزایش پایداری در برابر تغییرات محیطی باشد. حذف فرضیات زمانی و Timing از طراحی در مدارهای QDI جدایی فرایند صحت[5] و تخمین کارایی را به دنبال دارد. این امر باعث میشود که سیستم‌های ناهمگام بتوانند بر خلاف تفاوت‌هایی که در تکنولوژی فرایندها و یا عوامل فیزیکی نظیر دما و ولتاژ و...

[1] Component
[2] Average Case Delay
[3] Worst Case Delay
[4] Interface
[5] Correctness

وجود دارد، به کار خود ادامه دهند. (بعضی از سیستم‌های ناهمگام وجود دارند که در ولتاژهای زیر آستانه هم می‌توانند کار کنند.)

لذا با توجه به مصالحه[1]هایی که در مقیاس‌بندی ولتاژ و در ارتباط با کارایی وجود دارد، حجم زیادی از صرفه‌جویی در زمینه توان می‌تواند انجام گیرد و نیازی به وجود مدارهای اضافی و یا پروتکل‌های خاص برای رسیدن به این هدف وجود نخواهد داشت. این خصوصیت مدارهای ناهمگام سنتز آن‌ها را ساده‌تر می‌کند و به خصوص برای سنتز سطح بالای آن‌ها بهتر است[Mar00].

یکی از نقاط ضعف مدارهای ناهمگام، سربار بالای آن‌ها از نظر مساحت است. چون برای فرضیات زمانی که در این سیستم‌ها به صورت پالس ساعت مرکزی وجود ندارد مدارهای اضافی لازم است، همچنین برای اینکه یک سیگنال خاص معتبر باشد در سیستم‌های همگام فرضیاتی نظیر لبه پالس ساعت و... وجود دارد که سیستم‌های ناهمگام متناظر با آن‌ها خود سیگنال مبنای بررسی این اعتبار قرار می‌گیرد. وجود سربار مساحت بخصوص با این واقعیت مواجه است که امروزه حجم و اندازه‌ها کاهش قابل توجهی داشته است.

علاوه بر مساحت، یکی از مهمترین نقاط ضعف پیش روی مدارهای ناهمگام، که مانع از این می‌شود تا آن‌ها مانند همتایان همگام شان مورد استفاده وسیع قرار بگیرند، عدم وجود ابزارهایی برای سنتز، بهینه‌سازی، تست و طراحی برای کارآیی بالا[2]ی سیستم‌های ناهمگام است.

در این پایان‌نامه، در فصل اول به مدل‌های مدارهای ناهمگام می‌پردازیم. در فصل دوم به سنتز سطح بالای مدارهای ناهمگام QDI با استفاده از روش تجزیه مبتنی بر داده[3] که یک الگوریتم ترتیبی[4]را با بررسی ارتباطات داده‌ای به سیستم معادل از فرایند[5]های هم روند[6] تبدیل می‌کند و نتیجه آن مدار ریزدانه خط لوله۱ای شامل الگو[2]های طراحی عمومی است، خواهیم پرداخت.

---

[1] Trade-off
[2] High Performance
[3] Data Driven Decomposition
[4] Sequential
[5] Process
[6] Concurrent

فصل سوم به مساله بهینه‌سازی خط لوله‌ای در مدارهای ناهمگام، مساله Slack Matching و تحقیقاتی که تا به حال در این زمینه انجام شده می‌پردازد. در فصل چهارم مدل استفاده شده در این پایان‌نامه ارائه می‌شود و الگوریتم ارائه شده و نتایج حاصل از آن در مقایسه با کارهای قبلی عنوان می‌شود. فصل پنجم نحوه گسترش الگوریتم را برای پشتیبانی مدارات دارای انتخاب، بیان می‌کند. در فصل آخر نیز نتیجه گیری و پیشنهاداتی جهت ادامه کار ارائه خواهد شد.

[1] Pipeline
[2] Template

فصل ۱: معرفی مدارهای ناهمگام

طراحی ناهمگام بخش وسیعی از طراحی‌های دیجیتال را در بر می‌گیرد. با توجه به گستردگی طیف مدارهای ناهمگام به نظر می‌رسد بهترین و جامع ترین تعریف برای این نوع مدارها این است که: *هر مداری که همگام نیست، لاجرم ناهمگام است.*

مدارهای ناهمگام بر خلاف همتایان همگامشان که از یک سیگنال سراسری برای زمانبندی استفاده می‌شود، از سیگنال‌های محلی برای زمانبندی استفاده می‌کنند. در سال‌های اخیر مدارهای ناهمگام با توجه به مزایای فراوانی که بر مدارهای همگام دارند، دوباره به صحنه بازگشته‌اند. استفاده از سیگنال‌های محلی و حذف سیگنال پالس ساعت، مزایای بسیاری را برای مدارهای ناهمگام به ارمغان می‌آورد :

- **حذف انحراف پالس ساعت**[1]: به اختلاف زمان رسیدن پالس ساعت در قسمت‌های مختلف مدار، انحراف ساعت گفته می‌شود. مدارهای همگام ناچار به کم کردن سرعت مدار برای تطبیق دادن خود با انحراف ساعت هستند. کم شدن اندازه ترانزیستورها و افزایش سرعت مدارها مشکل انحراف ساعت را از گذشته مهم تر کرده است. از آنجا که مدارهای ناهمگام پالس ساعت سراسری ندارند، نگرانی در مورد این مساله در مدارهای ناهمگام از بین می‌رود.

[1] Clock Skew

- **توان مصرفی کمتر**: مدارهای همگام متداول مجبور به تغییر مداوم خطوط پالس ساعت و احتمالا سیگنال‌هایprecharge و discharge در بخش‌هایی از مدار هستند که در محاسبات جاری استفاده نمی‌شوند. این مساله مصرف توان را در پی دارد. در عین حال مدارهای ناهمگام نیز به گذر[1]های زیادی در محاسبه نیاز دارند اما اغلب این گذرها در بخش‌هایی از مدار روی می‌دهد که در محاسبه فعلی درگیر هستند.
- **کارایی حالت متوسط به جای کارایی بدترین حالت**: مدارهای همگام مجبورند قبل از نگهداری نتایج منتظر بمانند تا تمام محاسبات احتمالی به اتمام برسد که این موضوع به کارایی بدترین حالت منجر می‌شود. اغلب مدارهای ناهمگام به خاطر محلی نمودن زمانبندی اتمام محاسبه را تشخیص داده، کارایی حالت میانگین را ارائه می‌دهند. این امر می‌تواند برای مدارهایی که در آن‌ها کارایی بدترین حالت و کارایی حالت میانگین اختلاف قابل ملاحظه‌ای دارد، مزیت قابل توجهی محسوب شود.
- **ساده کردن زمانبندی سراسری**: در سیستم‌هایی نظیر یک پردازنده همگام، ساعت سیستم و در نتیجه کارایی آن توسط کندترین مسیر (مسیر بحرانی[2]) مشخص می‌شود. بنابراین بیشتر قسمت‌های مدار حتی بخش‌هایی که به ندرت استفاده می‌شوند، باید به دقت بهینه‌سازی شوند تا بتوان به بالاترین سرعت پالس ساعت دست یافت. از آنجایی که بیشتر مدارهای ناهمگام با سرعت آن بخش از مدار که در حال حاضر در حال انجام عملیات است، کار می‌کنند، بنابراین بخش‌هایی از مدار که به ندرت استفاده می‌شود، می‌تواند بدون اینکه لطمه‌ای به کارایی سیستم بزند، بهینه‌سازی نشده باقی بماند.
- **تطبیق خودکار با شرایط فیزیکی**: تاخیر مدار ممکن است با تغییر در ساخت[3]، دما و ولتاژ منبع تغذیه تغییر کند. در مدارهای همگام باید بدترین ترکیب عوامل ممکن را در نظر گرفت و ساعت سیستم را بر

[1] Transition
[2] Critical Path
[3] Fabrication

اساس آن به درستی تنظیم نمود. بیشتر مدارهای ناهمگام، اتمام عملیات را تشخیص داده، با بیشترین سرعتی که شرایط فیزیکی فعلی اجازه می‌دهد کار می‌کنند.

- **طراحی پیمانه‌ای[1]:** طراحی مدارهای ناهمگام می‌تواند پیمانه‌ای باشد، یک بخش از مدار را می‌توان با یک مدار معادل منطقی آن جایگزین کرد. به گونه‌ای که با طراحی مدار، یکپارچه شده؛ بدون این‌که تغییری در واسط مدار ایجاد نماید.
- **کاهش تداخل الکترومغناطیسی:** در مدارهای همگام به علت اینکه همه قسمت‌های مدار تقریبا با هم و سر لبه پالس ساعت فعال می‌شوند، این امر باعث افزایش احتمال تداخل الکترومغناطیسی سیگنال‌های مختلف می‌شود. در صورتی که در مدارهای ناهمگام به علت مجزا بودن فعالیت بخش‌های مختلف و کاهش همزمانی تغییرات سیگنال‌های مختلف، میزان این تداخل بسیار کاهش می‌یابد.
- علی رغم تمام مزایای بالقوه مدارهای ناهمگام، در عمل سیستم‌های همگام عمومیت پیدا کرده‌اند. زیرا مدارهای ناهمگام دارای معایبی نیز هستند. معایب عمده مدارهای ناهمگام را می‌توان به عوامل زیر تقسیم کرد:
- **پیچیدگی طراحی**: طراحی مدارهای ناهمگام به روش دستی مشکل تر از مدارهای همگام است. در یک مدار همگام، طراح منطق ترکیبی[2] لازم برای محاسبه تابع مورد نظر را تعریف و آن را با Latchها احاطه می‌کند. با تنظیم طولانی تر ساعت، تمام نگرانی‌ها از جانب Hazardها (تغییرات ناخواسته سیگنال‌ها) و حالت گذرای سیستم از بین می‌رود. در مقابل، طراحان مدارهای ناهمگام باید توجه زیادی به حالت‌های گذرای سیستم داشته باشند و Hazardها هم باید از مدار حذف شده و یا جلوی تولید آن‌ها از ابتدا گرفته شود.

[1] Modular
[2] Combinational Logic

- **حفظ ترتیب[1] عملیات**: ترتیب عملیات که در مدارهای همگام با قرار دادن Latch در مدار تثبیت می‌شود، باید به دقت در کنترل مدارهای ناهمگام بررسی شود. در سیستم‌های پیچیده، انجام دستی این عملیات بسیار مشکل است.
- **کمبود ابزارهای CAD** : متاسفانه مدارهای ناهمگام نمی‌توانند از ابزارهای CAD موجود یا پیاده سازی جایگزین سیستم‌های همام استفاده نمایند. ابزارهای جایابی[2]، مسیریابی[3]، بخش بندی[4]، سنتز و ابزارهای دیگر CAD نیاز به تغییراتی برای مدارهای ناهمگام دارند یا اصولا برای این مدارها قابل استفاده نمی‌باشند.
- **حجم بالای مدار**: مدارهای ناهمگام به علت وجود مدارهای دست‌دهی دارای حجم بسیار بالایی نسبت به مدارهای همگام می‌باشند. به طوریکه بیشتر حجم مدارهای ناهمگام شامل مدارهای دست‌دهی است و نه مدارهای عملیاتی.
- **پیاده سازی عملی**: در پایان نکته مهم تر این است که چه مقدار از مزایای گفته شده برای مدارهای ناهمگام و قابلیت‌هایی که برای ارائه کارایی بهتر دارند، در عمل به دست می‌آید. عملیات در مدارهای ناهمگام، عموما به دلیل پیچیدگی در سیگنال دهی زمان بیشتری می‌گیرند و این امر تاخیر متوسط را بیشتر می‌کند. اینکه این هزینه‌ها بیشتر از مزایای به دست آمده است یا نه، نیاز به تحقیق و زمان بیشتری برای پاسخگویی دارد.

۱–۱ مدل‌های تاخیر در مدارهای ناهمگام

با تمام مسائلی که ذکر شد، مدارهای ناهمگام یک زمینه مهم تحقیقاتی است. جدا از اینکه مدارهای ناهمگام چه اندازه موفق هستند، همیشه نیاز به این مدارها وجود دارد. منطق ناهمگام می‌تواند برای ارتباط سیستم‌های همگام به محیط و دیگر سیستم‌های همگام یا برای یک کاربرد کامل به کار رود. هرچند، طراحی دستی مدارهای سیستم‌های ناهمگام غیر

[1] Ordering
[2] Placement
[3] Routing
[4] Partitioning

عملی است، روش‌ها و الگوریتم‌های CAD مختلفی برای طراحی ناهمگام توسعه یافته‌اند. چندین راهکار مهم از آن‌ها در این بخش بررسی می‌شوند. این بررسی تنها به مفاهیم پایه روش‌های معروف طراحی ناهمگام می‌پردازد و تمام روش‌هایی را که تا به حال برای طراحی ناهمگام ارائه شده‌اند، در بر نمی‌گیرد و جزئیات روش‌ها را نیز شامل نمی‌شود.

روش‌های طراحی مدارهای ناهمگام به دو دسته عمده تقسیم می‌شود: مدارهای تاخیر کران‌دار[۱] و مدارهای غیر حساس به تاخیر[۲]. در مورد تاخیر بخش‌های مختلف مدارهای گروه اول یا حداکثر تاخیر آن فرضیاتی صورت گرفته است و مدار به گونه‌ای طراحی می‌شود تا در این شرایط به درستی کار کند. اما در مدارهای غیر حساس به تاخیر، فرضی در مورد تاخیر مدار انجام نمی‌شود و همگام سازی بخش‌های مختلف با تولید و تشخیص سیگنال‌های درخواست[۳] و تصدیق[۴] انجام می‌شود. هر کدام از این دو گروه شامل روش‌های مختلفی است که در ادامه به صورت مختصر بررسی خواهند شد.

۱-۱-۱ مدل‌های تاخیر کران‌دار

یک راه حل بدیهی، مدلی شبیه مدل مدارهای همگام است. یعنی در این مدارها فرض می‌شود تاخیر تمام عناصر و سیم‌های مدار معلوم یا حداقل محدود است. به مدارهایی که با این مدل طراحی می‌شوند به دلیل اینکه مفاهیم اولیه آن توسط هافمن[۵] توسعه یافته است، مدارهای‌هافمن می‌گویند.

در این مدل، مدارها به روشی بسیار مشابه مدارهای همگام طراحی می‌شوند. مداری که باید سنتز شود به صورت جدول روند[۶] [Ung69] بیان می‌شود که شبیه جدول درستی[۷] است. همان‌طور که در شکل ۱-۱ نشان داده شده است، جدول جریان برای هر حالت داخلی یک سطر و برای هر ترکیب از ورودی‌ها یک ستون دارد. محتویات هر خانه نشان

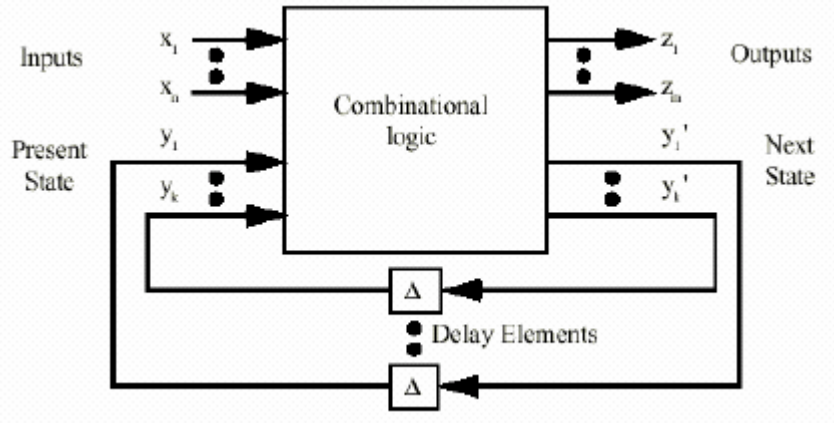
[1] Bounded-delay
[2] Delay-insensitive
[3] Request
[4] Acknowledgement
[5] D. A. Huffman
[6] Flow-table
[7] Truth-table

دهنده حالت بعدی و خروجی تولید شده در زمانی است که در حالت آن سطر قرار داشته باشیم و ورودی ستون به آن اعمال شود. حالت‌هایی که با دایره مشخص شده‌اند، حالت‌های پایدار هستند که در آن‌ها حالت بعدی همان حالت فعلی است. در حالت عادی فرض می‌شود که هر حالت ناپایدار به یک حالت پایدار می‌رسد، که در آن، در هر متغیر خروجی حداکثر یک گذر انجام می‌شود. مشابه سنتز ماشین حالت محدود[1] در مدارهای همگام، کاهش حالت‌ها و کدگذاری حالت[2] در جدول جریان انجام می‌شود و برای هر سیگنال یک جدول کارنو[3] ایجاد می‌شود.

شکل۱-۱: مثال جدول جریان(چپ) و ماشین حالت معادل(راست) [Ung69]

در این مدارها مسائلی وجود دارند که در مدارهای همگام نبوده‌اند و باید مورد توجه قرار بگیرند. یکی از آن‌ها این است که در مواقعی که چندین ورودی قرار است تغییر کنند، حالت‌های میانی وجود دارد که مدار باید در آن‌ها به درستی رفتار کند. مثلا تغییر ورودی از "00" به "11" ممکن است از حالت میانی "10" یا "01" عبور کند که مدار باید قادر باشد در این حالت نیز رفتار درستی داشته باشد. برای سادگی فرض می‌شود در هر لحظه فقط یک ورودی مدار تغییر می‌کند. به چنین مدارهایی مدارهای حالت بنیادی[4] گفته می‌شود. علاوه بر آن باید Hazardهای مدار نیز حذف شود. این کار معمولا با اضافه کردن عناصر غیر ضروری[5] جدول کارنو انجام می‌شود. از آنجا که در این مدارها پالس ساعت وجود ندارد، باید قبل از اینکه ورودی مدار تغییر کند از رسیدن مدار به حالت پایدار مطمئن شویم. برای این منظور از عناصر تاخیر در مسیر پس خورد استفاده می‌شود. ساختار کلی این مدارها در شکل ۱-۲ نشان داده شده است.

[1] Finite State Machine
[2] State Encoding
[3] Karnaugh Map
[4] Fundamental Mode
[5] Don't Care



شکل۱-۲: ساختار کلی مدار هافمن [Ung69]

در برخی موارد شرط مدارهای حالت بنیادی در مورد تغییر تک تک ورودی‌ها لازم نیست. این مساله می‌تواند به سادگی طرح کمک کند. ولی مشکل در این است که این حالت عمومی نیست و در موارد خاصی امکان پذیر است.

۱-۱-۱-۱ مشکلات مدارهای تاخیر کران‌دار

یکی از عمده ترین مشکلات مدارهای تاخیر کران‌دار در این است که همگی از یک ماشین حالت برای توصیف مدار استفاده می‌کنند، در حالی که معمولا در یک مدار واقعی برای ارائه یک کارکرد کامل، از چندین ماشین حالت برای کنترل و عناصر مختلفی برای مسیر داده[1] استفاده می‌گردد. متاسفانه هیچ یک از روش‌های فوق، راه حلی برای شکستن[2] مدار به بخش‌های کوچکتر ارائه نداده‌اند. مشکل عمده دیگر در این است که این روش‌ها برای طراحی مسیر داده مناسب نیست، زیرا در مسیر داده تغییر همزمان ورودی‌ها امری اجتناب ناپذیر است.

حتی در مدارهایی که با این روش‌ها قابل پیاده سازی هستند نیز یک مشکل عمده وجود دارد: این روش‌ها برای جلوگیری از Hazard، عناصر تاخیر به مدار می‌افزاید که باعث کاهش قابل ملاحظه کارایی مدار می‌شود. از طرف دیگر

[1] Data Path
[2] Decomposition

این عناصر باید تاخیر بدترین حالت را در ترکیب ورودی و مشخصات فیزیکی در نظر بگیرند که به داشتن تاخیر بدترین حالت می‌انجامد.

مساله دیگر در مورد شرایطی است که روی ورودی‌ها اعمال می‌شود. برای برآورده شدن این شرایط در یک مدار پیچیده که از چند قطعه سری تشکیل شده، ورودی باید به گونه‌ای اعمال شود تا علاوه بر برآورده کردن شرایط عنصر اول، خروجی‌های تولید شده در مرحله اول، شرایط ورودی مرحله دوم را برآورده کنند و به همین صورت در یک مدار بزرگتر این روابط بسیار پیچیده خواهد شد. برای حل این مشکل باید از روش‌های ارتباطی ناهمگام استفاده کرد.

مشکل مهم دیگر این مدارها آزمون[1] آن‌ها می‌باشد، زیرا اضافه کردن مولفه‌های اضافی برای حذف Hazard، تشخیص خطا را بسیار پیچیده می‌کند. علاوه بر آن این دسته از مدارهای ناهمگام باید برای خطای تاخیر[2]، یعنی تاخیر خارج از انتظار عناصر مورد آزمون قرار گیرند. در مدارهای همگام در چنین حالتی می‌توان سرعت پالس ساعت تراشه را کاهش داد تا مدار بتواند به درستی کار کند؛ اما در مدارهای ناهمگام این مشکل راه حلی ندارد.

۱-۱-۲ مدارهای غیر حساس به تاخیر

در مدارهای غیر حساس به تاخیر بر خلاف مدارهای تاخیر کران‌دار فرض می‌شود تاخیر عناصر و سیم‌ها دلخواه و نامحدود است. در مدارهای حساس به تاخیر فرض می‌شود که زمان کافی به عنصر داده شده است تا محاسبا خود را انجام دهد اما در مدارهای غیر حساس به تاخیر چنین فرضی وجود ندارد و به جای آن از مدار تشخیص اتمام[3] در گیرنده داده استفاده می‌شود.

گیت‌های تک خروجی متداول مانند AND، OR، XOR،... هیچ کدام برای کار در محیط‌های غیر حساس به تاخیر مناسب نیستند، زیرا می‌توانند فقط با یک گذر روی ورودی خروجی را تولید کنند. بنابر این نمی‌توان از آن‌ها به عنوان

[1] Test
[2] Delay Fault
[3] Completion Detection