بسم الله الرحمن الرحيم

دانشگاه ارومیه

دانشکده فنی و مهندسی

گروه مهندسی برق

پایان نامه کارشناسی ارشد الکترونیک

طراحی و پیاده سازی یک طبقه تقویت کننده با بهره دقیق 8 (دقت 0.1%)، با آفست حذف شده و زمان نشست 2ns (با دقت settling حداقل ۹ بیت) در پروسس CMOS 0.18um

علیرضا مصری

اساتید راهنما

پروفسور خیرالله حدیدی - پروفسور عبدالله خویی

بهمن ماه ۱۳۹۲

کلیه حقوق این اثر متعلق به دانشگاه ارومیه است.

فرم شماره ۱۴

دانشگاه ارومیه

دانشکده فنی و مهندسی

پایان نامه آقای علیرضا مصری به شماره دانشجویی ۹۰۰۵۳۱۰۰۹ تحت عنوان : طراحی و پیاده سازی یک طبقه تقویت کننده با بهره دقیق ۸ (دقت 0.1٪) با آفست حذف شده و زمان نشست <2nsec در پروسس **CMOS 0.18 um** به **تاریخ ۹۲/۱۱/۱۵ به شماره ثبت مورد پذیرش هیئت محترم داوران با رتبه** عالی **و نمره** ۱۹/ **قرار گرفت .**

کمیته دفاع	نام و نام خانوادگی	امضاء
استاد راهنما و رئیس هیئت داوران	آقای دکتر خیراله حدیدی	
استاد راهنمای دوم	آقای دکتر عبداله خویی	
داور داخلی	آقای دکتر ابراهیم عباسپور	
داور خارجی	آقای دکتر بهروز طوسی	
نماینده تحصیلات تکمیلی	آقای دکتر سعید تاروردیلو	

حق چاپ و نشر برای دانشگاه ارومیه محفوظ میباشد.

دانشگاه ارومیه

دانشکده فنی و مهندسی

طراحی و پیاده سازی یک طبقه تقویت کننده با بهره دقیق 8 (دقت 0.1%)، با آفست حذف شده و زمان نشست 2ns (با دقت settling حداقل ۹ بیت) در پروسس CMOS 0.18um

دانشجو:

علیرضا مصری

این پایان نامه به عنوان بخشی از فعالیتهای علمی - پژوهشی مقطع کارشناسی ارشد مهندسی **برق**گرایش **الکترونیک** در تاریخ **۱۳۹۲/۱۱/۱۵** توسط هیئت داوران ذیل موردپذیرش قرارگرفت.

استادراهنمای اول: پروفسور خیرالله حدیدی

استادراهنمای دوم: پروفسور عبدالله خویی

داور خارجی: دکتر بهروز طوسی

داور داخلی: دکتر ابراهیم عباسپور ثانی

نماینده تحصیلات تکمیلی: دکتر سعید تاریوردیلواصل

کلیه حقوق این اثر متعلق به دانشگاه ارومیه است

بسمه تعالی

فرم شـماره ۹

دانشگاه ارومیه

تاریخ:

دانشکده فنی و مهندسی

شماره:

تعهدنامه پژوهشی

نظربه اینکه چاپ و انتشارپایان نامه های تحصیلی دانشجویان دانشگاه ارومیه مبین بخشی از فعالیتهای علمی - پژوهشی دانشجو می باشد که با استفاده ازاعتبارات دانشگاه انجام می شود، برای آگاهی دانشجو و رعایت حقوق دانشگاه، دانش آموختگان گرامی نسبت به رعایت موارد ذیل متعهد میشوند:

۱. قبل ازچاپ پایان نامه خود، مراتب رابطورکتبی به مدیریت تحصیلات تکمیلی دانشگاه اطلاع وکسب اجازه نمایند.
۲. درانتشارنتایج پایان نامه درقالب مقاله، همایش، اختراع، اکتشاف وسایرموارد ذکرنام دانشگاه ارومیه الزامی است.
۳. انتشارنتایج پایان نامه باید با اطلاع وکسب اجازه از استاد راهنما صورت گیرد.

اینجانب **علیرضا مصری** دانشجوی گرایش **الکترونیک** مقطع **کارشناسی ارشد** تعهدات فوق وضمانت اجرایی آنراقبول کرده وبه آن ملتزم میشوم.

تاریخ و امضا دانشجو

تقدیم به

خانواده عزیزم

سپاس ایزد منان که به من این فرصت را داد تا به این مرحله از علم رسیده و از هیچ محبتی دریغ نکرد و در تمام مراحل زندگیم مرا قوت قلب بود. از اساتید راهنمای گرانقدرم آقایان پروفسور خیرالله حدیدی و پروفسور عبدالله خویی که افتخار شاگردی این بزرگواران را داشتم به خاطر زحمات و کمک‌هایشان کمال تشکر و قدردانی را به عمل می‌آورم. همچنین برخود لازم می‌دانم از استاد دوره کارشناسی ام جناب آقای دکتر جواد حدادنیا که استاد درس الکترونیک۳ بنده بودند، تشکر و قدردانی کنم. همچنین از دوستان خود در دانشگاه ارومیه و پژوهشکده میکروالکترونیک و مخصوصا از آقای مهندس محمود مهدی پور به خاطر دوستی صمیمانه یشان کمال تشکر و قدردانی را دارم. همچنین از خانم دکتر صدرافشاری نیز به خاطر خواندن پایان‌نامه بنده و ارائه مطالب مفید در مورد آن تشکر می‌نمایم.

چکیده

موضوع این پایان نامه طراحی یک تقویت کننده با بهره ۸ (با دقت بهره حداقل ۱۰ بیت) و سرعت settling ۲ نانوثانیه (با حداقل ۹ بیت دقت) با آفست حذف شده به ازای خازن بار تک سر ۰.۵ پیکو فاراد می‌باشد.

مدار طراحی از سه قسمت برای دست یابی به بهره دقیق استفاده می‌کند. ۱- مدار تنظیم بهره برای نگه داشتن مقدار بهره مدار حول مقدار ۸ در گوشه های مختلف پروسه. ۲- مدار بایاس حساس به تغییرات مقاومت جهت جبران اثر تغییرات مقاومت بر روی بهره مدار. ۳- مدار حذف‌کننده اعوجاج جهت دستیابی به خطی بودن (دقت) بالا.

از آنجایی که خطاهای موجود در فرآیند ساخت منجر به ایجاد آفست در مدارها می‌شود به همین خاطر مدارهایی نیز برای حذف آفست بلوک های مختلف تقویت‌کننده درنظر گرفته شده است تا عملکرد درست مدار را هنگام وجود آفست نیز تضمین کنند.

مدار در تکنولوژی۱۸۰ نانومتر CMOS با ۱ پلی و ۶ لایه فلز طراحی و شبیه سازی شده است. زمان نشست مدار برای بار ۰.۵ پیکو فاراد در هر خروجی، برابر ۲ نانوثانیه و توان مصرفی آن نیز برابر با ۶۴ میلی وات می‌باشد. سوییننگ خروجی مدار نیز برابر با ۰.۸ ولت پیک تا پیک می‌باشد.

واژگان کلیدی : تقویت کننده حلقه باز، زمان نشست، حذف آفست، جبران تغییرات پروسه ساخت، خطی بودن.

فهرست مطالب

۱- مقدمه ۱

۲- مفاهیم اولیه ۴

۲-۱ زمان نشست ۴

۲-۲ آفست ۵

۳- ساختار پیشنهادی برای تقویت‌کننده ۸

۴- حذف آفست تقویت‌کننده اصلی و قسمت تنظیم بهره ۳۱

۵- Layout کلی و بخش های مختلف آن ۵۶

۶- نتیجه گیری، مقایسه و پیشنهادات ۵۹

مراجع ۶۱

فهرست شکل ها

شکل ۲-۱ نمایش زمان نشست و محدوده خطای قابل خروجی..... ۴
شکل ۲-۲ وضعیت خروجی تفاضلی تقویت کننده تفاضلی ایده آل و بدون آفست ۶
شکل ۲-۳ تقویت کننده تفاضلی دارای آفست (الف) قبل از حذف آفست (ب) حذف آفست خروجی توسط منبع Vos_{in}..... ۶
شکل ۲-۴ حذف آفست خروجی توسط تغییر در ولتاژ گیت بارهای فعال ۷
شکل ۳-۱ ساختار استفاده شده به عنوان تقویت کننده ۸
شکل ۳-۲ مدل نیم مدار برای محاسبه ترارسانایی ۱۰
شکل ۳-۳ تقویت کننده به همراه مدار common mode feedback..... ۱۰
شکل ۳-۴ ساختار تنظیم بهره بر روی مقدار ۸ ..... ۱۱
شکل ۳-۵ مدار پیشنهاد شده برای استفاده به عنوان DDA..... ۱۲
شکل ۳-۶ مدار common mode feedback طبقه اول مدار DDA..... ۱۴
شکل ۳-۷ نمایش گره اعمال ولتاژ خروجی مدار DDA در مدارهای main و replica..... ۱۴
شکل ۳-۸ مقاومت های degeneration افزده شده برای افزایش توانایی مدار برای جبران افت بهره ۱۶
شکل ۳-۹ ساختار مدار تقویت کننده برای جبران تغییرات مقاومت و گوشه های پروسه ۱۷
شکل ۳-۱۰ بررسی مدار پیشنهادی برای قسمت بایاس در گوشه های SS و FS ۱۸
شکل ۳-۱۱ ساختار استفاده شده برای تست رفتار مدار از نظر تنظیم بهره ۱۹
شکل ۳-۱۲ منحنی اختلاف خروجی ایده آل از خروجی بدست آمده از مدار ۲۰
شکل ۳-۱۳ ولتاژ کنترلی در گوشه های مختلف پروسه بعد از تنظیم بهره مدار..... ۲۰
شکل ۳-۱۴ زوج دیفرانسیلی افزوده شده جهت حذف هارمونیک سوم خروجی برای بهبود عملکرد خطی مدار..... ۲۱
شکل ۳-۱۵ منحنی خطای خروجی در گوشه های مختلف پروسهبه ازای محدوده ورودی مورد نیاز ... ۲۲
شکل ۳-۱۶منحنی خطای خروجی به ازای افزایش ۳۰ درصدی مقدار مقاومت ها در گوشه های مختلف پروسه..... ۲۲
شکل ۳-۱۷ منحنی خطای خروجی به ازای کاهش ۳۰ درصدی مقدار مقاومت ها در گوشه های مختلف پروسه ۲۳
شکل ۳-۱۸منحنی خطای خروجی در گوشه TT به ازای تغییر مقاومت با گام ۱۰ درصد ۲۳
شکل ۳-۱۹ وضعیت بخش تنظیم بهره (الف) قبل از شروع تنظیم بهره(CK=0)..... ۲۴
شکل ۳-۲۰ وضعیت خروجی مدار Replica و ولتاژ $V_{Control}$ قبل و بعد از تنظیم بهره در گوشه های

مختلف پروسه ۲۵
شکل ۳-۲۱ وضعیت خروجی مدار Replica و ولتاژ $V_{Control}$ قبل و بعد از تنظیم بهره به ازای تغییرات مقادیر نامی مقاومت ها ۲۶
شکل ۳-۲۲ نحوه تولید کلاک های مورد نیاز برای قسمت ورودی مدار main..... ۲۷
شکل ۳-۲۳خروجی مدار main به ازای تغییرات مقادیر نامی مقاومت ها..... ۲۷
شکل ۳-۲۴ خروجی مدار main به ازای ورودی ۵۰ میلی ولت در گوشه های مختلف پروسه..... ۲۸
شکل ۳-۲۵ خروجی مدار main به ازای ورودی ۱۰ میلی ولت در گوشه های مختلف پروسه..... ۲۹
شکل ۳-۲۶ خروجی مدار main در گوشه های مختلف پروسه به ازای تغییرات مقادیر مقاومت های مدار ۳۰
شکل۳-۲۷ پاسخ فرکانسی تقویت کننده ۳۰
شکل ۴-۱ کلاک های استفاده شده در قسمت تنظیم بهره..... ۳۱
شکل ۴-۲ وضعیت قسمت تنظیم بهره در هنگام حذف آفست و تنظیم بهره ۳۲
شکل ۴-۳ مدار replica در مرحله حذف آفست..... ۳۲
شکل ۴-۴ حذف آفست مدار replica توسط تقویت کننده A_{aux1} ۳۳
شکل ۴-۵ تقویت کننده A_{aux1}به همراه مدار حذف آفست آن..... ۳۴
شکل ۴-۶ حذف آفست تقویت کننده A_{aux1} ۳۵
شکل ۴-۷ حذف آفست مدار DDA..... ۳۶
شکل ۴-۸ کلاک های استفاده شده در قسمت تنظیم بهره برای حذف آفست و تنظیم بهره..... ۳۶
شکل ۴-۹ خروجی مدار replica در مواقع حذف آفست و تقویت سیگنال ورودی در حالت بدون تنظیم بهره ۳۷
شکل ۴-۱۰ حذف آفست مدار replica به ازای ۱۰ میلی ولت آفست ارجاع داده شده به ورودی در مدارA_{aux1} ۳۹
شکل ۴-۱۱حذف آفست مدار replica به ازای ۱۰- میلی ولت آفست ارجاع داده شده به ورودی در مدارA_{aux1} ۳۹
شکل ۴-۱۲ آفست باقیمانده خروجی مدار DDA به ازای آفست معادل ورودی برابر با ۱۰- میلی ولت ۴۰
شکل ۴-۱۳ آفست باقیمانده خروجی مدار DDA به ازای آفست معادل ورودی برابر با ۱۰ میلی ولت .. ۴۰
شکل ۴-۱۴نتایج شبیه سازی حذف آفست و تنظیم بهره در بخش تنظیم بهره ۴۲
شکل ۴-۱۵وضعیت بخش تنظیم بهره در هنگام تنظیم بهره ۴۲
شکل ۴-۱۶نمایش قرار گرفتن خروجی مدار replica در بازه مورد نیاز برای تضمین دقت حداقل ۹ بیت

..... ۴۳
شکل ۴-۱۷نتایج شبیه سازی حذف آفست و تنظیم بهره در بخش تنظیم بهرهبا درنظر گرفتن آفست همه بلوک ها ۴۴
شکل ۴-۱۸ نمایش قرار گرفتن خروجی مدار replica در بازه مورد نیاز برای تضمین دقت حداقل ۹ بیت با درنظر گرفتن آفست همه بلوک ها ۴۴
شکل ۴-۱۹ تحلیل مونته کارلو برای بخش تنظیم بهره ۴۶
شکل ۴-۲۰ ساختار استفاده شده برای تقویت کننده حذف آفست تقویت کننده اصلی ۴۶
شکل ۴-۲۱ حالت های ممکن برای مدار حذف کننده آفست تقویت کننده اصلی ۴۷
شکل ۴-۲۲ ساختار استفاده شده برای تقویت کننده A_{aux2} ۴۸
شکل ۴-۲۳ فیلتر پایین گذر استفاده شده در شکل ۴-۲۰ ..... ۴۹
شکل ۴-۲۴ نتایج حذف آفست خروجی تقویت کننده اصلی توسط مدار A_{aux2} ۴۹
شکل ۴-۲۵شکل موج کلاک های CK_2، CK_3 و خروجی تقویت کننده اصلی ۵۰
شکل ۴-۲۶سوییچ ها و کلاک های استفاده شده در ورودی تقویت کننده اصلی ۵۱
شکل ۴-۲۷کلاک های استفاده شده در تقویت کننده اصلی..... ۵۱
شکل ۴-۲۸ ساختار کلی مدار replica و main با مدار حذف آفست ۵۳
شکل ۴-۲۹ شکل موج های گره های مختلف تقویت کننده پیشنهاد شده ۵۴
شکل ۴-۳۰شکل موج خروجی به همراه سیگنال ورودی و کلاک های قسمت تقویت کننده اصلی ۵۴
شکل ۴-۳۱ سیگنال ورودی و خروجی تقویت کننده اصلی بعد از حذف آفست و عمل تنظیم بهره با در نظر گرفتن آفست تمامی مدارهای مدار ۵۵
شکل ۵-۱ Layout تقویت کننده main به همراه مدار حذف کننده آفست تقویت کننده main ۵۶
شکل ۵-۲ Layout تقویت کننده replica به همراه مدار حذف کننده آفست تقویت کننده replica ... ۵۷
شکل ۵-۳ Layout مدار DDA ۵۷
شکل ۵-۴ Layout کلی طبقه گین ۵۸

فهرست جداول

جدول۶-۱ مقایسه مدار پیشنهادی با طرح های قبلی.....۵۹

۱ مقدمه

با توجه به اینکه مدارهای دیجیتال حساسیت کمتری به نویز، تغییرات منبع تغذیه و تغییرات پروسه دارند، به همین خاطر طراحی و تست مدارها را بسیار آسانتر می‌کنند. اما مهمترین عامل توسعه مدارها و پردازنده های دیجیتال، بهبود عملکرد آنها با پیشرفت تکنولوژی ساخت مدارهای مجتمع می باشد که امکان مجتمع سازی بیشتر، کاهش توان مصرفی، افزایش سرعت یا کاهش هزینه را به همراه دارد. علاوه بر این عوامل، نوآوری ها در معماری ها و مدارها به همراه بهبود ابزارهای CAD تحلیل و سنتز مدارها، باعث شده بود تا در اوایل دهه ۱۹۸۰ آینده خوبی برای مدارهای آنالوگ تصور نشود. با وجود مزایای ذکر شده برای مدارهای دیجیتال دو عامل محیطِ فیزیکی باعث شده است که نه تنها طراحی آنالوگ کنار گذاشته نشود بلکه نیاز به طراحان مدارهای آنالوگ نیز بیشتر شود: (۱) سیگنالهای طبیعی ماهیت آنالوگ دارند و (۲) انسانها اطلاعات را به صورت آنالوگ درک و حفظ می‌کنند[۱].

پردازش سیگنالهای آنالوگ به خاطر حساسیت آنها به نقص های[1]مدارازقبیل نویز و اعوجاج مشکل است در حالیکه در دنیای دیجیتال به خاطر داشتن دو سطح ولتاژ و عملکرد درست مدارهای دیجیتال حتی در صورت نویزی بودن داده ها مشکلی از این نظر وجود ندارد. به همین خاطر نهایتا سیگنالهای آنالوگ باید در حوزه دیجیتال پردازش شوند. بنابراین برای ارتباط بین پردازنده های دیجیتال و دنیای آنالوگ باید مدارهای بازسازی[2]و مدارهای اخذ داده[3] بکاربرده شوند که مبدل های آنالوگ به دیجیتال برای دریافت و رقمی کردن[4] سیگنال در طبقات ورودی و مبدل های دیجیتال به آنالوگ برای تولید دوباره سیگنال در طبقات خروجی مورد استفاده قرار می‌گیرند. بسیاری از سیستم های میکروالکترونیک امروزی از قبیل گوشی های موبایل، دوربین‌های دیجیتال از مدارهای آنالوگ استفاده می‌کنند که عامل اصلی محدودیت سرعت سیستم می‌باشند. به همین خاطر طراحی مبدل های آنالوگ به دیجیتال با دقت بالا، سرعت بالا و توان مصرفی پایین یکی از مشکلات اساسی در طراحی آنالوگ می‌باشد[۲].

یکی از انواع مبدل‌های آنالوگ به دیجیتال مبدل های خط لوله[5] می‌باشند که برای کاربردهایی با سرعت متوسط، از نظر توان مصرفی بسیار مناسب هستند[۳]. سرعت مبدل‌های آنالوگ به دیجیتال خط لوله متداول،

[1]Imperfections
[2]Reconstruction Circuits
[3]Data Acquisition
[4]Digitize
[5]Pipeline

به خاطر نیاز به تقویت کننده های حلقه بسته با بهره بالا و پهنای باند وسیع در طبقه های بهره[1] محدود می شوند. برای رفع این محدودیت چندین مبدل آنالوگ به دیجیتال با طبقه های بهره با ساختار حلقه باز و کالیبراسیون دیجیتال پیشنهاد شده است. در [۴] راه حل مناسبی برای کاهش توان مصرفی با جایگزین کردن تقویت کننده حلقه بسته در طبقه اول مبدل آنالوگ به دیجیتال از نوع خط لوله با یک تقویت کننده حلقه باز ارائه شده است. همچنین در [۵, ۶] از آرایه ای از مبدل های آنالوگ به دیجیتال که از تقویت‌کننده های حلقه بازِ مدِ جریان در طبقه های خط لوله برای رسیدن به سرعت های نمونه برداری در حدود میلیون نمونه در ثانیه استفاده شده است. همچنین، مبدل‌های آنالوگ به دیجیتال Time-Interleaved برای دستیابی به نرخ تبدیل بالاتر نیز رایج می‌باشد. در [۷] نمونه ای از این مبدل ها که برمبنای ساختار تقریب متوالی[2](SAR) ارائه شده است که به سرعت بالا و توان مصرفی پایین دست یافته اند. مبدل های خط لوله با تکنیک Time-Interleaved [۵, ۶]می‌توانند حتی عملکرد تبدیل بالاتری در مقایسه با مبدل های روش SARداشته باشند [۷].

به طور خلاصه می‌توان گفت که مهمترین عامل محدود کننده دقت و سرعت مبدل‌های آنالوگ به دیجیتال طبقه بهره آنها می‌باشد که بهبود دقت و سرعت به همراه کاهش توان مصرفی آنها تاثیر مستقیمی بر بهبود عملکرد کلی مبدل های آنالوگ به دیجیتال از نظر دقت، سرعت و توان مصرفی خواهد داشت.

هدف ما در این پایان نامه ارائه یک تقویت کننده (طبقه بهره) با سرعت و دقت بالا جهت استفاده در مبدل‌های آنالوگ به دیجیتال خط لوله جهت بهبود عملکرد آنها می‌باشد.

در این پایان نامه هدف طراحی یک تقویت کننده با بهره ۸ با دقت dc حداقل ۱۰ بیت و دقت settling حداقل ۹ بیت در زمان کمتر از ۲ نانوثانیه به ازای سوییننگ ۰.۸ ولت پیک تا پیک در پروسه ۰.۱۸ میکرومتر CMOS می‌باشد.

با توجه به اینکه مقادیر عناصر مدار و مشخصات ترانزیستورها در گوشه های مختلف پروسه و یا به خاطر تغییرات در پروسه ساخت می‌توانند تغییرکنند به همین دلیل بدون داشتن مکانیزمی که بتواند بهره مدار را در حدود یک مقدار خاص نگه دارد عملا دستیابی به بهره دقیق غیر ممکن می‌باشد. به همین خاطر از روشی مشابه روشی که در [۸] استفاده شده است برای تنظیم بهره حول مقدار ۸ استفاده کرده ایم. اما این روش بهره کاملا دقیق را فقط برای یک ورودی خاص که عمل تنظیم بهره نیز براساس آن صورت می‌گیرد، تضمین می‌کند. همچنین با توجه به اینکه با افزایش دامنه سیگنال ورودی، اثر هارمونیک های مرتبه بالا در سیگنال خروجی ظاهر شده و باعث کاهش ولتاژ خروجی می‌شود از مداری جهت کاهش اثر هارمونیک های مرتبه بالا در خروجی استفاده شده است که به بهبود رفتار خطی مدار بسیار کمک می‌کند. همچنین از آنجایی که به بهره کمی نیاز

[1] Gain Stages
[2] Successive Approximation Register

داریم به همین خاطر باید از بار مقاومتی استفاده کنیم. ازآنجایی که مقدار بار مقاومتی به خاطر تغییرات پروسه می‌تواند در محدوده وسیعی تغییرکند به همین خاطر مدار بایاس ساده ولی بسیار موثر در جبران اثر تغییرات مقدار مقاومت ها بر روی بهره پیشنهاد گردیده است به طوری که بدون استفاده از این مدار امکان پیاده سازی چنین مداری با این دقت تقریبا غیر ممکن می‌باشد. از آنجایی که پدیده های سیستماتیک و تصادفی می‌تواند باعث تفاوت ولتاژ آستانه ترانزیستورها شود، سیستم حتما دارای آفست خواهد بود و برای یک مداری که نیاز هست تا بعد از ساخت شدن دارای عملکرد درست و قابل قبول باشد، حتما باید آفست آن حذف شود. به همین خاطر روش های مختلفی برای حذف آفست بلوک های مختلف مدار مورد استفاده قرار گرفته است.

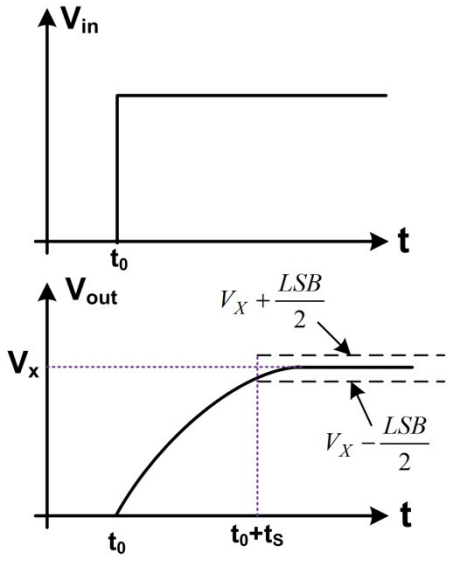
ادامه متن در این پایان نامه بدین صورت خواهد بود: در فصل دوم به بیان مفاهیم اولیه مورد نیاز در پایان نامه خواهیم پرداخت. در فصل سوم به بررسی و ارائه نتایج شبیه سازی مربوط به مدار تقویت کننده طراحی شده بدون در نظر گرفتن آفست خواهیم پرداخت. در فصل چهارم به بررسی و نتایج شبیه سازی بلوک های مختلف با حضور عوامل ناهمسانی در ترانزیستورها که منجر به ایجاد آفست در مدارها می‌شود خواهیم پرداخت. فصل پنجم نیز مربوط به ارائه layout مدار می باشد. فصل ششم نیز به ارائه مشخصات تقویت کننده طراحی شده و مقایسه آن با ساختارهای موجود و همچنین نتیجه گیری اختصاص یافته است.

۲ مفاهیم اولیه

در این فصل برخی از مفاهیم مورد نیاز و مرتبط به پایان‌نامه توضیح داده می‌شود و محدودیت های موجود برای آنها در پروژه انجام شده را مشخص کرده و طراحی را نیز با در نظر گرفتن این محدودیت ها انجام خواهیم داد.

۲-۱ زمان نشست[1]

مدت زمانی می‌باشد که لازم است بعد از اعمال سیگنال ورودی به مدار سپری شود تا خروجی در محدوده خطای قابل قبولش قرار بگیرد. اگر خروجی ایده آل مداری بعد از سپری شدن زمان نشست برابر V_x باشد و نیاز باشد که دقت settling خروجی برابر N بیت باشد در اینصورت محدوده خطای قابل قبول خروجی برابر $\pm\frac{V_X}{2^{N+1}}$ خواهد بود. شکل ۲-۱محدوده خروجی قابل قبول را نشان می‌دهد که t_s مشخص کننده‌زمان نشست مدار می‌باشد



شکل ۲-۱ نمایش زمان نشست و محدوده خطای قابل خروجی

در این پروژه که هدف طراحی یک تقویت‌کننده با بهره ۸ (با دقت بهره ۱۰ بیت) و دستیابی به زمان نشست کمتر از ۲ نانوثانیه (با حداقل دقت ۹ بیت) به ازای سوییینگ ۰.۸ ولت پیک تا پیک می‌باشد، خطای قابل

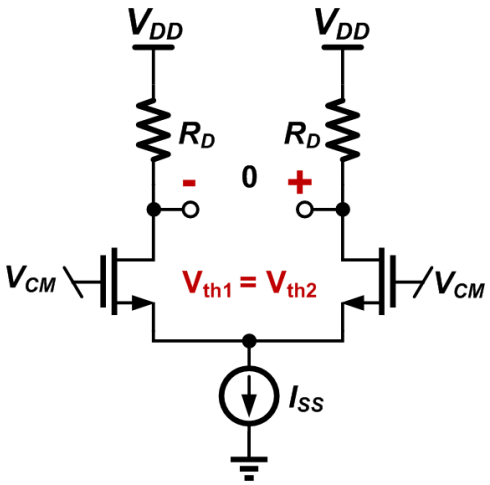
[1] Settling time

قبول به صورت $\pm\frac{LSB}{2}$خواهد بود. به عنوان مثال برای حداکثر مقدار ورودی که خروجی ۴۰۰ میلی ولت تولید خواهد کرد، در صورتی مدار رفتار قابل قبولی خواهد داشت که خروجی برابر $400mV \pm \frac{LSB}{2} = 400mV \pm 0.781mV$ در زمان کمتر از ۲ نانوثانیه بعد از اعمال ورودی به مدار باشد.

۲-۲ آفست

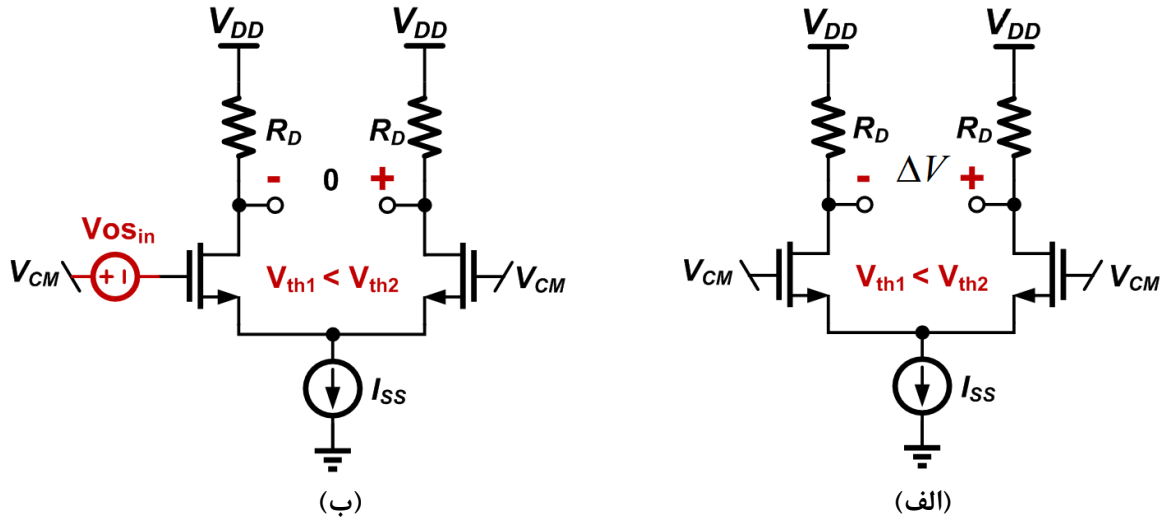
آفست پدیده ای است که باعث می‌شود زمانی که به مدار هیچگونه سیگنال ورودی اعمال نشده است به جای اینکه در یک تقویت کننده تفاضلی، تفاضل خروجی ها برابر صفر باشد، از این مقدار منحرف شوند و در نتیجه ولتاژ خروجی تفاضلی مدار برابر صفر نباشد. این پدیده تحت تاثیرعوامل تصادفی و سیستماتیک ایجاد می‌شود. عوامل تصادفی به خاطر عدم قطعیت و تغییرات در فرایند تولید بوجود می آیند. به عنوان مثال، ولتاژ آستانه هدایت ترانزیستورهای MOSFET به سطح غلظت ناخالصی ها در کانال ترانزیستورها بستگی دارد. به همین دلیل ممکن است دو قطعه ی مشابه دارای ولتاژ آستانه ی متفاوت باشند. عامل دیگری که باعث ایجاد آفست در مدار می‌شود، خطاهای سیستماتیک می‌باشد. خطاهای سیستماتیک از چینش نامناسب ترانزیستورها در هنگام Layout مدار ناشی می‌شود که از روش های مختلفی از جمله استفاده از تکنیک common centroid کردن ترانزیستورهای ورودی تقویت کننده تفاضلی برای خنثی کردن اثر گرادیان‌های مرتبه اول(گرادیان اکسید و دیگر تغییرات پروسه ساخت) در امتداد دومحور طول و عرض می توان استفاده کرد[۲, ۹].

تقویت کننده تفاضلی شکل ۲-۲ را درنظر بگیرید که ولتاژ آستانه هدایت آنها با هم برابر می‌باشد. دراینصورت، ترانزیستورها دارای ولتاژ overdrive (V_{GS}-V_{th})یکسانی بوده و جریان I_{SS} به نسبت مساوی بین آنها تقسیم خواهد شد و در نتیجه به خاطر افت ولتاژ یکسان در دو سر مقاومت ها، خروجی تفاضلی برابر صفر خواهد بود.



شکل ۲-۲ وضعیت خروجی تفاضلی تقویت کننده تفاضلی ایده آل و بدون آفست

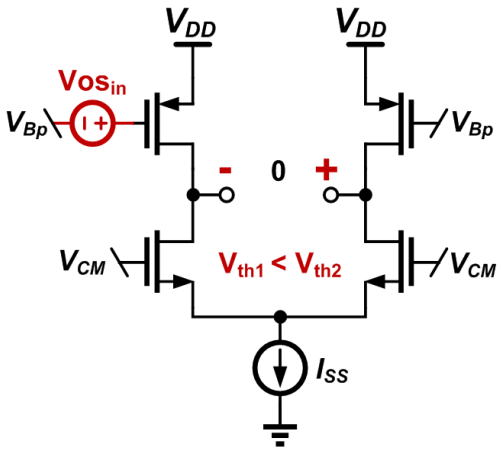
حال شکل ۲-۳الف را درنظر بگیرید که ولتاژ آستانه هدایت آنها با هم متفاوت می‌باشد. دراینصورت، ترانزیستوری که ولـتاژ آستانه کوچکتری داشته باشد، به خاطر داشتن ولتاژ overdrive بیشتر سهم بیشتری از جریان دنباله (I_{SS}) را به خود اختصاص خواهد داد و در نتیجه ولتاژ درین آن در ولتاژ پایین تری نسبت به ترانزیستور دیگری قرار خواهد گرفت. دراینصورت ولتاژ تفاضلی خروجی مخالف صفر خواهد بود. در این وضعیت، به ولتاژی که لازم است به ورودی تقویت کننده تفاضلی اعمال شود تا خروجی تفاضلی مدار به مقدار صفر برگردد ولتاژ آفست ارجاع داده شده به ورودی[1] می گویندکه در شکل ۲-۳ب با Vos_{in} نشان داده شده است.



شکل ۲-۳ تقویت کننده تفاضلی دارای آفست (الف) قبل از حذف آفست (ب) حذف آفست خروجی توسط منبع Vos_{in}

[1]Input Referred Offset Voltage

معمولا درتقویت کننده هایی که از بار فعال به جای مقاومت ها استفاده می‌شود، با تغییر ولتاژ گیت آنها می‌توان اثر آفست در خروجی مدار را حذف کرد (شکل ۲-۴).

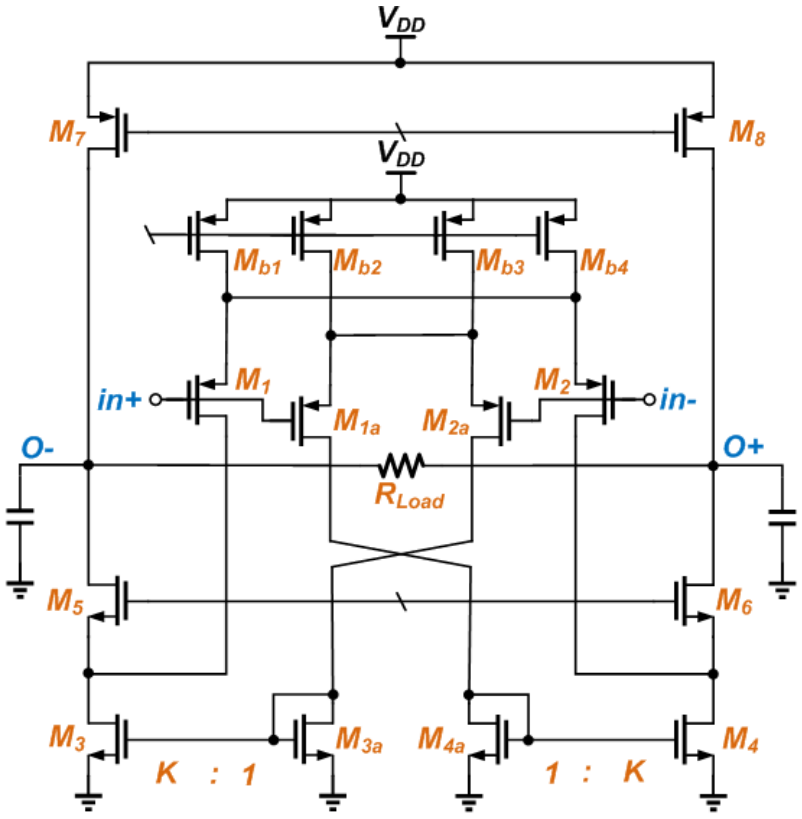


شکل ۲-۴ حذف آفست خروجی توسط تغییر در ولتاژ گیت بارهای فعال

با توجه به اینکه در این پروژه هدف دستیابی به دقت settling حداقل ۹ بیت در زمان کمتر از ۲ نانوثانیه می باشد، بنابراین ولتاژ خروجی مدار در کمتر از ۲ نانوثانیه باید به محدوده ی خطای قابل قبول خروجی که برابر $\pm\frac{LSB}{2}$ می‌باشد برسد. به همین دلیل لازم است که آفست خروجی برای عملکرد درست مدار در بازه $-\frac{LSB}{2}<Vos_{out}<\frac{LSB}{2}$ قرار گیرد. برای حداقل دقت settling ۹بیت، باید Vos_{out} در بازه $-781\mu V<Vos_{out}<781\mu V$ قرار گیرد. پس باید تقویت کننده ای که از آن برای حذف آفست مدار طبقه بهره استفاده می‌کنیم بهره کافی را برای کاهش آفست خروجی و قرار دادن آن در بازه فوق را داشته باشد.

۳ ساختار پیشنهادی برای تقویت کننده

ساختار استفاده شده در این پایان نامه به عنوان تقویت کننده، نوع بهبود یافته Folded Cascode می‌باشد که در آن به ازای توان مصرفی یکسان در مقایسه با Folded Cascode ، می‌توان به فرکانس بهره واحد بالاتر و همچنین نرخ چرخش[1] بیشتر در مقایسه با Folded Cascode دست پیدا کرد[۱۰]. شکل ۳-۱ساختار بهبود یافته Folded Cascode را نشان می‌دهدکه در آن از ترانزیستورهای NMOS ای که در Folded Cascodeنقش ایجادمسیری برای جریان ترانزیستورهای ورودی و شاخه های کسکود را ایفا می‌کردند به عنوان آیینه ی جریانی که عمل تقویت انجام می‌دهد استفاده شده است.با توجه به بهره پایینی که نیاز داریم به همین دلیل در خروجی تفاضلی مدار یک مقاومت قرار می‌دهیم تا بهره به مقدار مورد نظر کاهش پیدا کند. همچنین به جای دوتا ترانزیستور PMOS سری در شاخه کسکود از یک ترانزیستور استفاده شده است که در این صورت با بزرگ گرفتن ولتاژ overdrive ابعاد آن را کوچکتر کرد که در این صورت منجر به کاهش خازن پارازیتی در خروجی و در نتیجه افزایش سرعت خواهد شد.



شکل ۳-۱ ساختار استفاده شده به عنوان تقویت کننده

[1] RateSlew