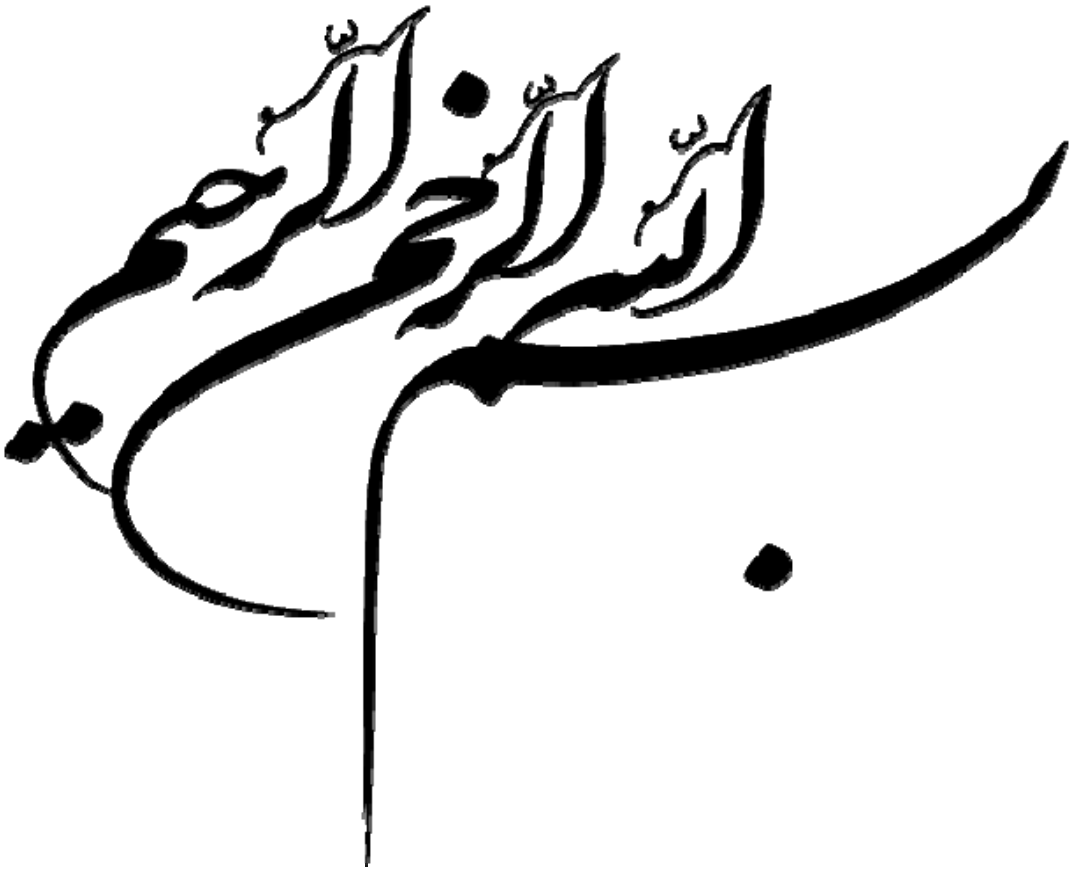
بسم الله الرحمن الرحيم

دانشکده فنی و مهندسی

پایان‌نامه دوره کارشناسی ارشد مهندسی برق–الکترونیک

کنترل و کاهش جریان نشتی در مدارهای دیجیتال CMOS با تکنولوژی های DSM به‌منظور کاهش مصرف توان

منا کارگر

استاد راهنما:

دکتر محمدباقر غزنوی قوشچی

زمستان ۱۳۸۹

تأییدیه هیات داوران

(برای پایان نامه)

اعضای هیئت داوران، نسخه نهائی پایان نامه خانم: منا کارگر

را با عنوان: کنترل و کاهش جریان نشتی در مدارهای دیجیتال CMOS با تکنولوژی های DSM به منظور کاهش مصرف توان

از نظر فرم و محتوی بررسی نموده و پذیرش آن را برای تکمیل درجه کارشناسی ارشد تأیید می‌کند.

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱- استاد راهنما			
۲- استاد مشاور			
۳- استاد مشاور			
۴- استاد ممتحن			
۵- استاد ممتحن			
۶- نماینده گروه			

تقدیم

به پاس تعبیر عظیم و انسانی‌شان از کلمه ایثار و از خودگذشتگی،

به پاس عاطفه سرشار و گرمای امیدبخش وجودشان که در این سردترین روزگاران بهترین پشتیبان است،

به پاس قلب‌های بزرگشان که فریادرس است و سرگردانی و ترس در پناهشان به شجاعت می‌گراید،

و به پاس محبت های بی‌دریغشان که هرگز فروکش نمی‌کند،

این مجموعه را تقدیم می‌کنم به پدر و مادر عزیزم ...

و تقدیم می‌کنم به همسر مهربانم که بی‌شک بدون همراهی، همیاری و پشتیبانی بی‌دریغش این راه را پایانی نبود ...

تشکر و قدردانی

در آغاز سپاس خود را به ایزد منّان که توکل بر او همواره راه‌گشا و هموار کننده‌ی مسیرم بوده و هست، تقدیم می‌دارم.

سپاس‌گزارم از دو وجود مقدس:

آنان که ناتوان شدند تا من به توانایی برسم ...

موهایشان سپید شد تا من روسفید شوم...

و عاشقانه سوختند تا گرمابخش وجود من و روشنگر راهم باشند...

پدرم و مادرم

سپاس‌گزارم از استاد گرانقدر جناب آقای دکتر غزنوی قوشچی که با دلسوزی فراتر از باور، تلاش‌های بی‌وقفه و راهنمایی‌های ارزشمندشان، تا پایان این راه به من قدرت بخشیدند.

و همچنین سپاس‌گزارم از جناب آقای دکتر ثقفی ریاست محترم دانشگاه شاهد که با تصمیم‌گیری شایسته و به‌هنگام خود، مرا به پایان راه نزدیک نموده و امیدی دوباره در من زنده کردند.

چکیده

عملکرد منطقی پر سرعت با مصرف توان پایین عنصر کلیدی انواع میکروپروسسورها، ابرکامپیوترها، ارتباطات دوربرد و پردازش سیگنال‌های دیجیتال است. از آنجاییکه مدارات دینامیک در مقایسه با مدارات CMOS استاتیک مرسوم دارای سرعت سوئیچینگ بالاتری بوده و مساحت کمتری را مصرف می‌نمایند، کاربرد وسیعی در مدارات VLSI پیدا کرده‌اند. جهت دستیابی به سرعت عملکردی بالای مدار با توان مصرفی پایین، از میان ساختارهای مختلف دینامیک ساختار ANL که با داشتن طبقه latch در هر سلول خود آماده خط‌لوله‌ای شدن است، مناسب‌ترین گزینه است. اما ساختارهای مختلف ANL بدلیل مشکل race problem دارای glitch در سیگنال خروجی هستند. در این پایان‌نامه دو ساختار با نام‌های TPANL و TPSANL ارائه شده است که با استفاده از کلاک دو فاز غیر همپوشان قادر به حذف glitch خروجی هستند. بهبود سرعت عملکردی در ساختار TPANL بدلیل کاهش ظرفیت خازنی گره ارزیابی مدار است و این ساختار می‌تواند در هر دو ناحیه وارونگی شدید و زیرآستانه عملکرد صحیح با توان مصرفی کمتر نسبت به دیگر ساختارهای ANL داشته باشد. ساختار پیشنهادی TPSANL نیز در ناحیه زیرآستانه می‌تواند باعث افزایش ماکزیمم فرکانس کاری مدار شود. علی‌رغم ساختار خط‌لوله‌ای غیرمعکوس‌کننده/معکوس‌کننده در منطق ANL، هر دو منطق پیشنهادی TPANL و TPSANL بر اساس ساختار خط‌لوله‌ای غیرمعکوس‌کننده/غیرمعکوس‌کننده استوار هستند و به‌همین دلیل مشکل افت ولتاژ روی ترانزیستورهای NMOS بلوک معکوس‌کننده در ناحیه زیرآستانه را برطرف می‌نمایند. علاوه‌براین، برای پیاده‌سازی جمع‌کننده CLA، یک ساختار درختی جدید پیشنهاد شده است که باعث کاهش طبقات تأخیر مورد نیاز می‌شود. در این پایان‌نامه انواع منابع مصرف توان و روش‌های کاهش آن‌ها در مدارات دیجیتال مورد بررسی قرار گرفته است. همچنین گیت‌های منطقی پایه استاتیک و ساختارهای مختلف مالتی‌پلکسر دیجیتال پرکاربرد، در نواحی عملکردی وارونگی شدید و زیرآستانه طراحی شده و از نظر جریان و توان نشتی و نیز توان مصرفی متوسط مورد مقایسه قرار گرفته‌اند.

کلید واژه: طراحی دیجیتال کم‌مصرف، طراحی زیرآستانه، جریان نشتی، توان نشتی، منطق دینامیک، منطق All-N-Logic (ANL)

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... د
فهرست شکل‌ها ..... ه
فهرست علایم و نشانه‌ها ..... ط

فصل ۱- مقدمه ۱
۱-۱- پیشگفتار ۱
۱-۲- تاریخچه ۲
۱-۳- هدف از انجام تحقیق ۳
۱-۴- نوآوری تحقیق ۴
۱-۵- ساختار گزارش ۴

فصل ۲- مدل های مصرف توان و تأخیر ۵
۲-۱- مقدمه ۵
۲-۲- انواع توان مصرفی ۶
۲-۲-۱- مصرف توان دینامیک ۶
۲-۲-۱-۱- مصرف توان سوئیچینگ ۶
۲-۲-۱-۲- مصرف توان اتصال کوتاه ۷
۲-۲-۱-۳- مصرف توان Glitching ۹
۲-۲-۲- مصرف توان استاتیک ۱۰
۲-۲-۲-۱- جریان نشتی زیر آستانه ۱۱
۲-۲-۲-۲- جریان نشتی گیت ۱۵
۲-۲-۲-۳- جریان نشتی پیوند p-n بایاس معکوس و تونل زنی باند به باند ۲۰
۲-۲-۲-۴- جریان نشتی درین القا شده توسط گیت (GIDL) ۲۱
۲-۲-۲-۵- جریان سوراخ شدگی ۲۱
۲-۳- مدل های توان ۲۲
۲-۳-۱- توان دینامیک ۲۲
۲-۳-۲- توان استاتیک ۲۲
۲-۳-۳- توان کل ۲۳
۲-۴- مدل های تأخیر ۲۴
۲-۵- عملکرد زیر آستانه ۲۵
۲-۶- نتیجه گیری ۳۰

فصل ۳- روش‌های کاهش جریان و توان نشتی ۳۲
۳-۱- مقدمه ۳۲

۳-۲- نقد، و مقایسه آخرین فعّالیتهای مرتبط انجام شده و به روز ۳۲
۳-۲-۱- روش چند ولتاژ آستانه ای (ولتاژ آستانه مضاعف) ۳۲
۳-۲-۱-۱- ساختار CMOS چند آستانه ای ۳۴
۳-۲-۱-۲- ساختار CMOS دو آستانه ای ۳۶
۳-۲-۱-۳- ساختار CMOS با ولتاژ آستانه تغییر پذیر ۳۷
۳-۲-۱-۴- ساختار CMOS با ولتاژ آستانه دینامیک ۳۸
۳-۲-۱-۵- ساختار SOI CMOS با ولتاژ آستانه دینامیک دو گیته ۴۰
۳-۲-۲- روش طراحی CMOS با چند منبع ولتاژ ۴۱
۳-۲-۳- کنترل جریان نشتی آماده به کار با استفاده از پشته های ترانزیستور ۴۲
۳-۲-۴- روش بردار نشتی مینیمم ۴۲
۳-۲-۵- طراحی زیر آستانه ۴۴
۳-۳- بررسی زمینه های کاربردی موضوع ۴۵
۳-۴- نتیجه گیری ۴۵

فصل ۴- ساختارهای پیشنهادی برای مدارات دینامیک ۴۶
۴-۱- مقدمه ۴۶
۴-۲- منطق ANL ۴۷
۴-۳- روند طراحی با استفاده از منطق ANL ۴۹
۴-۴- راه‌کارها و نکات طراحی برای غلبه بر محدودیتهای ساختار ANL ۵۱
۴-۴-۱- افزایش سرعت در بخش ارزیابی ۵۱
۴-۴-۲- کاهش سرعت در بخش گذردهی ۵۳
۴-۴-۳- کنترل زمین با کلاک در طبقه Latch ۵۷
۴-۴-۴- تغییر بارگذاری در خروجی ۵۸
۴-۴-۵- کم کردن تغذیه پیششارژ (سوئینگ ناقص در گره ارزیابی A) ۵۹
۴-۴-۶- استفاده از مسیر فیدبک ۶۱
۴-۴-۷- کاهش ظرفیت خازنی گره ارزیابی ۶۳
۴-۴-۸- جدا سازی زمانی فازهای ارزیابی و گذردهی ۶۴
۴-۵- ساختار پیشنهادی TPANL ۶۷
۴-۶- ساختار پیشنهادی TPSANL ۶۸
۴-۷- سیگنال‌های کلاک در ساختارهای پیشنهادی TPANL و TPSANL ۷۰
۴-۸- کاهش توان مصرفی در ساختارهای TPANL و TPSANL ۷۱
۴-۹- سیستم خط‌لوله‌ای با استفاده از ساختارهای پیشنهادی TPANL و TPSANL ۷۲
۴-۱۰- نتیجه‌گیری ۷۴

فصل ۵- نمونه مدارهای طراحی و شبیه‌سازی شده ۷۵
۵-۱- مقدمه ۷۵
۵-۲- محاسبه و شبیه‌سازی جریان نشتی در مدارات دیجیتال استاتیک ۷۵

۵-۲-۱- محاسبه جریان نشتی کل ۷۵
۵-۲-۲- محاسبه انواع ساز و کارهای نشتی ترانزیستور ۷۷
۵-۲-۳- شبیه سازی جریان نشتی برای مدارات دیجیتال استاتیک ۷۸
۵-۲-۳-۱- جریان نشتی یک معکوس کننده ۷۸
۵-۲-۳-۲- جریان نشتی گیت NAND دو ورودی ۷۸
۵-۲-۳-۳- جریان نشتی گیت NOR دو ورودی ۷۹
۵-۲-۳-۴- جریان نشتی گیت AOI21 ۸۰
۵-۲-۳-۵- جریان نشتی گیت XOR ۸۰
۵-۲-۳-۶- جریان نشتی گیت NAND سه ورودی ۸۱
۵-۲-۳-۷- جریان نشتی گیت NOR سه ورودی ۸۱
۵-۲-۳-۸- مقایسه نتایج در دو حالت وارونگی شدید و زیر آستانه ۸۲
۵-۳- طراحی و مقایسه ساختارهای مختلف مالتی‌پلکسر دیجیتال در ناحیه زیر آستانه ۸۵
۵-۳-۱- ساختارهای مختلف پیاده‌سازی مالتی‌پلکسر ۲ به ۱ ۸۶
۵-۳-۲- شبیه‌سازی ساختارهای مختلف مالتی‌پلکسر ۲ به ۱ ۸۸
۵-۴- جمع‌کننده CLA ۴ بیتی ۹۱
۵-۴-۱- ساختار جمع‌کننده CLA ۹۱
۵-۴-۲- نمودار درختی جمع‌کننده CLA ۹۵
۵-۴-۳- نتایج شبیه‌سازی جمع‌کننده CLA ۴ بیتی ۹۷
۵-۵- نتیجه‌گیری ۱۰۱
فصل ۶- نتیجه‌گیری و پیشنهادات ۱۰۲
۶-۱- نتیجه‌گیری ۱۰۲
۶-۲- پیشنهادات ۱۰۳
فهرست مراجع ۱۰۴
واژه نامه فارسی به انگلیسی ۱۰۷
واژه نامه انگلیسی به فارسی ۱۰۹

فهرست جدول‌ها

عنوان **صفحه**

جدول ۲-أ : مکانیسم های ویژه نشت در ترانزیستور NMOS با توجه به پلاریزه ترانزیستور [۳]..... ۳۰
جدول ۲-ب : جریان نشتی گیت و زیر آستانه برای سه تکنولوژی متفاوت [۳] ۳۱
جدول ۳-أ: مقادیر جریان های نشتی گیت NAND [۱۶] ۴۲
جدول ۴-أ: خروجیهای مورد انتظار برای تابع اکثریت..... ۵۱
جدول ۵-أ: جریان نشتی یک معکوس کننده در ناحیه‌های واونگی شدید و زیر آستانه..... ۷۸
جدول ۵-ب: جریان نشتی یک گیت NAND2 در ناحیه‌های واونگی شدید و زیر آستانه..... ۷۹
جدول ۵-ت: جریان نشتی یک گیت NOR2 در ناحیه‌های واونگی شدید و زیر آستانه..... ۷۹
جدول ۵-ث: جریان نشتی یک گیت AOI21 در ناحیه‌های واونگی شدید و زیر آستانه..... ۸۰
جدول ۵-ج: جریان نشتی یک گیت XOR در ناحیه‌های واونگی شدید و زیر آستانه ۸۱
جدول ۵-ح: جریان نشتی یک گیت NAND3 در ناحیه‌های واونگی شدید و زیر آستانه..... ۸۱
جدول ۵-خ: جریان نشتی یک گیت NOR3 در ناحیه‌های واونگی شدید و زیر آستانه..... ۸۲
جدول ۵-د: نتایج شبیه‌سازی توان مصرفی متوسط و نشتی، تأخیر و حاصلضرب توان- تأخیر برای مدارات نمونه..... ۸۲
جدول ۵-ذ: نتایج شبیه‌سازی در ناحیه وارونگی شدید ۱۰۰
جدول ۵-ر: نتایج شبیه‌سازی در ناحیه زیرآستانه..... ۱۰۰

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: مؤلفه های خازن بار [۹] ۷
شکل ۲-۲: جریان اتصال کوتاه در یک معکوس کننده CMOS [۱۰] ۸
شکل ۲-۳: معکوس کننده CMOS [۳] ۹
شکل ۲-۴: منابع مصرف توان استاتیک در یک ترانزیستور NMOS [۳] ۱۱
شکل ۲-۵: اثر DIBL در ترانزیستورهای کانال کوتاه [۳] ۱۳
شکل ۲-۶: $I_{SUB}\,(V_{GS}=0)$ بر حسب دما [۱۴] ۱۵
شکل ۲-۷: مصرف توان یک تراشه بصورت تابعی از دما [۱۴] ۱۵
شکل ۲-۸: مؤلفه های جریان تونل زنی [۱۰] ۱۷
شکل ۲-۹: دیاگرام های باند وابسته به بایاس گیت و تونل زنی الکترون در کانال (I_{gc}) و لبه گیت (I_{gs0} و I_{gd0}). الف) حالت وارونگی ($V_g>0V$). ب)حالت تخلیه ($V_{fb}<V_g<0V$) [۱۵] ۱۸
شکل ۲-۱۰: یونیزه شدن اتم ها بدلیل ضربه وارد شده به آنها [۱۶] ۱۹
شکل ۲-۱۱: به تله افتادن بارها در لایه اکسید [۱۶] ۲۰
شکل ۲-۱۲: جریان درین MOSFET، بر حسب V_{GS} در 0.18µm با $V_{DD}=1.8V$ [۳۱] ۲۷
شکل ۲-۱۳: نمودار I_D برحسب V_{DS} برای سه مقدار مختلف V_{GS} در 0.18µm با $V_{DD}=1.8V$ [۳۱] ۲۷
شکل ۲-۱۴: نمودار I_D برحسب V_{DS} برای سه مقدار مختلف V_{GS} در 0.18µm با $V_{DD}=500mV$ [۳۱] ۲۸
شکل ۲-۱۵: تحلیل خط بار در خروجی معکوس کننده زیر آستانه با Vin=[0.01, 0.05, 0.1, 0.125, 0.15, 0.2, 0.3]V [۳۱] ۲۹
شکل ۲-۱۶: VTC معکوس کننده با خط بار شکل ۲-۱۵ با $V_{dd}=300mV$ [۳۱] ۲۹
شکل ۳-۱: نسخه اصلی MTCMOS [۱۵] ۳۵
شکل ۳-۲: MTCMOS با اضافه نمودن PMOS [۱۵] ۳۵
شکل ۳-۳: MTCMOS با اضافه نمودن NMOS [۱۵] ۳۶
شکل ۳-۴: شماتیک مدارهای SCCMOS [۱۵] ۳۶
شکل ۳-۵: مدار CMOS دو آستانه ای [۱۵] ۳۷
شکل ۳-۶: شماتیک یک VTCMOS [۱۵] ۳۸
شکل ۳-۷: شماتیک یک معکوس کننده DTMOS [۱۵] ۳۹
شکل ۳-۸: ساختار های مختلف بایاس بدنه [۲۵] ۳۹
شکل ۳-۹: ساختار یک SOI DTMOS [۱۵] ۴۰
شکل ۳-۱۰: ساختار یک DGDT SOI MOSFET [۱۵] ۴۱
شکل ۳-۱۱: شماتیک روش طبقه بندی به دو ولتاژ V_{DD} [۱۵] ۴۱

شکل ۳-۱۲: شماتیک گیت NAND دو ورودی ۴۳
شکل ۴-۱: دیاگرام مداری ساختار ANL [۴۱] ۴۷
شکل ۴-۲: مشکل Race problem در ساختار ANL ۴۹
شکل ۴-۳: ساختار ترانزیستوری ANL با منطق تابع اکثریت ۵۰
شکل ۴-۴: خروجی تابع اکثریت، با ساختار ANL استاندارد در ناحیه وارونگی شدید (افزایش سرعت ارزیابی) با فرکانس کلاک 5GHz ۵۲
شکل ۴-۵: خروجی تابع اکثریت، با ساختار ANL استاندارد در ناحیه وارونگی ضعیف (افزایش سرعت ارزیابی) با فرکانس کلاک 10MHz ۵۳
شکل ۴-۶: خروجی تابع اکثریت، با ساختار ANL استاندارد در ناحیه وارونگی شدید (کاهش سرعت گذردهی) با فرکانس کلاک 4GHz ۵۴
شکل ۴-۷: خروجی تابع اکثریت، با ساختار ANL استاندارد در ناحیه وارونگی شدید (کاهش سرعت گذردهی) با فرکانس کلاک 4GHz ۵۵
شکل ۴-۸: خروجی تابع اکثریت، با ساختار ANL استاندارد در ناحیه وارونگی ضعیف (کاهش سرعت گذردهی) با فرکانس کلاک 10MHz ۵۶
شکل ۴-۹: خروجی تابع اکثریت، با ساختار ANL استاندارد در ناحیه وارونگی ضعیف (کاهش سرعت گذردهی) با فرکانس کلاک 10MHz ۵۶
شکل ۴-۱۰: ساختار ANL با کنترل زمین طبقه latch توسط کلاک [۴۰] ۵۷
شکل ۴-۱۱: خروجی تابع اکثریت، ساختار ANL استاندارد و ANL با وجود کنترل زمین latch با کلاک با فرکانس کلاک 17MHz ۵۸
شکل ۴-۱۲: خروجی تابع اکثریت، ساختار ANL استاندارد در ناحیه وارونگی ضعیف (تغییر بار گذاری) با فرکانس کلاک 10MHz ۵۹
شکل ۴-۱۳: ساختار ANL با کم کردن تغذیه پیش‌شارژ (سوئینگ ناقص در گره ارزیابی A) ۶۰
شکل ۴-۱۴: خروجی تابع اکثریت، ساختار ANL در ناحیه وارونگی ضعیف (سوئینگ ناقص در گره ارزیابی A) با فرکانس کلاک 5MHz ۶۰
شکل ۴-۱۵: دیاگرام مداری ساختار ANT [۴۷] ۶۲
شکل ۴-۱۶: خروجی تابع اکثریت، ساختار ANL و ANT استاندارد در ناحیه وارونگی ضعیف با فرکانس کلاک 14MHz ۶۲
شکل ۴-۱۷: دیاگرام مداری ساختار DPANL [۳۹] ۶۳
شکل ۴-۱۸: خروجی تابع اکثریت، ساختار DPANL در ناحیه وارونگی ضعیف با فرکانس کلاک 18MHz ۶۴
شکل ۴-۱۹: دیاگرام مداری ساختار پیشنهادی TPANL ۶۵
شکل ۴-۲۰: دیاگرام مداری ساختار پیشنهادی TPSANL ۶۶
شکل ۴-۲۱: سیگنال‌های CLK ساختارهای پیشنهادی TPANL و TPSANL ۶۶

شکل ۴-۲۲: خروجی تابع اکثریت، ساختار TPANL در ناحیه وارونگی ضعیف با فرکانس کلاک 18MHz ۶۸
شکل ۴-۲۳: خروجی تابع اکثریت، ساختار TPSANL در ناحیه وارونگی ضعیف با فرکانس کلاک 18MHz ۶۹
شکل ۴-۲۴: افزایش سرعت ارزیابی با قرار دادن ترانزیستور P3 در ساختار پیشنهادی TPSANL ۷۰
شکل ۴-۲۵: سیستم خطلوله‌ای مرسوم با استفاده از ساختار ANL ۷۲
شکل ۴-۲۶: سیستم خطلوله‌ای پیشنهادی با استفاده از ساختار TPANL یا TPSANL ۷۳
شکل ۴-۲۷: ساختار ترانزیستوری سیستم خطلوله‌ای به روش مرسوم ANL ۷۳
شکل ۴-۲۸: ساختار ترانزیستوری سیستم خطلوله‌ای به روش پیشنهادی TPANL ۷۴
شکل ۴-۲۹: ساختار ترانزیستوری سیستم خطلوله‌ای به روش پیشنهادی TPSANL ۷۴
شکل ۵-۱: محاسبه جریان نشتی ترانزیستورهای MOSFET [۵۰] ۷۵
شکل ۵-۲: ساختار گیت منطقی AOI21 ۸۰
شکل ۵-۳: نمودار توان نشتی در ناحیه وارونگی ضعیف در فرکانس 5MHz برای مدارات دیجیتال نمونه ۸۳
شکل ۵-۴: نمودار توان مصرفی در ناحیه وارونگی ضعیف در فرکانس 5MHz برای مدارات دیجیتال نمونه ۸۳
شکل ۵-۵: نمودار توان نشتی در ناحیه وارونگی شدید در فرکانس 5MHz برای مدارات دیجیتال نمونه ۸۳
شکل ۵-۶: نمودار توان مصرفی در ناحیه وارونگی شدید در فرکانس 5MHz برای مدارات دیجیتال نمونه ۸۴
شکل ۵-۷: درصد کاهش توان نشتی در ناحیه وارونگی ضعیف نسبت به ناحیه وارونگی شدید برای مدارات دیجیتال نمونه ۸۴
شکل ۵-۸: درصد کاهش توان مصرفی متوسط در ناحیه وارونگی ضعیف نسبت به ناحیه وارونگی شدید برای مدارات دیجیتال نمونه ۸۴
شکل ۵-۹: ساختارهای مختلف پیاده‌سازی مالتی‌پلکسر ۲ به ۱: الف) complementary CMOS، ب) Pseudo NMOS، ج) CVSL، د) TG-CMOS، ه) CPL، و) 2T MUX ۸۷
شکل ۵-۱۰: نمودار توان مصرفی بر حسب فرکانس برای ساختارهای مختلف مالتی‌پلکسر ۲ به ۱ (وارونگی شدید) [۵۱] ۸۸
شکل ۵-۱۱: نمودار تأخیر بر حسب خازن بار برای ساختارهای مختلف مالتی‌پلکسر ۲ به ۱ (وارونگی شدید) [۵۱] ۸۸
شکل ۵-۱۲: نمودار توان مصرفی بر حسب فرکانس برای ساختارهای مختلف مالتی‌پلکسر ۲ به ۱ ۸۹
شکل ۵-۱۳: نمودار تأخیر بر حسب خازن بار برای ساختارهای مختلف مالتی‌پلکسر ۲ به ۱ ۸۹
شکل ۵-۱۴: نمودار حاصلضرب توان- تأخیر بر حسب خازن بار برای ساختارهای مختلف مالتی‌پلکسر ۲ به ۱ ۹۰

شکل ۵-۱۵: ساختار منطقی بر حسب تعداد ترانزیستور استفاده شده برای توپولوژی‌های مختلف مالتی‌پلکسر ۲ به ۱ ..... ۹۰
شکل ۵-۱۶: دیاگرام مداری سیگنال‌های g_0 و g_i با استفاده از ساختار TPANL ۹۲
شکل ۵-۱۷: دیاگرام مداری سیگنال p_i با استفاده از ساختار TPANL ۹۳
شکل ۵-۱۸: دیاگرام مداری سیگنال‌های S_0 و S_i با استفاده از ساختار TPANL ۹۴
شکل ۵-۱۹: دیاگرام مداری *"o" cell* با استفاده از ساختار TPANL ۹۴
شکل ۵-۲۰: بلوک دیاگرام جمع‌کننده CLA ۴ بیتی ۹۵
شکل ۵-۲۱: ساختار مرسوم تولید رقم نقلی و حاصل‌جمع در جمع‌کننده CLA ۴ بیتی ۹۶
شکل ۵-۲۲: ساختار پیشنهادی برای تولید رقم نقلی و حاصل‌جمع در جمع‌کننده CLA ۴ بیتی ۹۷
شکل ۵-۲۳: سیگنال خروجی ساختار ANL و TPANL در ناحیه وارونگی شدید ۹۹
شکل ۵-۲۴: سیگنال خروجی ساختار ANL و TPANL در ناحیه زیرآستانه ۹۹
شکل ۵-۲۵: سیگنال خروجی ساختار ANL و TPSANL در ناحیه زیرآستانه ۱۰۰

فهرست علایم و نشانه‌ها

عنوان	علامت اختصاری
ولتاژ تغذیه	V_{dd}
ولتاژ آستانه	V_{th}
ولتاژ حرارتی	V_T
خازن بار	C_L
فاکتور فعالیت	α
فرکانس کاری	f
زمان گذار ورودی	τ_{in}
رسانایی متقابل مؤثر گیت منطقی	k
ولتاژ درین- سورس	V_{ds}
ولتاژ گیت- سورس	V_{gs}
ولتاژ درین	V_d
ولتاژ سورس	V_s
ولتاژ گیت	V_g
جریان استاتیک مرجع	I_o
شیب زیر آستانه	n
ضریب اثر DIBL	η
ضریب خطی شده اثر بدنه	γ
میدان الکتریکی در عرض اکسید	E_{ox}
ارتفاع سد پتانسیل برای الکترون‌ها در نوار هدایت	φ_{ox}
جرم مؤثر الکترون در نوار هدایت سیلیکون	m
ثابت پلانک	h
بار الکترون	q
جریان نشتی از میان نواحی همپوشی گیت به درین	I_{gdo}
جریان نشتی از میان نواحی همپوشی گیت به سورس	I_{gso}
جریان نشتی گیت به کانال	I_{gc}
جریان نشتی گیت به بستر	I_{gb}
عرض ترانزیستور	W
طول ترانزیستور	L
ضخامت لایه اکسید گیت	t_{ox}
جریان ترانزیستور روشن	I_{on}

عمق منطقی	LD
پریود زمانی سیگنال کلاک	T_C
زمان پیش‌شارژ	T_{pre}
زمان ارزیابی	T_{eval}
زمان گذردهی	T_{pas}
زمان نگهداری	T_{hold}
ماکزیمم انحراف قابل قبول	$T_{skew\text{-}max}$

فصل ۱– مقدمه

۱–۱– پیشگفتار

با رشد سریع ادوات الکترونیکی و خصوصاً ادوات قابل حمل، طراحی کم‌مصرف یک امر تعیین‌کننده در طراحی مدارهای الکترونیکی بشمار می‌رود [۱]. بمنظور افزایش مدت زمان استفاده از باطری، این قبیل وسایل باید به گونه ای طراحی شوند که کمترین توان ممکن را مصرف نمایند. علاوه برآن، کم‌مصرف بودن برای ادوات غیرقابل حمل نیز اهمیت بسیاری دارد. اتلاف توان بالای سیستم‌ها، هزینه خنک سازی آنها را افزایش داده و قابلیت اطمینان را کاهش می‌دهد [۲]. در حقیقت کاهش مصرف توان می‌تواند بطور قابل توجهی قیمت ابزارها را کاهش داده و قابلیت اطمینان مدارات را افزایش دهد. به همین دلیل، امروزه طراحی های کم مصرف برای تمامی انواع مدارات دیجیتال حائز اهمیت است.

بطور کلی مصرف توان در مدارهای MOS به سه دسته عمده تقسیم می شود؛ بخش اول مصرف توان دینامیک می‌باشد که ناشی از شارژ و دشارژ خازن بار است. بخش دوم ناشی از رفتار مدار در حالت گذار پالس‌های ورودی می‌باشد؛ مقاومت غیر ایده‌آل ترانزیستورهای NMOS و PMOS که بطور همزمان روشن می‌شوند و در نتیجه اتصال کوتاه شدن منبع تغذیه به زمین در بازه‌ای از زمان منجر به بروز این بخش از اتلاف توان می‌شود. بخش سوم توان مصرفی استاتیک بوده و ناشی از جریان‌های نشتی در اتصالات p-n موجود در ترانزیستورهای MOS است [۳] [۴]. جریان نشتی از مؤلفه‌های مختلفی تشکیل شده است. این مؤلفه‌ها شامل، هدایت زیر آستانه، هدایت پیوند p-n بایاس معکوس[1]، جریان نشتی درین القا شده از گیت[2]، سوراخ شدگی[3] درین به سورس و تونل زنی گیت می‌باشند. مؤلفه اصلی جریان نشتی، هدایت زیر آستانه است [۳]. میزان جریان نشتی زیر آستانه متأثر از عواملی چون دما، طول مؤثر کانال و ولتاژ آستانه می‌باشد. با کاهش طول کانال، جریان نشتی زیر آستانه بدلیل نسبت عکس با طول مؤثر کانال، افزایش خواهد یافت. بنابراین کاهش طول مؤثر کانال در نتیجه‌ی مقیاس‌بندی بطور قابل ملاحظه‌ای جریان نشتی زیر آستانه را افزایش خواهد داد. از سوی دیگر با کاهش ولتاژ آستانه بدلیل کوچک شدن ولتاژ تغذیه، جریان نشتی زیر آستانه بصورت نمایی افزایش خواهد یافت [۴]. مصرف توان استاتیک بدلیل کم بودن جریان نشتی در مدارهای با فشردگی پایین عموماً قابل صرف نظر کردن است، اما همانطور که مشاهده گردید، با افزایش فشردگی و تراکم مدارهای مجتمع و با کاهش ابعاد و طول کانال ترانزیستورهای MOS ، کاهش ولتاژ تغذیه و در نتیجه ولتاژ آستانه برای حفظ کارایی مدار این فاکتور افزایش چشمگیری می‌یابد. در تکنولوژی‌های زیر نیم میکرون این جریان عامل بسیار مهمی در مصرف توان کل است [۵].

[1] Reverse-bias p-n junction
[2] Gate-Induced Drain Leakage (GIDL)
[3] Punch through

۱-۲- تاریخچه

عملکرد زیرآستانه دیجیتال اولین بار بصورت تئوری با مضمون مطالعه محدودیت‌های مقیاس‌بندی ولتاژ در ۱۹۷۰ مورد بررسی قرار گرفت. تحلیل عملکرد یک معکوس کننده[۱] در ناحیه وارونگی ضعیف[۲] نشان داد که نقاط کاری دوپایا[۳] زیر تقریباً $4V_{th}$ غیرممکن است. پس از آن پیاده‌سازی یک نوسان‌ساز حلقه‌ای[۴] در 100mV به انجام رسید.

درحالیکه عملکرد زیرآستانه (وارونگی ضعیف) برای مدارات آنالوگ خیلی متداول شده بود، مدارات زیرآستانه دیجیتال دستیابی کندتری داشتند. روش‌هایی به عنوان طراحی "micropower" ارائه شد که برای مواردی بکار می‌رفت که اجبار در کاهش مصرف انرژی وجود داشت مانند ساعت‌های دیجیتال؛ در این روش‌ها از ولتاژهای بسیار پایین برای تکنولوژی روز استفاده می‌شد. به هرحال، این پیاده سازی‌ها در مرحله کاهش V_{dd} تا کمتر از V_{th} متوقف شد.

علاقه تئوری برای طراحی مدارات دیجیتال در زیرآستانه باقی ماند. نشان داده شده است که کمترین میزان مصرف انرژی در ناحیه زیر آستانه اتفاق می‌افتد، و نمودارها نیز نقطه مینیمم انرژی را در ناحیه زیر آستانه نشان می‌دهند. بنابراین، ظاهراً برای حفظ سطح کارایی و عملکرد، کارکردن در لبه زیر آستانه با تنظیم $V_{th}=V_{dd}$ پیشنهاد می شود. این نوع تحلیل طراحی و تکنولوژی‌های CMOS "فوق کم مصرف"[۵] را پدید آورد. ولتاژ V_{dd} مهمترین ابزار برای کنترل مصرف توان CMOS شناخته می‌شود، ولی همراهی آن با کاهش سرعت مانع کوچک شدن شدید و وسیع V_{dd} می‌باشد. تطابق[۶] این دو روش حفظ سرعت در ولتاژ تغذیه پایین‌تر می‌باشد. بر اساس این استدلال، مدارات فوق کم مصرف برای کار در ولتاژهای بسیار پایین طراحی می‌شوند. از طرف دیگر، با وجود کاهش V_{dd} تا کمتر از V_{th}، طراحان مدارات فوق کم مصرف، V_{th} را کاهش می‌دهند تا مقداری کمتر از V_{dd} داشته باشد. برای مثال ULP CMOS استنفورد از ادوات با V_{th} نزدیک به صفر استفاده می‌کند و با بایاس بدنه V_{th} را افزایش داده و به حدود $V_{dd}/3$ می رساند. مدارات حاصل می‌توانند از پایین تا 100mV کار نمایند، اما V_{th} هنوز پایین‌تر است.

منطق دیجیتال زیرآستانه به عنوان یک هدف تئوری برای کاهش انرژی و توان ادامه یافت. یک نگاه تازه به محاسبه حدود پایین نشان می‌دهد که با پیشرفت متوسط تکنولوژی عملکرد در وارونگی ضعیف بصورت تئوری در محدوده 36-80mV اتفاق می‌افتد. از سویی، پیاده‌سازی مدارات فوق کم‌مصرف با $V_{th} < V_{dd}$ انجام می‌شود.

بعد از ۱۹۹۰، افزایش مصرف توان در مدارات دیجیتال، منطق دیجیتال زیرآستانه را بیش از پیش جالب توجه نمود. مطالعه منطق‌های مختلف خصوصاً برای عملکرد زیرآستانه، نشان داد که منطق pseudo-NMOS برای برخی مدارات نسبت به CMOS استاتیک راه حل کم مصرف‌تری می‌باشد. ذخیره

[1] Inverter
[2] Weak inversion
[3] Bi-stable
[4] Ring oscillator
[5] Ultra-low-power
[6] Parallelism

انرژی در نتیجه کاهش تأخیر است، چراکه مصرف توان pseudo-NMOS به دلیل جریان استاتیک بالاتر می‌باشد. همچنین مزیت اولیه مدارات domino نسبت به CMOS استاتیک نیز کاهش تأخیر می‌باشد، که مصرف انرژی را برای بلوک‌های مداری خیلی فعال کاهش می‌دهد.

نتایج شبیه سازی‌های طراحی فیلتر تطبیقی با استفاده از منطق pseudo-NMOS نشان می‌دهد که این فیلتر در ناحیه زیرآستانه با استفاده از تطابق برای دستیابی به کارایی مطلوب 22kHz در 400mV عمل می‌نماید.

یک تراشه تست بصورت یک آرایه ضرب کننده با حفظ رقم نقلی 8x8 با تکنولوژی 0.35µm CMOS برای بررسی عملکرد زیرآستانه مورد آزمایش قرار گرفت. در ضرب کننده از بایاس بدنه استفاده شد تا تقارن بین جریان NMOS ها و PMOS ها بوجود آید و تأخیر ناشی از تغییر دما کاهش داده شود.

در برخی تراشه‌های دیگر عملکرد معکوس کننده و نوسان‌ساز حلقه‌ای در زیرآستانه مورد بررسی قرار گرفت. ساخت معکوس‌کننده که عملکرد زیرآستانه را در 100mV نشان می‌داد با بایاس بستر[1] و n-well باهم برای تطبیق جریان NMOS و PMOS ممکن شد. نوسان‌ساز حلقه‌ای (VCO) با کنترل هر دوی V_{dd} و بایاس بدنه در زیرآستانه تا 80mV محقق شد [۶].

نگاه دوباره به عملکرد با کمترین میزان انرژی در ۲۰۰۲ نشان می‌دهد که مینیمم نقطه انرژی اغلب در V_{dd} کمتر از V_{th} اتفاق می‌افتد و به پارامترهایی مانند فاکتور فعالیت بستگی دارد. از این رو، بنظر می‌رسد که عملکرد زیرآستانه برای سیستم‌هایی که اجبار برای کاهش انرژی دارند توصیه می‌شود.

۱-۳- هدف از انجام تحقیق

مسأله مورد نظر در این تحقیق، کنترل و کاهش جریان نشتی به منظور کاهش مصرف توان استاتیک در مدارهای CMOS دیجیتال زیر میکرون می باشد.

هدف از این تحقیق مطالعه، بررسی، و شبیه سازی روش‌های موجود برای کاهش جریان نشتی در مدارهای دیجیتال و ارائه یک روش مناسب برای کاهش جریان نشتی و در نتیجه کاهش مصرف توان استاتیک در این قبیل مدارها می‌باشد.

در تحقیق حاضر تلاش بر این است که با ارائه یک روش مناسب و مؤثر برخی از معایب روش‌های ذکر شده رفع و جریان نشتی و در نتیجه مصرف توان استاتیک ناشی از جریان‌های نشتی در مدار مورد نظر تا حد امکان کاهش داده شود. برای این منظور راه‌کارهای زیر دنبال شد:

- دستیابی به روش یا روش‌های طراحی کم مصرف مبتنی بر توجه به جریان نشتی در مدارهای دیجیتال

[1] Substrate

- بررسی امکان استفاده تلفیقی از روش‌های شناخته شده امروزی برای کنترل مؤثرتر جریان نشتی
- طراحی مدارها و سلول‌های نمونه با جریان‌های نشتی کنترل شده

۱-۴- نوآوری تحقیق

در این تحقیق دو ساختار جدید برای مدارات دینامیک از نوع ANL مبتنی بر کلاک دو فاز غیرهمپوشان با نام‌های TPANL و TPSANL ارائه شده است که باعث افزایش سرعت عملکردی مدار با توان مصرفی کمتر می‌شوند و قابلیت عملکرد در دو ناحیه عملکردی وارونگی شدید و زیرآستانه را دارند. در عین حال یک ساختار درختی برای سیستم خط‌لوله‌ای جمع‌کننده CLA پیشنهاد شده است که با کاهش سلول‌های تأخیر مورد نیاز، تعداد ترانزیستور استفاده شده، سطح و توان مصرفی مدار جمع‌کننده را کاهش می‌دهد.

۱-۵- ساختار گزارش

در فصل ۲، مدل‌های مصرف توان و تأخیر و اصول عملکرد مدار در ناحیه زیرآستانه مورد بررسی قرار داده شده است. فصل ۳ روش‌های کاهش جریان و توان نشتی ارائه نموده است. در فصل ۴، ساختارهای پیشنهادی برای مدارات دینامیک معرفی شده‌اند. فصل ۵ دربردارنده نمونه مدارات طراحی و شبیه‌سازی شده در نواحی عملکردی وارونگی شدید و زیرآستانه و ساختار درختی پیشنهادی برای سیستم خط‌لوله‌ای جمع‌کننده CLA است. در فصل ۶ نتیجه‌گیری و پیشنهادات برای کارهای آینده ارائه شده است.