بسم الله الرحمن الرحیم

دانشگاه شاهد

دانشکده فنی و مهندسی

پایان‌نامه دوره کارشناسی ارشد

مهندسی برق گرایش الکترونیک

عنوان پایان نامه:

کاربرد روش تکاملی در طراحی تقویت کننده همزمان کم نویز و کم توان

استاد راهنما: دکتر سعید سیدطبایی

نگارش: امیر فتحیان‌پور

بهار ۱۳۹۱

	اظهار نامه دانشجو	شماره: تاریخ:

اینجانب امیرفتحیانپور دانشجوی کارشناسی ارشد رشته مهندسی برق گرایش الکترونیک دانشکده فنی مهندسی دانشگاه شاهد، گواهی می دهم که پایان نامه تدوین شده حاضر با عنوان؛ " کاربرد روش تکاملی در طراحی تقویت کننده همزمان کم نویز و کم توان" به راهنمایی استاد محترم جناب آقای دکترسعید سیدطبایی، توسط شخص اینجانب انجام و صحت و اصالت مطالب تدوین شده در آن، مورد تأیید است و چنان چه هر زمان، دانشگاه کسب اطلاع کند که گزارش پایان نامه حاضر صحت و اصالت لازم را نداشته، دانشگاه حق دارد، مدرک تحصیلی اینجانب را مسترد و ابطال نماید هم چنین اعلام می دارد در صورت بهره گیری از منابع مختلف شامل؛ گزارش های تحقیقاتی، رساله، پایان نامه، کتاب، مقالات تخصصی و غیره، به منبع مورد استفاده و پدید آورنده آن به طور دقیق ارجاع داده شده و نیز مطالب مندرج در پایان نامه حاضر تاکنون برای دریافت هیچ نوع مدرک یا امتیازی توسط اینجانب و یا سایر افراد به هیچ کجا ارایه نشده است. در تدوین متن پایان نامه حاضر، چارچوب (فرمت) مصوب تدوین گزارش های پژوهشی تحصیلات تکمیلی دانشگاه شاهد به طور کامل مراعات شده و نهایتاً این که، کلیه حقوق مادی ناشی از گزارش پایان نامه حاضر، متعلق به دانشگاه شاهد می باشد.

نام و نام خانوادگی دانشجو(دست نویس):.....

امضاء دانشجو:

تاریخ:

تقدیم به خداوند آفریننده عشق

خداوندی که عاشقانه بندگانش را دوست دارد

تقدیم به پدر و مادر عزیزم

که با تلاشهای صادقانه خود در تمامی مراحل زندگی مرا یاری می کنند

با تقدیر و تشکر

از اساتید ارجمند جناب دکتر سعید سید طبایی و دکتر محسن جلالی

که با زحمات خود مرا در انجام این پروژه یاری کردند

چکیده

در این پایان‌نامه چگونگی سنتز خودکار مدارات مجتمع آنالوگ با کمک الگوریتم‌های تکاملی مورد بحث قرارمی گیرد. مدار مورد نظر یک تقویت کننده کم نویز همزمان دو باند است که برای کار در دو فرکانس ۲/۴ و ۳/۵ گیگاهرتز برای استفاده در گیرنده های وایفای و وایمکس در نظر گرفته شده است. یافتن طرح بهینه را الگوریتم ژنتیک بر عهده دارد و ارزیابی عملکرد مدار منتج با نرم افزار HSPICE انجام می گردد. جستجوی تکاملی تا آنجا ادامه می یابد که مداری با قابلیتهای مورد نظر بدست آید. تکنولوژی ۰/۱۸۰ میکرومتر سی ماس شرکت TSMC در شبیه سازی مورد استفاده قرار گرفته است. ابتدا مدار به دو بخش ورودی و خروجی تجزیه و طرح هر قسمت بصورت مجزا الگوریتم ژنتیک ساده بهینه می شود. سپس در ادامه روش اولیه را اصلاح کرده و با استفاده از الگوریتم ژنتیک گروهی طراحی همزمان بخش ورودی و خروجی عملی می گردد. نتایج بیانگر این واقعیت است که الگوریتم استفاده شده قابلیت طراحی تقویت کننده کم نویز همزمان دو باند با اهداف مورد نظر را دارد.

کلید واژه: تقویت کننده کم نویز، همزمان دو باند، سنتز خودکار، الگوریتم ژنتیک سریال و گروهی

فهرست مطالب

عنوان **صفحه**

چکیده ..... أ

فهرست جدول‌ها ..... ه

فهرست شکل‌ها ..... ز

فصل ۱- مقدمه ۱

۱-۱- تکنولوژی‌های ساخت مدارهای مجتمع فرکانس رادیویی ۳

فصل ۲- تقویت کننده همزمان چندباندکم نویز ۹

۲-۱- تقویت کننده کم نویز چند باند همزمان ۱۱

۲-۱-۱- تحلیل تقویت کننده سورس مشترک ۱۲

۲-۱-۲- تطبیق در ورودی ۱۳

۲-۱-۳- تطبیق نویز ۱۵

۲-۱-۴- مدار بار، تطبیق خروجی و بهره ۲۰

فصل ۳- الگوریتم ژنتیک و طراحی خودکار تقویت کننده ۲۳

۳-۱-۱- برازش ۲۳

۳-۱-۲- انتخاب ۲۳

۳-۱-۳- ترکیب ۲۴

۳-۱-۴- جهش ۲۵

۳-۱-۵- نخبه گرایی ۲۵

۳-۱-۶- شرط توقف ۲۶

۳-۱-۷- الگوریتم ژنتیک چندهدفه ۲۶

۳-۲- روش‌های طراحی خودکار ۲۷

۳-۳- کارهای مشابه انجام شده ۲۹
۳-۳-۱- طراحی خودکار ۲۹
فصل ۴- طراحی خودکار تقویت کنندهای همزمان دو باند ۳۵
۴-۱- توپولوژی ۱: CCDBLNA ۳۵
۴-۱-۱- طراحی دستی CCDBLNA ۳۶
۴-۱-۱-۱- نتایج طراحی دستی ۴۱
۴-۲- طراحی خودکار CCDBLNA ۴۱
۴-۲-۱-۱- تطبیق امپدانس در خروجی ۴۲
۴-۳- توپولوژی دوم (پیشنهادی) CRFCCDBLNA ۵۳
۴-۳-۱- طراحی دستی CRFCCDBLNA ۵۳
۴-۳-۲- طراحی خودکار CRFCCDBLNA ۵۴
۴-۴- توپولوژی سوم (پیشنهادی) FCCDBLNA ۶۰
۴-۴-۱- طراحی دستی FCCDBLNA ۶۱
۴-۴-۲- طراحی خودکار FCCDBLNA ۶۱
۴-۵- اصلاح روش پیشنهادی ۶۸
۴-۵-۱- طراحی مجدد توپولوژی CCDBLNA ۷۰
۴-۵-۲- طراحی مجدد توپولوژی CRFCCDBLNA ۷۴
فصل ۵- مقایسه نتایج و چشم انداز آینده کار ۷۹
۵-۱- مقایسه نتایج ۷۹
۵-۲- آینده کار ۸۰
ضمیمه أ -لیست شبکه مدار تقویت کننده همزمان دو باند ۸۳
ضمیمه ب -مدل سازی عناصر در تکنولوژی TSMC ۸۷
ضمیمه ج - برنامه های نوشته شده در نرم افزار متلب ۹۱

واژه نامه انگلیسی به فارسی.....۱۱۱

فهرست جدول‌ها

عنوان **صفحه**

جدول ۳-۱: مشخصات تقویت کننده کم نویز خواسته شده ۳۲

جدول ۴-۱: مقادیر المان‌های پسیو استفاده شده در توپولوژی کسکود پایه ۴۱

جدول ۴-۲: محدودیتهای تکنولوژی و به کار برده شده در این طرح ۴۴

جدول ۴-۳: کروموزوم‌های برتر با مقدار برازندگی صفر ۴۶

جدول ۴-۴: محدودیتهای تکنولوژی و به کار برده شده در این طرح ۴۸

جدول ۴-۵: ۱۸ کاندیدای جواب مناسب برای برآورده کردن شاخصه ها ۵۰

جدول ۴-۶: مقادیر برازندگی هر یک از کروموزوم‌های برتر ۵۱

جدول ۴-۷: شاخصه های مربوط به کروموزوم‌های برتر ۵۲

جدول ۴-۸: مقادیر المان‌های پسیو استفاده شده در توپولوژی CRFCCDBLNA ۵۴

جدول ۴-۹: کروموزوم‌های برتر با مقدار برازندگی صفر ۵۵

جدول ۴-۱۰: ۲۱ کاندیدای جواب مناسب برای برآورده کردن شاخصه ها ۵۷

جدول ۴-۱۱ : مقادیر برازندگی هر یک از کروموزوم‌های برتر ۵۸

جدول ۴-۱۲ : شاخصه های مربوط به کروموزوم‌های برتر ۵۹

جدول ۴-۱۳: مقادیر المان‌های پسیو استفاده شده در توپولوژی FCCDBLNA ۶۱

جدول ۴-۱۴: کروموزوم‌های برتر با مقدار برازندگی صفر ۶۳

جدول ۴-۱۵: ۲۸ کاندیدای جواب مناسب برای برآورده کردن شاخصه ها ۶۴

جدول ۴-۱۶ : مقادیر برازندگی هر یک از کروموزوم‌های برتر ۶۵

جدول ۴-۱۷ : شاخصه های مربوط به کروموزوم‌های برتر ۶۷

جدول ۴-۱۸ : کدهای به کار رفته در طراحی ۷۱

جدول ۴-۱۹ : توصیف ژن های بهترین کروموزوم ۷۲
جدول ۴-۲۰: کدهای به کار رفته در طراحی ۷۵
جدول ۴-۲۱: توصیف ژن های بهترین کروموزوم ۷۶
جدول ۵-۱: نتایج طراحی به کمک روش پیشنهادی اولیه ۷۹
جدول ۵-۲: نتایج طراحی به کمک روش پیشنهادی اصلاح شده ۷۹
جدول ۵-۳: نتایج مقالات موجود در زمینه طراحی تقویت کننده همزمان دو باند ۸۰
جدول ۵-۴: محدوده مجاز ابعاد سلف‌های شبیه سازی شده ۸۸

فهرست شکل‌ها

عنوان **صفحه**

شکل ۱-۱: سمت چپ (SOC های حاوی مدارات آنالوگ با توجه به سال) سمت راست (چگالی مدارات دیجیتال با توجه به پروسه تکنولوژی) ۲

شکل ۲-۱: نمودار بلوکی تقویت کننده چند باند اولیه ۱۰

شکل ۲-۲: مدل کلی تقویت کننده سورس مشترک یک طبقه ۱۲

شکل ۲-۳: مدار معادل تقویت کننده شکل ۲-۲ ..... ۱۳

شکل ۲-۴: ۱: شبکه نویز دار دو پورته ۲: مدار معادل شبکه نویزدار دو پورته ۱۶

شکل ۲-۵: منابع نویز در ترانزیستور ماسفت ۱۸

شکل ۲-۶: مدار معادل نویز گیت ۱۸

شکل ۳-۱: بلوک دیاگرام روش پیشنهادی ۳۱

شکل ۴-۱:شماتیک مدار تقویت کننده کم نویز همزمان دو باند پایه ۳۶

شکل ۴-۲:شماتیک مدار ورودی تقویت کننده کو نویز همزمان دو باند ۳۷

شکل ۴-۳:شماتیک مدار خروجی تقویت کننده کم نویز همزمان دو باند ۳۹

شکل ۴-۴: توپولوژی انتخاب شده جهت طراحی خودکار ۴۲

شکل ۴-۵: شبکه خروجی تقویت کننده کم نویز همزمان دو باند ۴۳

شکل ۴-۶:بالا : نمودار برازش در مقابل تعداد تولید نسل، مربوط به تطبیق در خروجی تقویت کننده... ۴۵

شکل ۴-۷: شماتیک بخش ورودی مدار تقویت کننده کم نویز همزمان دو باند ۴۷

شکل ۴-۸: تقویت کننده همزمان دو باند با آرایش دو طبقه سورس مشترک و کسکود تاشده و استفاده مجدد از جریان ۵۳

شکل ۴-۹: بالا : نمودار برازش در مقابل تعداد تولید نسل، مربوط به تطبیق در خروجی تقویت کننده. ۵۵
شکل ۴-۱۰: توپولوژی مدار تقویت کننده کم نویز همزمان دو باند با آرایش کسکود تاشده و سورس مشترک ۶۰
شکل ۴-۱۱: بالا : نمودار برازش در مقابل تعداد تولید نسل، مربوط به تطبیق در خروجی تقویت کننده .. پایین : مقدار برازش کروموزوم‌های نسل سی ام ۶۲
شکل ۴-۱۲: روش پیشنهادی اصلاح شده ۶۹
شکل ۴-۱۳: بالا-نمودار تابع برازندگی در مقابل نسل پایین-مقادیر برازندگی هر کروموزوم در آخرین نسل ۷۲
شکل ۴-۱۴: نمودار S۲۲ بر حسب فرکانس ۷۳
شکل ۴-۱۵: نمودار S۱۱ بر حسب فرکانس ۷۳
شکل ۴-۱۶: نمودار S۲۱ بر حسب فرکانس ۷۴
شکل ۴-۱۷: نمودار عدد نویز بر حسب فرکانس ۷۴
شکل ۴-۱۸: بالا-نمودار تابع برازندگی در مقابل نسل پایین-مقادیر برازندگی هر کروموزوم در آخرین نسل ۷۶
شکل ۴-۱۹: نمودار S۲۲ بر حسب فرکانس ۷۷
شکل ۴-۲۰: نمودار S۱۱ بر حسب فرکانس ۷۷
شکل ۴-۲۱: نمودار S۲۱ بر حسب فرکانس ۷۸
شکل ۴-۲۲: نمودار عدد نویز بر حسب فرکانس ۷۸
شکل ۵-۱: مدار معادل ماسفت N-کانال برای کاربردهای فرکانس بالای ۸۸
شکل ۵-۲: نمای فیزیکی از سلف مارپیچی ۸۹
شکل ۵-۳: مدار معادل سلف مارپیچی استاندارد به عنوان زیر مدار ۸۹

فصل ۱- مقدمه

روند بازار میکرو الکترونیک نشان از افزایش مداوم نیاز به مجتمع سازی بر روی تراشه[۱] خصوصا در مورد مدارهای مختلط را دارد. افزایش میزان فشرده‌سازی نیازمند انجام تحقیقاتی است که در سالهای اخیر بر روی تراشه‌هایی که امکان پیاده سازی مدارات چند باند فرکانسی و چند پروتکل ارتباطی را دارند متمرکز شده است. در طراحی این تراشه‌ها اهمیت بخش‌های فرکانس رادیویی هر روز بیشتر و بیشتر است [۱].

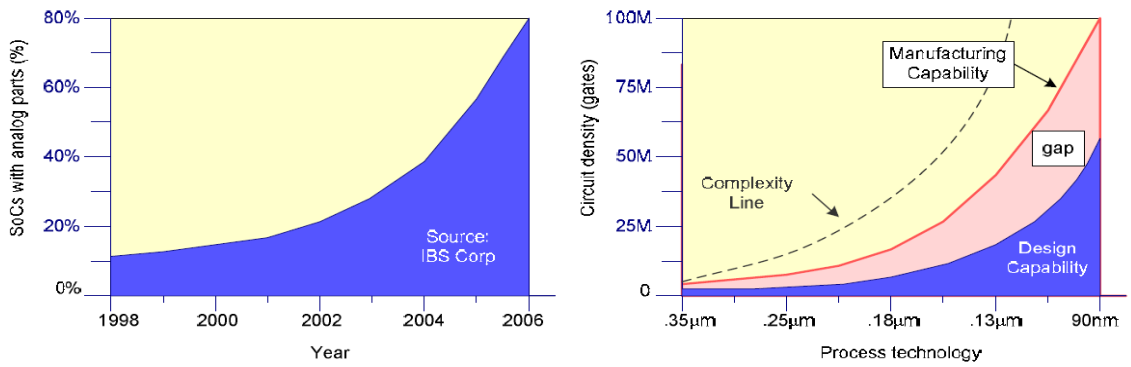
گسترش نیاز به مدارات الکترونیکی مجتمع بسیار فشرده دو مسئله را به دنبال دارد ۱) پیچیدگی طراحی مدار که با افزایش تراکم و اختلاط سیگنال دیجیتال و آنالوگ بالا می رود ۲) افزایش زمان برای طراحی مدار مجتمع. برای کاهش زمان طراحی و پاسخ به نیاز روزافزون بازار، طراحان به سوی استفاده از کامپیوتر و خودکار کردن بخش یا همه فرآیندهای طراحی سوق داده شده اند.

نمودار شکل ۱-۱ نشان از نیاز افزاینده بازار به مدارات سیستمهای مجتمع مختلط دارد. نرخ نیاز بصورت تقریبا اکسپونانسیلی در حال افزایش است. با توجه به تحقیقات موسسه IBS، نیاز به مدارت مجتمع مختلط در سال ۲۰۰۱ تقریباً" ۲۰ درصد مدارات مجتمع جهان را تشکیل داده است. [۱] با توجه به نمودار این درصد در سال ۲۰۰۶ به ۷۵ در صد می رسد که نشان می دهد بخش اعظم مدارات مجتمعی که استفاده می شوند شامل مدارات آنالوگ و دیجیتال کنار یکدیگر است.

تقاضا برای ایجاد عملکرد بالاتر، افزایش کارایی با تلفات توان کمتر باعث شد که سازندگان ادوات نیمه هادی تکنولوژی‌های جدید را با توجه به افزایش نمایی در چگالی مدارهای مجتمع توسعه دهند که به وسیله قانون مور توصیف می شود. [۱]

---

[۱] System On Chip(SOC)



شکل ۱-۱: سمت چپ (SOC های حاوی مدارات آنالوگ با توجه به سال) سمت راست (چگالی مدارات دیجیتال با توجه به پروسه تکنولوژی) [۱]

قانون مور اولین بار در سال ۱۹۶۵ ارائه شده و بیان می‌دارد که چگالی ترانزیستور در مدارات مجتمع هر دو سال، دو برابر می‌شود که این قانون امروزه نیز بکار می‌رود. در آن زمان این قانون، با محاسبه پیشرفت تکنولوژی با بررسی تکنولوژی‌های ساخت نیمه‌هادی محاسبه شده که امروزه بیشتر از قبل تبدیل به یک منبع با اهمیت شده است.

با توجه به فرایندهای تکنولوژیکی جدید به وجود آمده، کارایی‌های بیشتر و بیشتری را می‌توان به صورت یکپارچه داشت که منجر به پیچیدگی در طراحی مدارهای مجتمع می‌شود. اولین نشانه قابل رویت از این پیچیدگی افزایش زیاد پارازیت و نشتی جریان است که باعث عمل نکردن تراشه‌ها می‌شود. در واقع، در حالی که رشد نمایی در توانایی کار به سمت حوزه تکنولوژی نانومتری حرکت می‌کند، تیم‌های طراحی با یک منحنی از پیچیدگی مواجه می‌شوند که به صورت نمایی صعود می‌کند که در نتیجه نرخ بهره‌وری طراحی کند می‌شود. این اتفاق، که با شکاف بهره‌وری در طراحی نشان داده می‌شود در شکل ۱-۱ (راست) توصیف شده و بیان می‌کند که رشد اختلاف بین بهبود در قابلیت تولید صنعتی نیازمند برآوردن فشارهای بازار دارد که پیشرفت در قابلیت تولید به وسیله توسعه گروه های طراحی کامپیوتر محور[۱] حاصل می‌شود. رشد ابزارهای کامپیوتری جدید و روش‌های طراحی، برای افزایش بهره‌وری طراحان و کاهش شکاف بهره‌وری در طراحی ضروری است. از آنجا که طراحی SOCهای سیگنال–مخلوط می‌تواند

[۱] Computer Aided Design(CAD)

خیلی چالش انگیز باشد، طراحی و بازبینی پروسه‌های طراحی برای هر دو بخش آنالوگ و دیجیتال به وسیله ابزارهای طراحی خودکار که در مراحل مختلفی از کمال هستند، پشتیبانی می‌شود.

با وجود اینکه بخش آنالوگ معمولا" کسر کوچکی از سطح مدار کلی را اشغال می‌کند (تقریبا" ۲۰ درصد) ولی به علت پیچیده‌تر بودن طراحی آن نسبت به بخش دیجیتال یک گره و تنگنا در زمان طراحی به شمار می آید. [۱]

بر عکس مدارات دیجیتال، طراحان آنالوگ و سیگنال–مخلوط به وسیله استراتژی‌های مختلفی اداره می‌شوند. روش‌های طراحی کامل و ابزارهای متنوعی که پیچیدگی روند طراحی آنالوگ را پشتیبانی کند وجود ندارد. حساسیت شدید پارامترهای طراحی آنالوگ به پروسه ساخت استفاده مجدد از بلوک‌های آنالوگ را در مقایسه با قابلیت دریافت و استفاده از بلوک‌های دیجیتال، بسیار پر هزینه می‌کند. کتابخانه‌های مدار که در دنیای دیجیتال شناخته شده‌اند، در دنیای آنالوگ به راحتی و با تغییر تکنولوژی و یا تغیر قوانین پروژه منسوخ و از تاریخ گذشته می‌شوند. [۱]

۱-۱- تکنولوژی‌های ساخت مدارهای مجتمع فرکانس رادیویی

با افزایش تقاضاها برای ساخت سیستم‌هایی بر روی یک تراشه توجه به ساخت مدارهای مجتمع در فرکانس رادیویی با استفاده از تکنولوژی سیماس[۱] رشد چشمگیری داشته است. چون عناصر ساخته شده در تکنولوژی سیماس در مقایسه با تکنولوژی‌های گالیوم آرسناید و سیلیکون ژرمانیوم دارای عناصر پارازیتیک بیشتری هستند، طراحی فرکانس بالا در این تکنولوژی بدون در نظر گرفتن عناصر پارازیتیک نتایج معتبری نخواهد داشت. [۱]

برای ساخت مدارهای مجتمع در فرکانس رادیویی از نظر تکنولوژی ساخت انتخاب‌های متفاوتی وجود

[۱] CMOS

دارد که عبارتند از:سیماس، گالیوم آرسناید، بای سیماس[۱] و سیلیکون روی عایق[۲].

ترانزیستور دوقطبی اولین قطعه فعال حالت–جامد بود که بهره و عدد نویز[۳] را در فرکانس‌های ماکروویو فراهم کرد. در دهه هفتاد موشکافی ترانزیستورهای اثر میدانی[۴](به عنوان مثال گالیوم آرسناید و مسفت[۵]) منجر به دستیابی به بهره بالاتر و عدد نویز کمتری از ترانزیستورهای دوقطبی در فرکانس‌هایی در رنج گیگاهرتز شد. در حال حاضر ترانزیستورهای اثر میدانی پیشرفته و ترانزیستورهای دوقطبی هنوز برای عدد نویز کمتر و بهره بالا در فرکانس‌های بیشتر از ۱۰۰۰ گیگاهرتز رقابت می‌کند. [۲]

به طور سنتی، در تقویت کننده‌ای که دارای نویز خیلی کم در فرکانس‌های بالا می‌باشد از ترانزیستورهایی با موبیلیتی الکترون بالا و سرعت اشباع بالا، روی بالک[۶] و یا زیر لایه، با مقاومت ویژه بالا استفاده می‌شود.

مزیت اصلی نیمه هادی‌های ترکیبی[۷] بر سیلیکون در این است که مثلا" گالیوم آرسناید دارای موبیلیتی الکترون ۶ برابر و اوج سرعت رانش[۸] ۲ برابر سیلیکون می‌باشد. موبیلیتی الکترون و اوج سرعت رانش بالاتر یعنی در یک جریان، هدایت انتقالی ترانزیستور بالاتر و زمان گذار حامل‌ها کمتر می‌باشد و بنابراین باعث کاهش جریان ثابت[۹]، برای داشتن هدایت انتقالی (و بهره) یکسان در ترانزیستورها و در نتیجه کاهش نویز فرستاده شده به ورودی و عدد نویز کمتر می‌شود. همچنین تکنولوژی‌های بای سیماس، سیلیکون روی عایق و گالیوم آرسناید دارای ولتاژ شکست بیشتر و تلفات بدنه کمتری هستند و سلف‌ها و خازن‌های ساخته شده در این تکنولوژی‌ها دارای ضریب کیفیت بیشتری نسبت به تکنولوژی سیماس می‌باشند.

---

[۱] BiCMOS
[۲] Silicon on insulator
[۳] Noise Figure(NF)
[۴] FET
[۵] MESFET
[۶] Bulk or Substrate
[۷] Compound
[۸] Peak Drift Velocity
[۹] DC

مقاومت پارازیت سورس می‌تواند یک عامل غالب در عدد نویز کلی تقویت کننده کم نویز[۱] باشد که موبیلیتی بالای حامل‌ها منجر به کم شدن مقاومت‌های پارازیت درین[۲]-سورس[۳] می‌شود.

به علت اکثر محدودیت‌های تکنولوژیکی مقاومت سری ورودی در ترانزیستورهای بر پایه سیلیکون معمولا" بیشتر از نیمه‌هادی‌های مرکب می‌باشد. به ویژه، با مشاهده مقاومت کم گیت[۴] فلزی گالیوم آرسنایید و مسفت در مقایسه با مقاومت زیاد پلی سیلیکون در گیت ماسفت و ترانزیستورهای دوقطبی با بیس[۵] نازک می‌بینیم که ترانزیستورهای ترکیبی دارای عدد نویز کمتری هستند.

تلفات المان‌های غیرفعال (پسیو[۶]) در چیپ، می‌تواند اثر بسیار مهمی بر روی عملکرد نویز و بهره تقویت کننده کم نویز بگذارد. بالک با مقاومت الکتریکی بالا، تلفات المان‌ها روی بالک را مینیمم می‌کند. از آنجا که تلفات و نویز از طریق تئوری نوسان پراکندگی از فیزیک آماری به هم مرتبط اند کاهش تلفات انرژی به معنی عدد نویز کمتر در تقویت کننده می‌باشد.

با وجود محدودیت‌های ذکر شده در بالا از تکنولوژی سیلیکون، تقویت کننده‌های کم نویز سیلیکونی متعددی گزارش شده‌اند. [۳][۴][۵] تکنولوژی سیماس کمترین هزینه ساخت را دارد و با تکنولوژی‌های زیر میکرون جدید ترانزیستورهای ماسفت[۷] ساخته شده در فرکانس‌های بالا نیز عملکرد مناسبی دارند. به طور تقریبی در تکنولوژی سیماس حاصل ضرب طول کانال ترانزیستور و حداکثر مقدار فرکانس قطع آن ثابت می‌باشد و با کم شدن طول کانال به همان نسبت فرکانس کاری ترانزیستورها افزایش می‌یابد. مثلا در تکنولوژی ۱۳۰ نانومتر مقدار

---

[۱] Low Noise Amplifier(LNA)
[۲] drain of FET
[۳] source of FET
[۴] Gate of FET
[۵] Base of bipolar transistor
[۶] passive
[۷] MOSFET

فرکانس قطع حدوداً" ۸۰-۹۰ گیگاهرتز می‌باشد که در تکنولوژی ۹۰ نانومتر این فرکانس به بیش از ۱۲۰ گیگاهرتز خواهد رسید. این کم شدن ابعاد در ساخت یکی از دلایل مهم پیشرفت بیشتر مدارهای مجتمع در فرکانس رادیویی[۱] در این تکنولوژی می‌باشد.[۶]

مدارهای سیماس به علت مقدار کمتر نسبت **gm/id** در مقایسه با مدارهای دو قطبی به عناصر پارازیت اتصالات حساس‌تر بوده ولی به علت رفتار خطی بهتر، گستره دینامیکی بیشتری دارند. [۲] این تکنولوژی به علت هزینه ساخت کم و امکان توسعه سیستم‌های مجتمع شامل قسمت‌هایی با فرکانس رادیویی و قسمت‌های دیجیتال بر روی یک تراشه در توسعه مدارات مجتمع در فرکانس رادیویی مورد توجه قرار گرفته است. تعداد تراشه‌های تجاری ساخته شده در فرکانس رادیویی با تکنولوژی سیماس به طور محسوسی افزایش یافته و تبدیل به تکنولوژی غالب در بسیاری از کاربردها شده است. از جمله این کاربردها می‌توان به شبکه‌های فضای محلی[۲] و نوع بی‌سیم[۳] آن، تلفن‌های بی‌سیم، گوشی‌های موبایل، ارتباط بلوتوث[۴]، گیرنده‌های سیستم موقعیت یاب سراسری[۵] سیستم‌های **RFID** شبکه بی‌سیم وایمکس[۶]، اتوماسیون منازل، سیستم‌های اندازه گیری از راه دور و کنترل و مانیتورینگ در صنعت اشاره کرد. در یک تراشه فرستنده و گیرنده مجتمع، کلیهٔ بخش‌ها شامل قسمت فرکانس رادیویی، بخش آنالوگ فرکانس پایین، بخش مبدل‌های داده و بخش مدولاسیون و دمدولاسیون دیجیتال در داخل یک تراشه ساخته می‌شوند. گر چه بخش فرکانس رادیویی بخش کوچکی از کل مدار است ولی گلوگاه اصلی طراحی است و سهم زیادی از مساحت و توان مصرفی تراشه را به خود اختصاص می‌دهد. [۷]

---

[۱] Radio Frequency Integrated Circuit(RFIC)

[۲] Local Area Network(LAN)

[۳] Wireless LAN

[۴] Bluetooth

[۵] Global Positioning System(GPS)

[۶] Wimax

افزایش میزان فشرده‌سازی موجب شده است که تحقیقات چند سال اخیر بر روی تراشه‌هایی انجام شود که چند باند فرکانسی و چند پروتکل ارتباطی را حمایت می‌کنند که در این تراشه‌ها اهمیت بخش فرکانس رادیویی بیشتر و بیشتر خواهد بود. [۸]

مشکلات طراحی در قسمت فرکانس بالا عبارتند از:

- حساس بودن به عناصر پارازیت
- دقیق نبودن روابط طراحی
- مشکل بودن محاسبات دستی
- نیاز به سعی و خطای زیاد در طراحی
- نبودن مدل‌های دقیق از المان‌های پسیو مجتمع

با توجه به مشکلات فوق و برای کوتاه کردن زمان و کم کردن هزینه طراحی تحقیقات گسترده‌ای در جهت طراحی خودکار مدارهای فرکانس بالا در حال انجام است. ژورنال‌های معتبری با عناوین CAD و یا CAE وجود دارند که نتایج تحقیقات در این زمینه را منتشر می‌کنند. این تحقیقات هم در جهت مدل سازی المان‌های پسیو از قبیل سلف‌های مجتمع انجام می‌شود و هم در جهت بهینه‌سازی مدارهای مختلف در حال انجام است.

به دلایل زیر اهمیت و جایگاه این تحقیقات در آینده بیشتر خواهد شد:

با بالا رفتن سرعت انجام محاسبات (کامپیوترهای سریع‌تر)، در آینده امکان پیاده‌سازی الگوریتم‌های پیچیده‌تر و انجام تحلیل‌های طولانی در بهینه‌سازی مدار بیشتر می‌شود و این موجب افزایش دقت و کارایی این ابزارهای بهینه‌ساز خواهد شد.

برای رسیدن به پهنای باند بیشتر و با توجه به پر شدن باندهای فرکانسی پایین‌تر، فرکانس کاری فرستنده و گیرنده‌ها مرتباً رو به افزایش است به طوری که فرکانس کاری تا فرکانس ۶۰ گیگاهرتز افزایش یافته است [۹] با افزایش فرکانس کاری عناصر پارازیت المان‌ها و اتصالات مهم‌تر شده و نمی‌توان