دانشگاه صنعتی نوشیروانی بابل

**دانشکده مهندسی برق و کامپیوتر**

**موضوع:**

# جبرانسازی اثرات غیر ایده‌آل در مدولاتور دلتا- سیگما

**پایان نامه دوره کارشناسی ارشد**

**رشته برق گرایش میکروالکترونیک**

**استاد راهنما:**

دکتر حسین میارنعیمی

**نام دانشجو:**

محمد مهدی دیلم صالحی

**شهریور ماه ۹۲**

## چکیده:

امکان پیاده‌سازی آسانتر ساختارهای پیچیده با بلوک‌های ساده در مدارهای دجیتال و همچنین نویزپذیری کمتر آن‌ها، سبب شده است که امروزه بیشتر کار پردازش سیگنال در این بخش انجام شود. ولی با وجود رشد سیر دیجیتالی شدن قطعات الکترونیکی، پردازش سیگنال‌های آنالوگ همچنان از اهمیت و جایگاه ویژه‌ای برخوردار است. زیرا داده‌های جهان پیرامون ما سیگنال‌های پیوسته در زمان هستند. بنابراین همواره نیاز به مبدل‌هایی داریم که داده‌های دنیای واقعی را برای پردازش به اندازه‌های دیجیتال تبدیل کنند. امروزه افزایش سرعت و دقت پردازنده‌های دیجیتال، مستلزم وجود مبدل‌هایی با سرعت و دقت بالا است. مبدل‌های داده را می توان به دو نوع نایکوئیست و بیش‌نمونه‌بردار دسته‌بندی کرد. مبدل‌های بیش‌نمونه‌بردار به علت تاثیرپذیری کمتر در برابر خطاهای پروسه ساخت(که همواره در ساخت قطعات آنالوگ وجود دارد)، انتخاب مناسبی برای کاربردهای با دقت بالا هستند. مبدل‌های دلتا- سیگما از رایج‌ترین نوع مبدل‌های بیش‌نمونه‌بردار هستند که علاوه بر برتری بیش‌نمونه‌برداری به علت برخورداری از ساختار حلقه بسته و توانایی شکل دهی به نویز، امکان دستیابی به دقت‌های بالا را فراهم آورده‌اند. مبدل‌های دلتا- سیگما را می توان به دو نوع گسسته و پیوسته دسته‌بندی کرد که در این میان نوع پیوسته از امکان کار در فرکانس‌های بالاتری برخوردار است. بنابراین به علت برخورداری از دو توانایی دقت و سرعت بالا، امروزه مبدل-های دلتا- سیگمای نوع پیوسته در میان سایر مبدل‌ها، گزینه بسیار رایجی هستند. با این حال اثرات غیر ایده‌آلی همچون جیتر و تاخیر می‌تواند کارایی آنها را بویژه در فرکانس‌های بالا کاهش دهد. بنابراین تحلیل و درک این عوامل غیرایده‌آل برای جبرانسازی و زدودن آن‌ها و افزایش دقت و کارایی مبدل‌های دلتا سیگما بسیار مهم است.

هدف از این پایان‌نامه، جبرانسازی اثر تاخیر اضافی در مدولاتور دلتا- سیگمای پیوسته است. ساختار پیشنهادی در این بخش می‌تواند خطای تاخیر را بدون دانستن حتی مقدار آن ، بی‌کم و کاست بزداید. در کنار خطای تاخیر، جیتر نیز کارایی مدولاتور پیوسته را بشدت کاهش می‌دهد. یکی از سنجه‌های بررسی اثر جیتر، محاسبه توان آن است. تحلیل‌های گوناگونی برای محاسبه توان جیتر تاکنون پیشنهاد شده است ولی بیشتر به روابط پیچیده‌ای رسیده‌اند که حل بسته‌ای برای آن‌ها وجود ندارد. در این بخش نیز با قضیه ساده مقدار میانگین در انتگرال‌ها نشان داده شده است که می‌توان این روابط پیچیده را با روابط بسیار ساده‌ای جایگزین کرد که با دقت بالایی می‌توانند توان جیتر را برآورد کنند.



**واژه‌های کلیدی**: مبدل‌های آنالوگ به دیجیتال، بیش‌نمونه‌برداری، مدولاتور دلتا- سیگما، شکل‌دهی به نویز ، خطای تاخیر حلقه ، توان نویز جیتر ، جبرانسازی .

## نمادها

| | |
|---|---|
| $A_{dc}$ | بهره محدود آپ امپ |
| $\alpha$ | زمان لبه بالارونده پالس DAC |
| $\beta$ | زمان لبه پایین رونده پالس DAC |
| $\delta_{RC}$ | خطای ثابت زمانی |
| $\Delta$ | گام کوانتیزاسیون |
| DR | گستره دینامیکی |
| $f_B$ | پهنای باند سیگنال |
| $f_s$ | بسامد نمونه برداری |
| FOM | ضریب شایستگی |
| H(s) | تابع شبکه پالایه حلقه پیوسته |
| H(z) | تابع شبکه پالایه حلقه گسسته |
| IBN | نویز درون باند سیگنال |
| $K_q$ | بهره کوانتایزر |
| OSR | نرخ فرانمونه برداری |
| $P_{sig}$ | توان سیگنال |
| Q(n) | نویز کوانتیزاسیون |
| SNR | نسبت توان سیگنال به نویز |
| $t_d$ | تاخیر حلقه |
| $t_p$ | عرض پالس خروجی DAC |
| $T_s$ | دوره گردش نمونه برداری |
| u(n) | ورودی مدولاتور |
| y(n) | خروجی مدولاتور |

**علائم اختصاری:**

| | |
|---|---|
| ADC | مبدل آنالوگ به دیجیتال |
| CT | پیوسته در زمان |
| DAC | مبدل دیجیتال به آنالوگ |
| DT | گسسته در زمان |
| ENOB | تعداد بیت موثر |
| NTF | تابع شبکه نویز |
| STF | تابع شبکه سیگنال |
| S/H | مدار نمونه بردار |
| SC | سوییچ – خازنی |

**فهرست مطالب**

**عنوان**

**صفحه**


**گفتار نخست: دیباچه**

۱-۱ پیشگفتار ..... ۲

۱-۲ آشنایی با مبدل‌های داده..... ۲

۱-۲-۱ کوانتیزاسیون ..... ۴

۱-۲-۲ مبدل‌های نایکویست و بیش‌نمونه‌بردار..... ۸

۱-۲-۳ سنجه‌ای برای مبدل‌های آنالوگ به دیجیتال ..... ۹

۱-۳ مروری بر مبدل های داده..... ۱۰

۱-۳-۱ مبدل آنالوگ به دیجیتال فلش ..... ۱۰

۱-۳-۲ مبدل آنالوگ به دیجیتال پایپ‌لاین ..... ۱۱

۱-۳-۳ مبدل آنالوگ به دیجیتال تقریب پی‌درپی..... ۱۲

۱-۴ مبدل های دلتا سیگما: بیش‌نمونه‌برداری و شکل‌دهی به نویز ..... ۱۳

۱-۴-۱ ساختار کسکید یا چند طبقه ..... ۱۷

۱-۴-۲ سخنی درباره کوانتیزاسیون تک بیتی..... ۱۹

۱-۴-۳ بررسی پهنه زمان مدولاتور دلتا سیگما..... ۱۹

۱-۴-۴ دسته بندی مدولاتور های دلتا-سیگما ..... ۲۱

۱-۵ مدولاتور دلتا-سیگمای پیوسته ..... ۲۱

۱-۵-۱ روش نگاشت پاسخ ضربه..... ۲۵

۱-۵-۲ تبدیل مدولاتور ساختار گسسته به پیوسته با روش نگاشت پاسخ ضربه..... ۲۷

۱-۶ ساختار پایان‌نامه..... ۲۹

**گفتار دوم: بررسی اثرات غیر ایده‌آل در مدولاتور دلتا- سیگما**


۲-۱ پیشگفتار ..... ۳۱

۲-۲ بررسی اثرات غیر ایده‌آل پالایه(انتگرالگیر) ..... ۳۲

۲-۲-۱ بررسی بهره DC محدود آپ‌امپ ..... ۳۳

۲-۲-۲ خطای ثابت زمانی یا بهره انتگرال‌گیر ..... ۳۴

۲-۲-۳ بسامد بهره واحد محدود آپ امپ انتگرال‌گیر ..... ۳۵

۲-۳ اثرات غیر ایده آل کوانتایزر ..... ۳۷

۲-۴ اثرات غیر ایده‌آل مبدل دیجیتال به آنالوگ ..... ۳۹

۲-۴-۱ بررسی اثر غیر خطی DAC ..... ۳۹

۲-۴-۲ تاخیر حلقه ..... ۴۲

۲-۴-۳ جیتر ..... ۴۵

۲-۵ برداشت پایانی ..... ۴۸


**گفتار سوم: بررسی روش‌های جبرانسازی تاخیر در مدولاتور دلتا-سیگمای پیوسته و پیشنهاد روشی نوین برای زدایش بی کم و کاست آن**


۳-۱ پیشگفتار ..... ۵۰

۳-۲ روش های جبرانسازی تاخیر حلقه ..... ۵۰

۳-۲-۱ جبرانسازی با بهره‌گیری از یک DAC کمکی ..... ۵۰

۳-۲-۲ جبرانسازی با بهره‌گیری از شاخه پسخور افزوده پیش از کوانتایزر ..... ۵۳

۳-۲-۳ جبرانسازی دیجیتال ..... ۵۳

۳-۲-۴ جبرانسازی با بهره‌گیری از مشتق‌گیر ..... ۵۴

۳-۲-۵ جبرانسازی با روش PI ..... ۵۴

۳-۲-۶ جبرانسازی به روش وفقی ..... ۵۵

۳-۳ روش پیشنهادی برای جبران بی‌کم و کاست اثر تاخیر ..... ۵۶

۳-۳-۱ یافتن خطای تاخیر برای مدولاتور مرتبه یک ..... ۵۶

۳-۳-۲ پیشنهاد روشی کلی برای زدایش خطای تاخیر حلقه ..... ۶۰

۳-۳-۳ جبرانسازی تاخیر حلقه برای مدولاتور مرتبه دوم ..... ۶۲

۳-۴ برداشت پایانی ..... ۶۴


**گفتار چهارم: بررسی اثر جیتر در مدولاتور دلتا-سیگمای پیوسته و پیشنهاد روشی برای محاسبه توان نویز جیتر**


۴-۱ پیشگفتار ..... ۶۶

۴-۲ جبرانسازی خطای جیتر ..... ۶۷

۴-۲-۱ کاهش اثر جیتر با بهره‌گیری از کوانتیزاسیون چند بیتی ..... ۶۷

۴-۲-۲ کاهش اثر جیتر با شکل دهی به پالس های مسیر پسخور..... ۶۸
۴-۲-۳ جبرانسازی خطای جیتر با بهره‌گیری از مدارهای سویچ-خازنی..... ۷۰
۴-۳ محاسبه توان جیتر..... ۷۰
۴-۳-۱ پیشنهاد مدلی تازه برای یافتن توان نویز..... ۷۰
۴-۳-۲ محاسبه توان جیتر با کمک فضای حالت..... ۷۳
۴-۳-۳ محاسبه توان نویز جیتر همبسته..... ۷۶
۴-۴ روش پیشنهادی برای یافتن توان جیتر..... ۷۸
۴-۴-۱ محاسبه توان جیتر سنکرون ناهمبسته..... ۷۹
۴-۴-۲ محاسبه توان جیتر سنکرون همبسته..... ۸۰
۴-۴-۳ بکارگیری قضیه مقدار میانگین در محاسبه توان جیتر..... ۸۰
۴-۵ تابع شبکه نویز بهینه..... ۸۲
۴-۶ برداشت پایانی..... ۸۳

**گفتار پنجم: شبیه سازی، برداشت پایانی و پیشنهاد برای کارهای آینده**

۵-۱ پیشگفتار..... ۸۵
۵-۲ شبیه سازی سیستم جبرانساز تاخیر حلقه ..... ۸۶
۵-۳ شبیه سازی اثر جیتر..... ۸۹
۵-۳-۱ نویز جیتر ناهمبسته..... ۸۹
۵-۳-۲ نویز جیتر همبسته..... ۹۰
۵-۴ برداشت پایانی..... ۹۱
۵-۵ پیشنهادهایی برای کارهای آینده ..... ۹۱
**مراجع**..... ۹۳

## فهرست جدول ها

**عنوان جدول‌ها** **صفحه**

جدول ۱-۱: ویژگی‌های برخی از انواع مبدل های داده..... ۱۳

جدول ۱-۲: معادل پیوسته پالایه‌های پایین گذر گسسته مرتبه یک تا چهار برای سیگنال پسخور مستطیلی..... ۲۶

جدول ۲-۱: معادل گسسته پالایه‌های پیوسته مرتبه یک تا چهار برای پالس پسخور مستطیلی..... ۴۴

جدول ۵-۱ : ضرایب پسخور ساختارهای جبرانساز تاخیر به ازای اندازه‌های گوناگون تاخیر..... ۸۷

جدول۵-۲: مقایسه برآوردهای شبیه سازی و محاسبه عددی رابطه توان نویز جیتر ناهمبسته با رابطه پیشنهادی ما..... ۹۰

جدول ۵-۳: مقایسه محاسبه عددی رابطه توان نویز جیتر همبسته با رابطه پیشنهادی ما..... ۹۰

## فهرست شکل ها

**عنوان نمایه** **صفحه**


نمایه ۱-۱: مبدل های داده واسطی بین پردازنده های دیجیتال و دنیای واقعی ۳

نمایه ۱-۲ : بخش‌های اصلی تشکیل دهنده یک مبدل آنالوگ به دیجیتال ۳

نمایه ۱-۳ : طیف بسامدی سیگنال ورودی به مبدل ۳

نمایه ۱-۴ : تداخل در طیف بسامدی سیگنال خروجی مدار نمونه گیر به علت عدم رعایت شرایط نایکوئیست ۴

نمایه ۱-۵: امکان بازیابی طیف اصلی سیگنال نمونه گیری شده با رعایت شرایط نایکوئیست ۴

نمایه ۱-۶: پالایه ضد تداخل ۵

نمایه ۱-۷: نمونه برداری و کوانتیزاسیون سیگنال سینوسی ورودی به کوانتایزر ۶

نمایه ۱-۸ : سطوح کوانتیزاسیون و کدهای دیجیتال خروجی کوانتایزر ۶

نمایه ۱-۹: منحنی مشخصه کوانتایزر های تک بیتی و چند بیتی ۷

نمایه ۱-۱۰: مدل خطی کوانتایزر ۷

نمایه ۱-۱۱: تابع توزیع احتمال و چگالی طیفی نویز کوانتیزاسیون ۷

نمایه ۱-۱۲ اثر بیش‌نمونه‌برداری روی توان نویز در باند سیگنال ۹

نمایه ۱-۱۳ ساختار مبدل فلش ۱۱

نمایه ۱-۱۴: ساختار مبدل پایپ لاین ۱۱

نمایه ۱-۱۵: الف- الگوریتم برآورد داده آنالوگ ورودی و ب- پیاده سازی مبدل تقریب متوالی با DAC ۱۲

نمایه ۱-۱۶ ساختار کلی مبدل $\Delta\Sigma$ ۱۴

نمایه ۱-۱۷ شکل دهی به نویز و کاهش چشمگیر توان نویز در باند سیگنال در مدولاتور دلتا- سیگما ۱۴

نمایه ۱-۱۸ مدل خطی‌شده مدولاتور $\Delta\Sigma$ ۱۴

نمایه ۱-۱۹ گستره دینامیکی $\Delta\Sigma$ ایده‌آل به عنوان تابعی از نرخ بیش‌نمونه‌برداری ۱۶

نمایه ۱-۲۰ ساختار کسکید دو طبقه ۱۸

نمایه ۱-۲۱:منحنی پهنه زمان سیگنال‌ورودی و خروجی در مدولاتور دلتاسیگما در حالت تک‌بیتی و چندبیتی ۲۰

نمایه ۱-۲۲ : ساختار مدولاتور دلتا- سیگما در باند میانی ۲۰

نمایه ۱-۲۳ ساختار کلی مبدل آنالوگ به دیجیتال دلتا-سیگمای پیوسته ۲۱

نمایه ۱-۲۴ پاسخ ضربه‌های رایج برای مدار DAC ..... ۲۵
نمایه ۱-۲۵ : مسیر ورودیDAC به خروجی انتگرال‌گیر در مدولاتور گسسته و هم‌ارز پیوسته آن..... ۲۵
نمایه ۱-۲۶ : پالس مستطیلی DAC..... ۲۶
نمایه ۱- ۲۷: ساختار کلی مدولاتور مرتبه دوم گسسته..... ۲۷
نمایه ۱- ۲۸: ساختار کلی مدولاتور مرتبه دوم پیوسته..... ۲۷
نمایه ۱-۲۹ : پیاده‌سازی مدولاتور پیوسته سیگما-دلتای مرتبه دو با پالایه فعال Rc و کوانتیزاسیون تک بیتی... ۲۸
نمایه ۲-۱ : جایگاه ورود انواع اثرات غیر ایده آل در مدولاتور دلتا- سیگما ..... ۳۲
نمایه ۲-۲: آپ امپ با بهره محدود..... ۳۳
نمایه ۲-۳: تاثیر بهره محدود آپ امپ در افزایش نویز در مدولاتور های دلتا-سیگمای پیوسته..... ۳۴
نمایه ۲-۴: شبیه سازی تاثیرخطای بهره در مدولاتور دلتا –سیگمای پیوسته بر روی اندازه نویز..... ۳۵
نمایه ۲-۵ : مدل کلی مدولاتور با بسامد بهره واحد محدود..... ۳۶
نمایه ۲-۶:جبرانسازی اثر بسامد بهره واحد محدود در مدولاتور پیوسته مرتبه دو... ۳۷
نمایه ۲-۷ مدل مدار مقایسه‌کننده در کوانتایزر..... ۳۸
نمایه ۲-۸ : منحنی اندازه تاخیر در کوانتایزر در سنجش با ورودی در دو حالت (الف) ایده آل و (ب) مدار واقعی ..... ۳۸
نمایه ۲-۹ : وزن المان های واحد..... ۳۹
نمایه ۲-۱۰ : مدل dac غیر ایده‌آل..... ۴۰
نمایه ۲-۱۱: تابع مشخصه DAC..... ۴۰
نمایه ۲-۱۲: مدل خطی رفتار غیر ایده آل DAC در مدولاتور دلتا- سیگمای پیوسته ..... ۴۱
نمایه ۲-۱۳: افزایش سطح نویز در طیف خروجی مدولاتور به علت رفتار غیر خطی DAC ..... ۴۱
نمایه ۲-۱۴: شکل موج RZ و تاخیر یافته آن ..... ۴۳
نمایه ۲-۱۵ : شکل موج NRZ و تاخیر یافته آن ..... ۴۳
نمایه ۲-۱۶ : نمایش پالس NRZ با تاخیر $t_d$ به صورت مجموع دو پالس مستطیلی ..... ۴۳
نمایه ۲-۱۷: منحنی مکان هندسی قطب های حلقه بسته مدولاتور مرتبه دو نسبت به تغییر اندازه تاخیر..... ۴۴
نمایه ۲-۱۸ : تاثیر تاخیر بر نویز سیستم برای شکل موج های برگشتی NRZ و RZ ..... ۴۵
نمایه ۲-۱۹: محل اعمال خطای جیتر..... ۴۶
نمایه ۲-۲۰ : پالس NRZ با اثر جیتر..... ۴۶

نمایه ۲-۲۱ : تاثیر شکل موج برگشتی بر میزان خطای جیتر..... ۴۸
نمایه ۳-۱ : تغییر اندازه خروجی انتگرال گیر نسبت به حالت ایده آل به علت تاخیر..... ۵۱
نمایه ۳-۲: ساختار مدولاتور مرتبه دو..... ۵۱
نمایه ۳-۳ : ساختار پیشنهادی برای جبران اثر تاخیر در مدولاتور پیوسته مرتبه دو با بکارگیری DAC کمکی.. ۵۲
نمایه ۳-۴ : جبران خطای تاخیر با بهره‌گیری از شاخه پسخور اضافی..... ۵۳
نمایه ۳-۵ : قرار دادن شاخه پسخور اضافی بعد از کوانتایزر برای جبران سازی دیجیتال اثر تاخیر ..... ۵۳
نمایه ۳-۶ : بکارگیری بلوک مشتق گیر برای جبران خطای تاخیر..... ۵۴
نمایه ۳-۷ : جبرانسازی تاخیر با بکارگیری المان PI..... ۵۵
نمایه ۳-۸: ساختار پیشنهادی برای زدودن خطای تاخیر با روش وفقی برپایه الگوریتم LMS ..... ۵۶
نمایه ۳-۹ ساختار مدولاتور مرتبه یک ایده آل ..... ۵۷
نمایه ۳-۱۰: ساختار پیشنهادی برای زدایش تاخیر در مدولاتور مرتبه یک ..... ۵۹
نمایه ۳-۱۱: ساختار پیشنهادی نمایه (۳-۱۰- د) بدون شاخه فیدک اضافی..... ۶۰
نمایه ۳- ۱۲: پالس مستطیلی خروجی DAC با عرض دلخواه ..... ۶۱
نمایه ۳-۱۳: الف-ساختار کلی یک مدولاتور ایده آل مرتبه n، ب- ساختار کلی پیشنهادی برای جبران اثر تاخیر ..... ۶۲
نمایه ۳-۱۴: ساختار پیشنهادی برای جبرانسازی خطای تاخیر در مدولاتور مرتبه دو..... ۶۳
نمایه ۴-۱: مدل کردن خطای جیتر به صورت تغییر دامنه در پالس خروجی DAC..... ۶۸
نمایه ۴- ۲: بهره‌گیری از کوانتیزاسیون چند بیتی برای کاهش گام کوانتیزاسیون و بنابراین کاهش خطای جیتر.. ۶۸
نمایه ۴-۳ : کاهش چشمگیر خطای جیتر در شکل موج نمایی نسبت به پالس مستطیلی در خروجی DAC.. ۶۸
نمایه ۴-۴: شکل موج نمایی خروجی DAC..... ۶۹
نمایه ۴-۵: مقایسه خطای جیتر در خروجی انتگرال گیر مدولاتور گسسته و پیوسته ..... ۷۰
نمایه ۴-۶ : پالس مستطیلی خروجی ایده‌آل و واقعی DAC و خطای ناشی از تفاوت آن‌ها (خطای جیتر)..... ۷۱
نمایه ۴-۷ : چگالی طیفی نویز جیتر در خروجیDAC..... ۷۲
نمایه ۴-۸: پیاده سازی تابع شبکه نویز..... ۷۴
نمایه ۴-۹ : مدل فضای حالت برای ساختار نمایه (۴-۸) ..... ۷۴
نمایه ۴-۱۰ : تابع شبکه پالایه بالاگذر ( $A_{stop}$= 30 db , $A_{pass}$=0.5 db , $w_{pass}$=0.4 , $w_{stop}$=0.1)..... ۸۲

نمایه ۴-۱۱ : مقایسه اندازه توابع شبکه نویز باترورث، چبی شف نوع (۱) و چبی شف نوع (۲).....۸۲

نمایه ۵-۱ : شبیه سازی سیستمی مدولاتور پیوسته مرتبه دو در محیط SIMULINK نرم افزار Matlab..... ۸۵

نمایه ۵-۲: سیگنال پهنه زمان ورودی و خروجی مدولاتور در حالت الف- تک بیتی و ب- دو بیتی.....۸۵

نمایه ۵-۳ : چگالی طیفی خروجی مدولاتور ایده آل در حالت الف - تک بیتی و ب- دو بیتی.....۸۶

نمایه ۵-۴ : شبیه سازی ساختار جبرانساز تاخیر پیشنهادی در سیمولینک.....۸۷

نمایه ۵-۵: مقایسه کارکرد ساختار جبرانساز پیشنهادی با روش های جبرانسازی با DAC کمکی و شاخه پسخور اضافی..... ۸۸

نمایه ۵-۶: مدولاتور پیوسته مرتبه ۳ با ضرایب : k3=0.235 , k2= 0.12 , k1=0.03.....۸۹

نمایه ۵-۷: شبیه سازی مدولاتور مرتبه سه با نویز جمع شونده برآمده از جیتر در محیط سیمولینک.....۸۹

نمایه ۵-۸: اندازه تابع شبکه نویز مدولاتور شکل (۵-۶) ..... ۹۰

نمایه ۵-۹:تبدیل دامنه آنالوگ به پالس زمان..... ۹۲

# گفتار نخست: دیباچه

**پیشگفتار**

**آشنایی با مبدل‌های داده**

**مروری بر مبدل‌های داده**

**مبدل های دلتا سیگما: بیش‌نمونه‌برداری و شکل‌دهی به نویز**

**مدولاتور دلتا-سیگمای پیوسته**

**ساختار پایان‌نامه**

## ۱-۱ پیشگفتار

داده‌های موجود درجهان پیرامون ما، سیگنال‌های آنالوگ هستند، ولی پردازش آن‌ها بیشتر با به‌کارگیری سامانه-های (سیستم) دیجیتال انجام می‌شود. بر پایه نمایه (۱-۱) مبدل‌ها ابزاری برای جابه‌جایی داده‌ها مابین جهان آنالوگ و پردازنده‌های دیجیتال هستند.

مبدل آنالوگ به دیجیتال[۱]، سیگنال آنالوگ (پیوسته در زمان و دامنه) را به سیگنالی دیجیتال (گسسته در زمان و دامنه) برمی‌گردانند (تبدیل می‌کنند) تا با بهره‌گیری از سامانه‌های دیجیتال، پردازش دلخواه روی آن انجام شود. چنانچه بخواهیم داده را دوباره به جهان پیرامون خود بازگردانیم به مبدل دیجیتال به آنالوگی[۲] هم نیازخواهیم داشت.

## ۱-۲ آشنایی با مبدل‌های داده

بخش‌های برجسته مبدل ADC در نمایه (۱-۲) نشان داده شده است[۱]. نخست سیگنال آنالوگ ورودی از پالایه‌ای با نام پالایه ضدتداخل[۳] می گذرد. انگیزه گذاشتن این پالایه، کران‌پذیر (محدود) کردن پهنای باند سیگنال برای پدید آوردن شرایط نمونه‌برداری (شرایط نایکویست) است. سپس سیگنال گذر کرده از پالایه، با بسامد $f_s$ نمونه‌برداری می‌شود (نمونه‌ها با فاصله $T_s = \frac{1}{f_s}$ گرفته شده‌اند). از دید ریاضی، روند نمونه‌برداری را می‌توان با روش ضرب سیگنال در قطار ضربه نشان داد[۲] :

$$x^*(t) = \sum x(t)\delta(t - nT) \qquad (۱-۱)$$

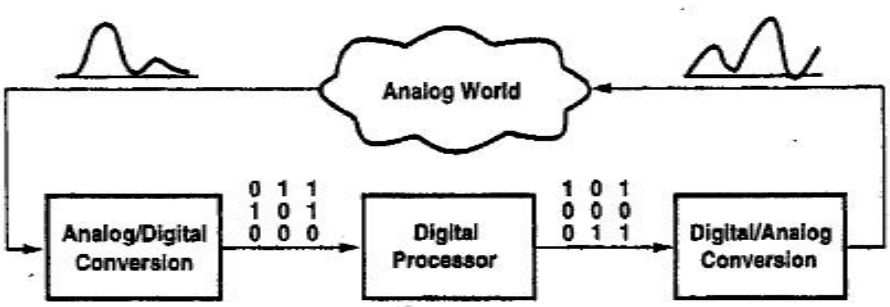
در گام نمونه‌برداری، بستگی میان بسامد[۴] نمونه‌برداری و پهنای باند سیگنال برجسته است. بر پایه نوشتار (مقاله) نایکویست، برای آنکه بتوان سیگنال نمونه‌برداری شده را از نمونه‌های گرفته شده دوباره بازسازی کرد، بسامد نمونه-برداری باید دست‌کم دو برابر پهنای باند سیگنال باشد. اگر طیف بسامدی سیگنال عبوری از پالایه به مانند نمایه (۱-۳) باشد، چنانچه بسامد نمونه‌برداری کمتر از دو برابر پهنای باند سیگنال باشد، طیف سیگنال نمونه‌برداری شده در نمایه (۱-۴) به گونه‌ای است که نمی‌توان طیف سیگنال آنالوگ ورودی را جدا کرد. این اثر را تداخل[۵] می گویند. از دیگر سو اگر شرایط نایکویست پا برجا باشد، طیف سیگنال نمونه‌برداری شده مانند نمایه (۱-۵) است و می‌توان سیگنال آنالوگ ورودی را بازیابی کرد. هنگامی‌که بسامد نمونه‌برداری دو برابر پهنای باند سیگنال باشد، می‌گوییم نمونه‌برداری با **نرخ نایکوئیست** انجام شده است.

---

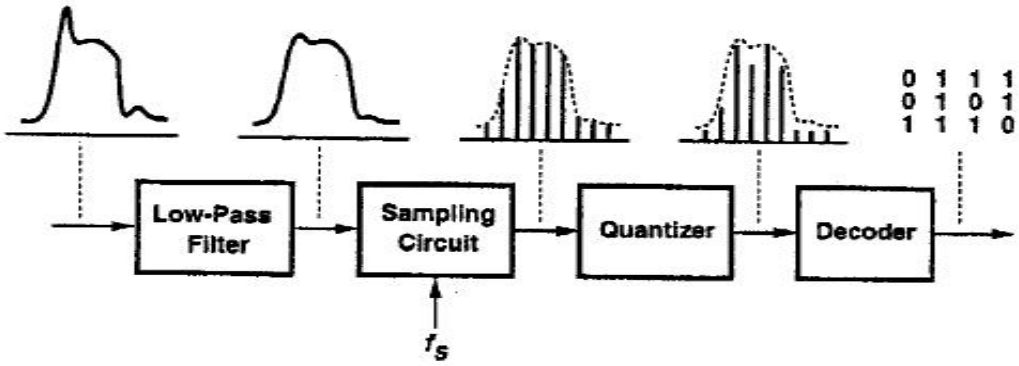
۱ Analog to Digital Converter (ADC)
۲ Digital to Analog Converter (DAC)
۳ Anti-Aliasing filter
۴ frequency
۵ Aliasing

در کارهای عملی بسامد نمونه‌برداری کمی بیشتر از دو برابر پهنای باند سیگنال است. نسبت میان بسامد نمونه-برداری و دو برابر پهنای باند سیگنال را با پارامتری به نام نرخ بیش نمونه نمونه‌برداری نشان می‌دهیم[۳]:

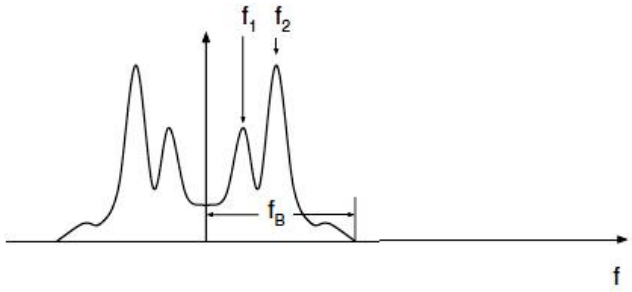
$$OSR = \frac{f_s}{2 f_B} \qquad (۲-۱)$$



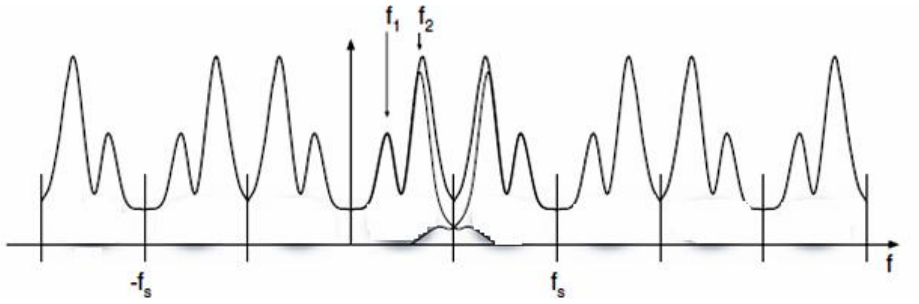

نمایه۱- ۱: مبدل های داده رابطی بین پردازنده های دیجیتال و جهان واقعی [۱]



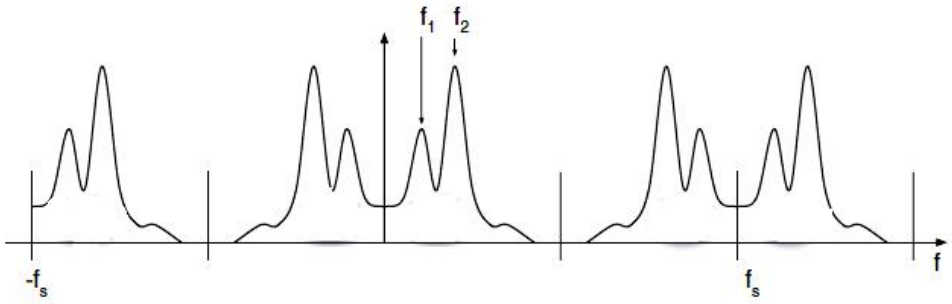

نمایه ۱-۲ : بخش های اصلی تشکیل دهنده یک مبدل آنالوگ به دیجیتال [۱]




نمایه ۱-۳ : طیف بسامدی سیگنال ورودی به مبدل




نمایه ۱-۴ : تداخل در طیف بسامدی سیگنال خروجی مدار نمونه گیر به علت عدم رعایت شرایط نایکوئیست




نمایه ۱-۵: امکان بازیابی طیف اصلی سیگنال نمونه گیری شده با رعایت شرایط نایکوئیست

هرچه این نسبت بزرگتر باشد، با رویکرد به نمایه (۱-۶)، پالایه ضدتداخلی، باند گذر نرمتری دارد که بنابراین طراحی آن نیز ساده‌تر خواهد بود.

پیامد گام نمونه‌برداری، شماری اندازه دامنه سیگنال در زمان‌های گوناگون است. سپس این اندازه‌ها به اندازه‌های از پیش گماشته شده (سطوح کوانتیزاسیون) گرد می‌شوند. به این کار، کوانتیزه کردن اندازه نمونه‌ها می‌گویند. سرانجام سطوح کوانتیزاسیون با روش‌های کدگذاری گوناگون به رشته‌های ۰ و ۱ گردانده می‌شوند.

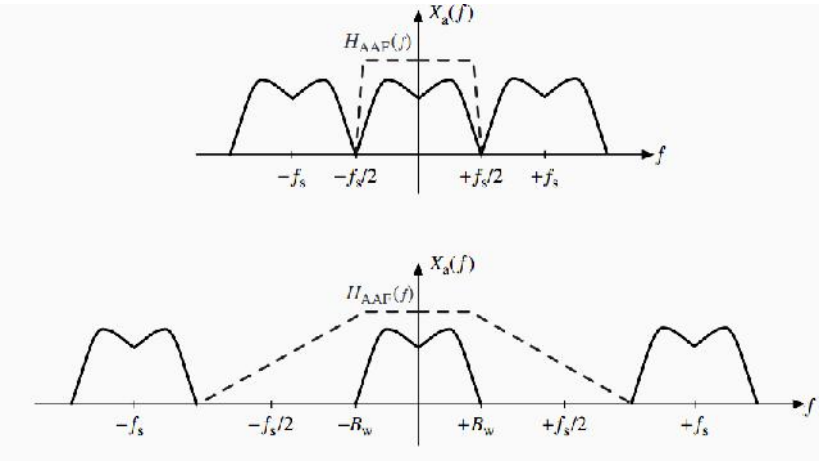
### ۱-۲-۱ کوانتیزاسیون

ورودی مبدل، سیگنالی آنالوگ و خروجی آن رشته‌ای از صفر و یک‌ها است. اندازه نمونه گرفته شده از دامنه سیگنال با رشته‌ای N - بیتی در خروجی نمایش داده می‌شود. بنابراین شمار سطوح کوانتیزاسیون برابر با $2^N$ سطح است. اگر گستره دگرگونی سیگنال ورودی کوانتایزر میان $-\frac{V_{FS}}{2}$ تا $+\frac{V_{FS}}{2}$ باشد، کمینه دگرگونی در سطح ولتاژ ورودی که می‌تواند یک بیت در خروجی آن را برگرداند، برابر است با:

$$\Delta = \frac{V_{FS}}{2^N} \qquad (۳-۱)$$

$\Delta$ را گام کوانتیزاسیون می‌نامند. برای نمونه در نمایه (۱-۷) از موج سینوسی نمونه‌برداری شده است. گستره دگرگونی اندازه‌های نمونه‌برداری شده (در ورودی کوانتایزر) بین ۱- تا ۱ ولت (یا آمپر) است که به چهار سطح (در

خروجی کوانتایزر) کوانتیزه می‌شود (کوانتایزر دو بیتی) و سرانجام چنانچه در نمایه (۱-۸) نشان داده شده است، هر سطح کوانتیزاسیون با یک کد دو رقمی هم‌ارز می‌شود.

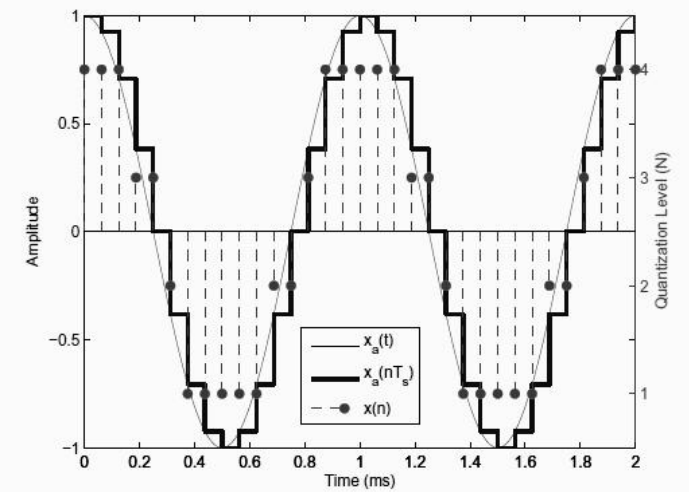



نمایه ۱-۶: پالایه ضد تداخل برای (الف) مبدل آنالوگ به دیجیتال با نرخ نایکوئیست و (ب) مبدل آنالوگ به دیجیتال با نرخ بیش نمونه‌برداری [۸]

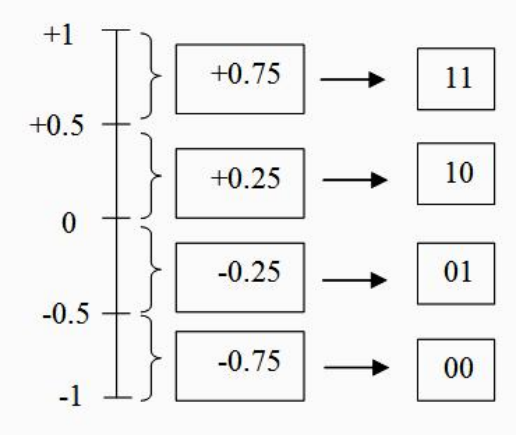
اندازه میان سطوح کوانتیزاسیون برابر است با:

$$\Delta = \frac{V_{FS}}{2^N} = \frac{1-(-1)}{2^2} = 0.5 \qquad (۴-۱)$$

بنابراین با هر تغییر نیم واحدی در دامنه ورودی کوانتایزر، یکی از ارقام در کد دو بیتی دگرگون می‌شود. سیگنال $e(n) = x_a(nT_s) - x(n)$، که تفاوت اندازه نمونه‌گیری و کوانتیزه شده است را خطای کوانتیزاسیون می‌گویند که شکل تغییرات آن به شکل موج ورودی کوانتایزر بستگی دارد. رابطه بین ورودی و خروجی کوانتایزر با یک منحنی مشخصه نمایش داده می‌شود. در نمایه (۱-۹) منحنی مشخصه یک کوانتایزر تک بیتی و کوانتایزر چندبیتی به همراه منحنی‌های خطای کوانتیزاسیون آن‌ها نمایش داده شده است. $q(n)$ ، ورودی و $y(n)$ ، خروجی کوانتایزر و $k_q$ (شیب منحنی مشخصه کوانتایزر) ، بهره کوانتایزر است. در حالت ایده‌آل که گستره تغییرات ورودی و خروجی کوانتایزر یکسان است، بهره کوانتایزر برابر با یک است ولی همیشه گستره تغییرات ورودی و خروجی کوانتایزر یکسان نیست و بسته به ساختارهای مختلف، بهره کوانتایزر می‌تواند مقداری غیر از یک باشد.



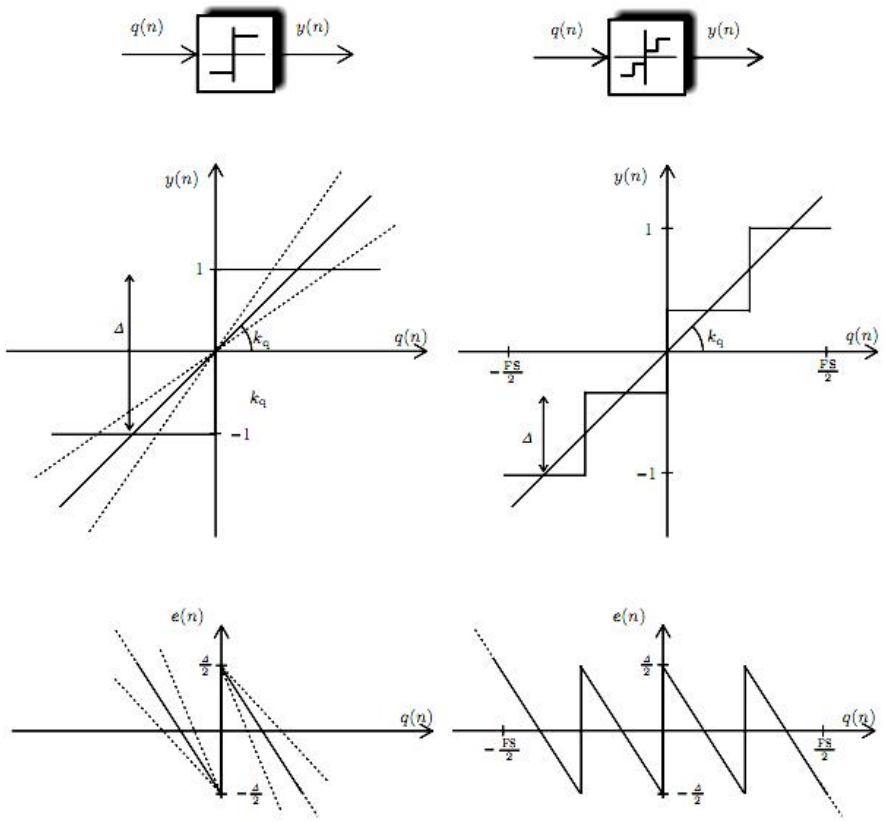

نمایه ۱-۷: نمونه برداری و کوانتیزه کردن سیگنال سینوسی ورودی به کوانتایزر



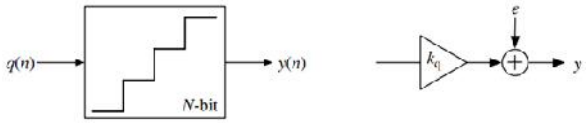

نمایه ۱-۸ : سطوح کوانتیزاسیون و کدهای دیجیتال خروجی کوانتایزر

تا زمانی که گستره تغییرات ورودی کوانتایزر میان $-\frac{V_{FS}}{2}$ و $+\frac{V_{FS}}{2}$ باشد، تغییرات خطای کوانتیزاسیون در گستره $-\frac{\Delta}{2}$ تا $+\frac{\Delta}{2}$ خواهد بود. ولی اگر ورودی کوانتایزر از مرز مشخصی بیشتر شود، خطای کوانتیزاسیون بطور یکنوا افزایش می‌یابد، که در این حالت گفته می‌شود کوانتایزر دچار اضافه بار[۱] یا سرریز شده است. در عمل کوانتایزر المانی غیرخطی است (کوانتایزر تک بیتی رفتاری خطی دارد ولی کوانتایزر چند بیتی بسیار غیرخطی است) و ریخت موج منحنی خطای کوانتایزر به ریخت موج ورودی آن بستگی دارد. گاهی در عمل می‌توان خطای کوانتیزاسیون را نویزی سفید با تابع توزیع احتمال یکنواخت در گستره $[-\frac{\Delta}{2},+\frac{\Delta}{2}]$ پنداشت که هیچ وابستگی به ورودی کوانتایزر ندارد[۴] و [۵]. بنابراین می‌توان کوانتایزر را نویز جمع شونده خطی دانست. این مدل خطی مایه سادگی تحلیل مبدل‌های داده می‌شود. نمایه های (۱-۱۰) و (۱-۱۱)، تابع توزیع احتمال، تابع چگالی توان و مدل خطی کوانتایزر را نشان می‌دهند.

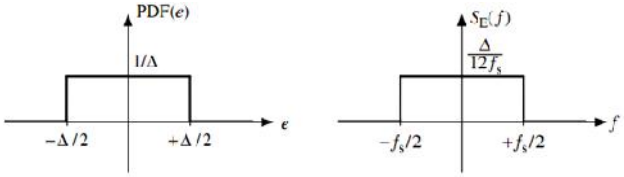
[۱] Over load




نمایه ۱-۹: منحنی مشخصه کوانتایزر های تک بیتی و چند بیتی به همراه خطای کوانتیزاسیون با فرض سیگنال ورودی شیب [۸]




نمایه ۱-۱۰: مدل خطی کوانتایزر




نمایه ۱-۱۱: تابع توزیع احتمال و چگالی توان نویز کوانتیزاسیون [۸]

با رویکرد به نمایه (۱-۱۱)، همه توان نویز کوانتیزاسیون برابر است با:

$$\overline{e^2} = \pm_e^2 = \int_{-\infty}^{+\infty} e^2 PDF(e)de = \frac{1}{\Delta}\int_{-\frac{\Delta}{2}}^{+\frac{\Delta}{2}} e^2 de = \frac{\Delta^2}{12} \qquad (۵-۱)$$

از آنجا کهتوان نویز کوانتیزاسیون روی سراسر گستره بسامدی $[-\frac{f_s}{2},+\frac{f_s}{2}]$ ، یکنواخت پخش می‌شود، چگالی توان نویز برابر است با :

$$\overline{e^2}=\int_{-\infty}^{+\infty}S_e(f)df=S_e\int_{-\frac{f_s}{2}}^{+\frac{f_s}{2}}df=\frac{\Delta^2}{12}\Rightarrow S_e=\frac{\overline{e^2}}{f_s}=\frac{\Delta^2}{12\,f_s} \qquad (۶-۱)$$

**۱-۲-۲ مبدل‌های نایکویست و بیش نمونه بردار**

مبدل‌ها را می‌توان بر پایه بسامد نمونه‌برداری دو بخش کرد :

۱- مبدل‌های نایکویست

۲- مبدل‌های بیش نمونه بردار

مبدل‌های نایکویست دارای نرخ بیش نمونه برداری کوچکی (معمولا کمتر از ۴ ) هستند. ولی این نرخ برای مبدل-های بیش‌نمونه‌گیر، اندازه بزرگی دارد. اندازه بزرگ این عدد در مبدل‌های بیش‌نمونه‌گیر، دقت[۱] این نوع مبدل‌ها را در سنجش با گونه نایکویست بهبود می‌بخشد. رابطه (۱-۶) کل توان نویز کوانتیزاسیون را نشان می‌دهد. اگر بخواهیم توان نویز را در باند سیگنال[۲] بیابیم، خواهیم داشت:

$$IBN=\int_{-f_B}^{f_B}£_Q{}^2(f)df=\frac{P_Q}{\left(\frac{f_s}{2\,f_B}\right)}\rightarrow IBN=\frac{\Delta^2}{12\times OSR} \qquad (۷-۱)$$

همان‌گونه که نمایه (۱-۱۲) نشان می‌دهد با افزایش نرخ بیش نمونه‌برداری، بهره باند سیگنال از کل توان نویز، کوچکتر می‌شود. دقت شود که با افزایش نرخ بیش نمونه‌برداری (یا افزایش بسامد نمونه‌برداری) اندازه توان نویز در سراسر گستره بسامدی تغییر نمی‌کند ولی اندازه توان نویز در گستره بسامدی سیگنال کاهش می‌یابد.

افزون بر این، مبدل‌های نایکویست از اثرات غیرایده‌آل مداری (بهره کم آپ امپ‌ها ، نویز ترانزیستورها ، تطبیق نامناسب میان مقاومت‌ها و خازن‌ها و ... ) بسیار تاثیر می‌پذیرد. ولی مبدل‌های بیش نمونه‌بردار را می‌توان با قطعات آنالوگ ساده با خطای ساخت بالا نیز پیاده سازی کرد. و این برتری دیگر این مبدل‌ها است[۶].

---

۱ Resolution

۲ In-band noise