دانشگاه صنعتی نوشیروانی بابل

دانشکده مهندسی برق و کامپیوتر

موضوع:

مدلسازی غیرخطی یک حلقه قفل شده تاخیر

جهت اخذ درجه کارشناسی ارشد

مهندسی برق گرایش الکترونیک

استاد راهنما:

جناب دکتر غلامرضا اردشیر

نگارش:

فاطمه غلامی

بهمن ۱۳۹۰

تقدیم به :

پدر و مادر عزیزتر از جانم که بی شک همانند چراغی پرنور این مسیر پرفراز و نشیب را برایم روشن کردند

و همسرم که با همدلی هایش همیشه در این راه مرا یاری کرد

و امیررضای گلم که با شیطنت هایش خستگی را از وجودم پاک کرد

و محدثه عزیزم که با رفتن ناگهانی اش قلب ما را در اندوه باقی گذاشت

با سپاس از رهنمود های استادان ارجمندم آقایان دکتر اردشیر و دکتر میار نعیمی که بی شک بدون رهنمایی های ایشان این پایان نامه به پایان نمی رسید

مدلسازی غیرخطی یک حلقه قفل شده تاخیر

چکیده

تاکنون مدل هایی که برای تحلیل یک حلقه قفل شده تاخیر[1] ارائه شده است ، مدل های خطی بوده اند، اما به دلیل طبیعت غیر خطی یک DLL ، این مدل ها اگرچه تقریب خوبی به دست می دهند اما هنوز نتوانسته اند نیاز طراحان را بر طرف سازند. از این رو در این پایان نامه سعی شده مدل غیرخطی دقیقی ارائه کنیم که بتواند به طراحان در تحلیل آن کمک کند. این مدل می تواند رفتار گذرای یک DLL را تا رسیدن به حالت آرامش پیش بینی کند. از آنجایی که در حلقه های قفل شده تاخیر ، بلوک های پمپ شارژ به همراه آشکارساز فاز را می توان خطی در نظر گرفت ، در این رساله ابتدا مدل غیرخطی خط تاخیر کنترل شده ولتاژ را بدست آورده و سپس از روی آن مدل کلی یک DLL را تعیین کردیم. این مدل را در محیط MATLAB Simulink شبیه سازی کردیم .برای مقایسه و آزمایش این مدل، یک DLL را در محیط ADS بستیم. مشخصات این مدار به این صورت است که خط تاخیر کنترل شده ولتاژ در این مدار از ۲۲ سلول تاخیر با بار های دیودی استفاده می کند و فرکانس کاری مدار ۱۶MHZ می باشد. آشکارساز فاز در آن از نوع فلیپ فلاپ و فیلتر حلقه از یک خازن موازی تشکیل شده است.

کلمات کلیدی: حلقه قفل شده تاخیر ، خط تاخیر کنترل شده ولتاژ ، آشکارساز فاز ، پمپ شارژ

[1] DLL

فهرست مطالب

عنوان	صفحه
فصل اول : مقدمه	۱
۱-۱ انگیزه	۲
۱-۲ اهداف پایان نامه	۳
۱-۳ روند ارائه مطالب	۳
فصل دوم: ساختارهای DLL	۴
۲-۱ مقدمه	۵
۲-۲ مثالی از عملکرد DLL در سنتزکننده فرکانسی	۵
۲-۳ انواع DLL	۷
۲-۳-۱ از جهت معماری DLL	۷
۲ -۳-۱-۱ DLL نوع اول که در آن سیگنال مرجع ورودی با سیگنال تاخیر یافته خود مقایسه می شود	۷
۲-۳-۱-۲ DLL نوع دوم که در آن سیگنال مرجع ورودی با سیگنال تاخیر یافته یک سیگنال تصحیح نشده مقایسه می شود	۸
۲-۳-۲ از جهت خط تاخیر	۹
۲-۳-۲-۱ DLL دیجیتال	۱۰
۲-۳-۲-۱-۱ خط تاخیر کنترل شده ولتاژ دیجیتالی	۱۱
۲-۳-۲-۱-۲ آشکارساز فاز دیجیتال	۱۵

۲-۳-۲-۱-۲-۱ آشکار ساز فاز دو حالته ۱۶
۲-۳-۲-۱-۲-۲ آشکار ساز فاز سه حالته ۱۷
۲-۳-۲-۱-۳ فیلتر حلقه دیجیتالی ۱۹
۲-۳-۲-۲ DLL آنالوگ ۲۰
۲-۳-۲-۲-۱ آشکارساز فاز آنالوگ ۲۰
۲-۳-۲-۲-۲ پمپ شارژ آنالوگ ۲۲
۲-۳-۲-۲-۳ فیلتر حلقه آنالوگ ۲۶
۲-۴ مهمترین فاکتور های DLL ۲۹
۲-۵ موضوعات طراحی ۲۹
۲-۵-۱ اندازه گیری های عملی ۲۹
۲-۵-۲ پارامتر های طراحی ۳۱
۲-۵-۳ مصالحه های طراحی ۳۱
۲-۶ جیتر در DLL ۳۳
۲-۷ گستره قفل در DLL ۳۶
فصل سوم: مدل های خطی ارائه شده در تحلیل DLL ها ۳۸
۳-۱ مقدمه ۳۹
۳-۲ مدل حوزه لاپلاس ۴۰
۳-۲-۱ DLL آنالوگ مرتبه اول با فیلتر RC ۴۲
۳-۳ مدل شیفت فاز با تاخیر ۴۵

۳-۳-۱ مدل شیفت فاز با تاخیر در DLL آنالوگ مرتبه اول با فیلتر RC ۵۳

۳-۳-۲ مدل شیفت فاز با تاخیر در DLL آنالوگ مرتبه اول با پمپ شارژ و انتگرالگیر ۵۶

فصل چهارم: طراحی DLL آنالوگ در شبیه ساز ADS ۶۱

۴-۱ مقدمه ۶۲

۴-۲ طراحی خط تاخیر کنترل شونده با ولتاژ ۶۲

۴-۲-۱ ملاحظات مرتبط با گین ۶۴

۴-۲-۲ ملاحظات ولتاژ سوئینگ ۶۵

۴-۲-۳ طراحی ۶۶

۴-۳ طراحی آشکارساز فاز ۷۱

۴-۴ طراحی پمپ بار و فیلتر حلقه ۷۵

فصل پنجم: مدلسازی غیر خطی DLL ۸۲

۵-۱ مقدمه ۸۳

۵-۲ محاسبه تاخیر در سلول تاخیر پایان نامه ۸۳

۵-۲-۱ بررسی سلول تاخیر در حالت بدون اثرگذاری مدولاسیون طول کانال ۸۳

۵-۲-۲ بررسی سلول تاخیر در حالت اثرگذاری مدولاسیون طول کانال ۸۷

۵-۳ تعیین رابطه غیر خطی تاخیر با ولتاژ کنترل ۹۰

۵-۴ طراحی DLL در محیط MATLAB ۹۳

فصل ششم: جمع بندی و نتیجه گیری ۹۸

۶-۱ جمع بندی و نتیجه گیری ۹۹

۶-۲ پیشنهاد برای کارهای آینده ۱۰۰

منابع و مراجع ۱۰۱

عناوین اشکال **صفحه**

شکل۱-۱:بلوک دیاگرام یک DLL ۲

شکل ۲-۱ عملکرد کلی یکDLL در سنتز کننده فرکانسی ۶

شکل ۲-۲ DLL نوع اول ۸

(در این نوع سیگنال مرجع با نوع تاخیر یافته خود در آشکارساز مقایسه می شود)

شکل ۲-۳ DLL نوع دوم ۸

(در نوع دوم سیگنال مرجع با نوع تاخیر یافته تصحیح نشده مقایسه می شود)

شکل ۲-۴ بلوک دیاگرام یک حلقه قفل شده تاخیرآنالوگ ۹

شکل۲-۵ بلوک دیاگرام یک DLL دیجیتال ۱۰

شکل ۲-۶ بلوک دیاگرام یک DLL دیجیتال با ماسین حالت ۱۲

شکل۲-۷ خط تاخیر کنترل شده دیجیتالی با استفاده از خط تاخیر و مالتی پلکسر ۱۲

شکل ۲-۸ زنجیره تاخیر دیجیتالی با مالتی پلکسر ها ۱۳

شکل۲-۹ زنجیره تاخیر کنترل شده دیجیتالی دو حلقه ای ۱۴

شکل ۲-۱۰ خط تاخیر کنترل شده با استفاده از اینورتر ۱۴

شکل ۲-۱۲ خط تاخیر متغیر ۱۵

(آ) با استفاده از گیت های اینورتر و NAND (ب) با گیت NAND (ج) با مالتی پلکسر

شکل۲-۱۳ زنجیره تاخیر با استفاده از اینور تر های بار دار شده خازنی ۱۶

شکل ۲-۱۴ (آ) آشکارساز دو حالته (ب)مشخصه فاز آن ۱۸

شکل ۲-۱۵ (آ) آشکارساز سه حالته (ب) مشخصه فاز ۱۸

شکل ۲-۱۶ (آ) جمع کننده دیجیتالی (ب) شمارنده چند بیتی ۱۹

شکل ۲-۱۷ آشکارساز فاز بر اساس گیت XOR ۲۰
شکل ۲-۱۸ آشکارساز اصلاح شده دارای دو خروجی ۲۱
شکل ۲-۱۹ آشکارساز فاز بر اساس فلیپ فلاپ ۲۲
شکل ۲-۲۰ آشکارساز دینامیک ۲۳
شکل ۲-۲۱ ساختار CP ساده ۲۴
شکل ۲-۲۲ (آ) یک ساختار ساده پمپ بار (ب) ساختار دیگر ۲۵
شکل ۲-۲۳ ساختار دیفرانسیلی پمپ بار ۲۶
شکل ۲-۲۴ DLL آنالوگ با فیلتر مقاومت خازنی ۲۷
شکل ۲-۲۵ پاسخ دامنه و فاز حلقه با فیلتر RC و فیلتر پمپ شارژ خازن موازی ۲۸
شکل ۲-۲۶ DLL پمپ شارژ آنالوگ با فیلتر حلقه خازنی ۲۹
شکل ۲-۲۷ معماری یک DLL به همراه اتصالات سیستم ۳۳
شکل ۲-۲۸ مدل خطی DLL با در نظر گرفتن نویز ورودی ۳۵
شکل ۲-۲۹ نمودار بد رابطه۲-۲ ۳۵
شکل ۲-۳۰ مدل خطی DLL با در نظر گرفتن نویز منبع و زیر ساختار ۳۶
شکل ۲-۳۱ نمودار بد رابطه ۲-۲ ۳۶
شکل ۳-۱ (آ) معماری رایج یک DLL (ب) مدل حوزه لاپلاس آن ۴۰
شکل ۳-۲ پاسخ دامنه و فاز حلقه بسته DLL آنالوگ با فیلتر آنالوگ ۴۴
شکل ۳-۳ معماری پایه یک DLL با اتصالات سیستم ۴۶
شکل ۳-۴ مدل خطی DLL پایه با اتصالات سیستم ۴۶
شکل ۳-۵ مدل خطی ساده شده DLL با اتصالت سیستم ۴۷
شکل ۳-۶ (آ) مدل خطی بافر ایده آل با تاخیر (ب) با تاخیر و جیتر ۴۸

شکل ۳-۷ (آ)مدل خطی یک VCDL با تاخیر و جیتر ۴۹
(ب)مدل آشکارساز فاز با یک عبارت تصحیح برای تاخیر n پریودی
شکل ۳-۸ مدل خطی ساده شده DLL با اتصالات سیستم و عبارت تاخیر ۵۱
شکل ۳-۹ پاسخ دامنه و فاز حلقه بسته DLL با فیلتر آنالوگ ۵۵
شکل ۳-۱۰ (آ) DLL آنالوگ با یک آشکارساز فاز و پمپ شارژ و انتگرالگیر خازنی ۵۸
(ب) مدل خطی شده سیستم
شکل ۳-۱۱ پاسخ دامنه و فاز حلقه بسته یک DLL پمپ شارژ ۵۹
شکل ۴-۱ دو حالت محتمل تابع تبدیل سلول تاخیر دهنده ۶۳
(آ) تابع غیر یکنواخت (ب)تابع یکنواخت
شکل ۴-۲ ساختار سلول تاخیر دهنده ۶۵
(آ) با بار مقاومتی (ب) با ترانزیستور بایاس شده در ناحیه تریودی به عنوان مقاومت بار
شکل ۴-۳ تاخیر ایجاد شده توسط سلول تاخیر طراحی شده ۷۱
شکل ۴-۴ (آ) ساختار آشکارساز فاز- فرکانس (ب) شکل موج مربوطه ۷۲
شکل ۴-۵ (آ)ساختار یک D فلیپ فلاپ با استفاده از گیت NOR (ب) ساختار یک PFD ۷۳
شکل ۴-۶ ساختار CML (آ) گیت NOR (ب) گیت NAND ۷۳
شکل ۴-۷ شکل موج های ورودی و خروجی گیت NOR ۷۴
شکل ۴-۸ شکل موج های ورودی و خروجی گیت NAND ۷۵
شکل ۴-۹ شکل موج های ورودی و خروجی در یک PFD ۷۶
شکل ۴-۱۰ مدار پمپ شارژ(CP) استفاده شده در پایان نامه ۷۷
شکل ۴-۱۱ نمودار تاخیر بر حسب ولتاژ کنترل سلول تاخیر پایان نامه ۷۷
شکل ۴-۱۲ شکل موج های ورودی و خروجی PFD و CP زمانی که A از B پیش می افتد ۷۹

شکل ۴-۱۳ شکل موج های ورودی و خروجی PFD و CP زمانی که B از A پیش می افتد ۷۹
شکل ۴-۱۴ ولتاژ کنترل در DLLپایان نامه ۸۰
شکل ۴-۱۵ شکل موج ورودی و خروجی VCDL ۸۰
شکل ٤-١٦ ولتاژ کنترل هنگامی که در زمان $2\mu sec$ پله فاز به DLL داده می شود ۸۱
شکل ۵-۱ سلول تاخیر پایان نامه ۸۴
شکل ۵-۲ گره های خروجی در پاسخ به پله ورودی ۸۵
شکل ۵-۳ ولتاژ خروجی در ولتاژ کنترل ۱.۵ ولت$\lambda = 0$ ۸۷
شکل ۵-۴ مقایسه ولتاژ خروجی تئوری و ADS در حالت $\lambda \neq 0$ ۹۱
شکل ٥-٥ نمودار تاخیر بر حسب ولتاژ کنترل ۹۱
شکل ۵-۶ نمودار تاخیر استفاده شده در پاین نامه ۹۲
شکل ۵-۷ برازش نمودار تاخیر پایان نامه با یک معادله درجه سه ۹۲
شکل ۵-۸ ساختار یک PFD در MATLAB ۹۳
شکل ۵-۹ شکل موج های ورودی و خروجی یک PFD در MATLAB ۹۴
شکل ۵-۱۰ ساختار یک CP به همراه بلوکPFD در محیط MATLAB ۹۴
شکل ۵-۱۱ شکل موج های ورودی و خروجی در CP در محیط MATLAB ۹۵
شکل ۵-۱۲ ساختار سلول تاخیر در محیط MATLAB ۹۶
شکل ۵-۱۳ ولتاژ کنترل DLL پایان نامه که به آرامش رسیده است. ۹۶
شکل ٥-١٤ مقایسه مدل خطی و مدل پیشنهادی با شبیه ساز ADS ۹۷

عناوین جدول **صفحه**

جدول ۲-۱ تعریف پارامتر های عملی یک DLL ۳۲

جدول ۴-۱ منطق گیت های NAND و NOR با ورودی های A و B ۷۴

جدول ۵-۱ ثابت های رابطه(۵-۲۰) ۸۹

جدول ۵-۲ تعاریف ثابت های رابطه ۵-۲۳ ۹۰

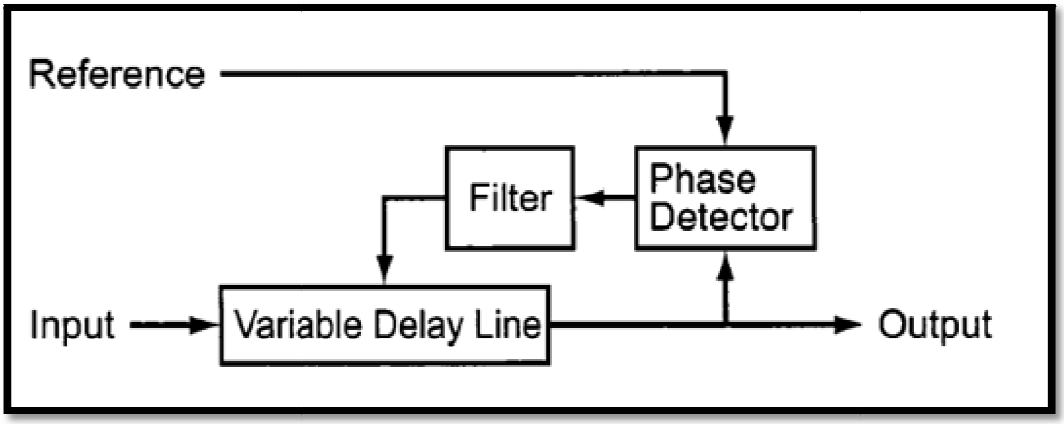
فصل اول:

مقدمه

۱-۱ انگیزه پروژه

حلقه های قفل شده تاخیر ، مدارهای فیدبک داری هستند که برای هم فاز نگه داشتن سیگنال های پریودیک به همراه فرکانس های مربوط به آن، استفاده می شود. بلوک دیاگرام یک حلقه قفل شده تاخیر کلی در شکل ۱-۱نشان داده شده است. این بلوک دیاگرام شامل یک آشکار ساز فاز ، خط تاخیر متغیر، و فیلتر پایین گذر است که در یک حلقه فیدبک به هم متصل شده اند . عملکرد DLL به این صورت است که، آشکار ساز فاز به تغییرات سیگنال خروجی و ورودی با تولید یک سیگنال تصحیح که با اختلاف فاز رابطه دارد، پاسخ می دهد. سیگنال تصحیح از فیلتر پایین گذر عبور داده می شود و به سیگنال کنترل یک خط تاخیر متغیر برای تطبیق فاز سیگنال خروجی فیدبک می شود .

این حلقه با یک فیلتر پایین گذر که یک قطب فرکانس پایین در مسیر فیدبک اضافه می کند، پایدار می شود و نویزی که طی نمونه برداری آشکار ساز فاز ، تولید می شود، را تضعیف می کند.



شکل۱-۱:بلوک دیاگرام یک DLL

کاربرد های وسیع PLL[۲] ها و همچنین DLL[۳] ها در سنتزکننده ها و باز خوانی کلاک و غیره استفاده از مدلی آسان برای تحلیل آنها را الزامی میکند. مدل های خطی ارائه شده تا حدودی نیاز طراحان را بر طرف می سازد ، اما هنوزکمبود مدلی دقیق برای تحلیل PLLها و DLL ها به خوبی احساس می شود . به همین دلیل انگیزه ای ایجاد شد تا در این پایان نامه تلاشی صورت گیرد و مدل دقیقی ارائه شود تا بتواند این کمبود ها را جبران کند. اینکه در این پایان نامه DLL انتخاب شده است در واقع فوایدی است که DLL نسبت به PLL دارد و کاربرد آنرا در مواقعی که به پایداری بیشتر و حساسیت به نویز کمتر نیاز است بیشتر می کند. در DLL ها وجود خط

[۲] Phase Locked Loop
[۳] Delay Locked Loop

تاخیر کنترل شده با ولتاژ (VCDL[۴]) به جای VCO [۵](در PLL ها) حساسیت به نویز کمتری ایجاد می کند زیرا نقطه تقاطع صفری که جا به جا شده باشد ،در پایان خط تاخیر ناپدید می شود در حالیکه در یک نوسان ساز مرتب می چرخد و خرابی بیشتری ایجاد می کند. پایداری بیشتر DLL نسبت به PLL هم به این دلیل است که در DLL ها فاز خروجی با ولتاژ کنترل به صورت مستقیم رابطه دارد اما در PLL ها فرکانس با ولتاژ کنترل رابطه دارد و این موجب می شود تا DLL ها یک مرتبه کمتر از PLL ها باشند و به هیم دلیل پایداری DLL بیشتر از PLL می باشد.

۱-۲ هدف پایان نامه

در این پایان نامه سعی شده تا مدلی ارائه شود که بتواند نیاز طراحان را برای طراحی DLL مناسب بر طرف سازد. با توجه به اینکه ترکیب CP[۶] و PFD[۷] را با هم می توان خطی در نظر گرفت ، بنابراین سعی شده تا مدل غیر خطی VCDL را در تئوری بدست آوریم و در محیط شبیه سازی MATLAB این مدل را بسته و نتیجه آنرا با ADS مقایسه می کنیم و درستی آنرا امتحان می کنیم . سپس در پایان معادله کلی DLL را نوشته و آنرا به صورت عددی حل کرده و نتیجه آنرا با نتیجه MATLAB مقایسه می کنیم.

۱-۳ روند ارائه مطلب

در این پایان نامه مطالب به صورت زیر ارائه می شود:

در فصل دوم انواع DLL ها از جهات مختلف بررسی شده و نحوه عملکرد DLL به طور کامل تشریح شده است و همچنین مثالی در کاربرد DLL در سنتز کننده فرکانسی مطرح شده است. در فصل بعدی ،مدل های خطی که تاکنون در DLL ارائه شده، توصیف شده و در فصل چهارم طراحی یک DLL در ADS به طور کامل تشریح شده و پاسخ پله آن را بدست آوردیم. در فصل پنجم مدل پیشنهادی برای DLL را بدست آورده ،سپس در محیط MATLAB Simulink این مدل را بسته و پاسخ پله آن را بدست می آوریم و همچنین در این فصل مدل کلی DLL را به صورت تئوری بدست می آوریم و نتیجه را مقایسه می کنیم. در پایان در فصل ششم نتیجه گیری و مقایسه انجام شده است.

---

[۴] Voltage Controlled Delay Line
[۵] Voltage Controlled Ossillator
[۶] Charge Pump
[۷] Phase Frequency Detector

فصل دوم:

ساختارهای DLL

۲-۱ مقدمه

حلقه های قفل شده تاخیر ، مدارهای فیدبک داری هستند که برای هم فاز نگه داشتن سیگنال های پریودیک به همراه فرکانس های مربوط به آن، استفاده می شوند. این ادوات معمولا در کاربرد های سنکرون سازی استفاده می شوند که به طور پیوسته باید فاز یک سیگنال با یک سیگنال دیگر تطبیق داده شود .DLLها به طور وسیع در میکروپروسسورها، I/O ها، حافظه ها و IC های مخابراتی به جهت کاهش تاخیر بافرینگ کلاک و بهبود حاشیه زمانی به کار گرفته می شود.آنها همچنین برای تولید سیگنال های کلاک چندتایی در روی تراشه[۸] استفاده می شوند. کاربرد اصلی یک DLL ، هم جهت سازی فاز بین کلاک ورودی و خروجی از طبقه آخر VCDL ، می باشد. بعد از برابر شدن فاز، هر طبقه تاخیر VCDL[۹] ، قادر است تا سیگنال کلاک پایداری فراهم کند که شیفت یافته کلاک ورودی است[۱] .

در یک DLL ، سیگنال کلاک ورودی از طریق VCDL انتشار می یابد و در هر طبقه تاخیر، شیفت فاز (یا تاخیر زمانی)ایجاد می کند. شیفت فاز هر طبقه تاخیر با ولتاژ فیلتر حلقه کنترل می شود.خروجی از یک طبقه تاخیر گرفته می شود. فاز سیگنال خروجی با فاز کلاک ورودی در PD مقایسه می گردد. خطای فاز تولید شده به وسیله PD (معمولا به شکل ولتاژ یا جریان) به CP (پمپ شارژ) منتقل می شود. CP از خطای فاز برای تطبیق ولتاژ فیلتر حلقه استفاده می کند و بنابراین تاخیر VCDL را تغییر می دهد.با داشتن چنین فیدبک منفی ، خطای فاز به تدریج کاهش می یابد تا اینکه سرانجام به صفر میل کند. در آن زمان ، تاخیر کل خط VCDL برابر با یک پریود کلاک می شود و ولتاژ فیلتر حلقه پایدار می شود و این به معنی قفل شدن DLL می باشد.

در این فصل ابتدا به معرفی حلقه قفل شده تاخیر (DLL)[۱۰] می پردازیم و در ادامه بلوک های مختلف آن را معرفی کرده و نحوه عملکرد آنها را شرح می دهیم.سپس انواع DLL را از جهات مختلف بیان می کنیم .

۲-۲ مثالی از عملکرد کلی یک DLL در یک سنتز کننده فرکانسی:

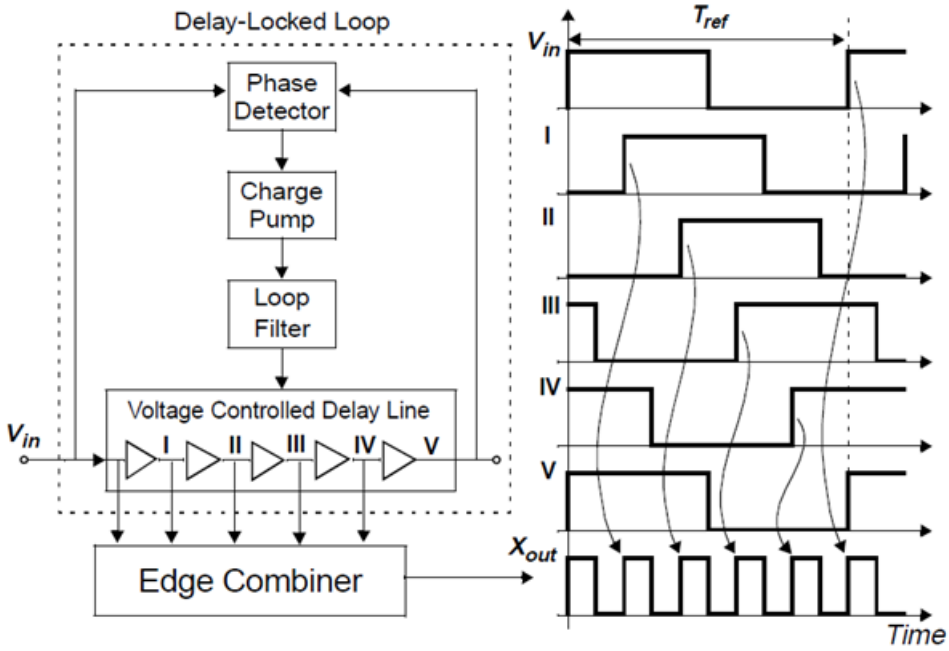
همانطور که در شکل ۲-۱ دیده می شود، فرکانس کریستال مرجع، ورودی زنجیره تاخیر در VCDL می باشد. خروجی هر عنصر تاخیر، تاخیر یافته شکل موج کریستال مرجع می باشد. آشکارساز فاز، اختلاف فاز بین ورودی و خروجی زنجیره تاخیر را می گیرد و یک سیگنال خطا تولید می کند. این سیگنال خطا، پمپ شارژی را کنترل

[۸] On chip
[۹] Voltage Controlled Delay Line
[۱۰] Delay Locked Loop

می کند که خروجی آن با فیلتر حلقه، فیلتر می شود. خروجی فیلتر، ولتاژ کنترلی است که زمان تاخیر هر طبقه تاخیر را تغییر می دهد تا خطای فاز را مینیمم کند.

زمانی که حلقه در شرایط قفل باشد، ورودی و خروجی زنجیره تاخیر ، هم فازند. خروجی های عناصر تاخیر، شکل موج هایی تولید می کنند که لبه های آنها یک پریود کریستال مرجع را تشکیل می دهند.

به عنوان مثال در همان شکل ۲-۱که از پنج طبقه تاخیر تشکیل شده، مشاهده می کنید که شکل موج خروجی اولین طبقه به اندازه $\frac{۱}{۵}T_{ref}$ ، تاخیر می یابد که T_{ref} ، پریود کریستال مرجع می باشد. شکل موج طبقه تاخیر دوم به اندازه $\frac{۱}{۵}T_{ref}$ از خروجی قبلی ، تاخیر می یابد و به همین ترتیب برای طبقات دیگر. زمانی که حلقه در شرایط قفل باشد، خروجی آخرین طبقه ، با شکل موج کریستال مرجع هم فاز است. خروجی DLL به طور یکسان ، پریود مرجع را به ۵ قسمت تقسیم می کند و مجموع تاخیر های زمانی طبقات تاخیر، دقیقا برابر با یک پریود مرجع ، T_{ref} ،می باشد.

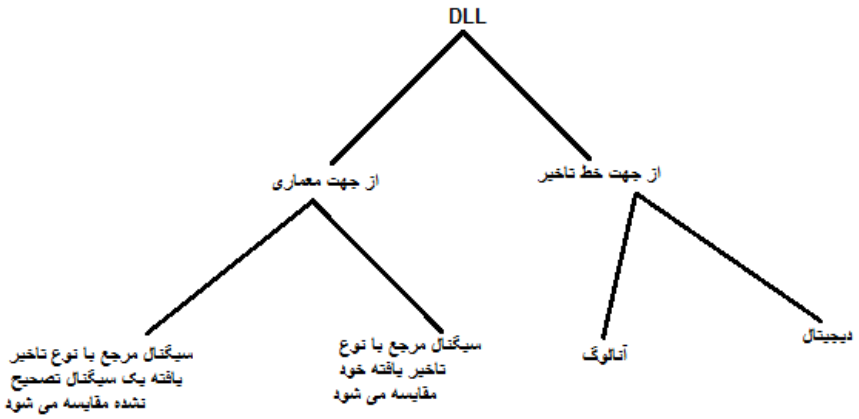


شکل۲-۱: عملکرد کلی یکDLL در سنتز کننده فرکانسی

برای تولید یک سیگنال RF ، بلوک ترکیب کننده لبه[۱۱]، نوساناتی در خروجی اسیلاتور محلی از لبه های بالارونده در خروجی DLL ، تولید می کند.

۲-۳ انواع DLL ها:

DLL ها را می توان از جهات مختلف تقسیم بندی کرد:



۲-۳-۱ از جهت معماری DLL :

DLL ها را می توان از جهت معماری به دو دسته تقسیم کرد. در نوع اول سیگنال مرجع با نوع تاخیر یافته خود مقایسه می شود و در نوع دوم سیگنال مرجع با سیگنال تاخیر یافته یک سیگنال تصحیح نشده مقایسه می شود.

۲-۳-۱-۱ DLL نوع اول که در آن سیگنال مرجع ورودی با سیگنال تاخیر یافته خود مقایسه می شود.

در این نوع که در شکل ۲-۲ نشان داده شده، کلاک مرجع ورودی CK_{ref} ، با نوع تاخیر یافته خودش در PD مقایسه می شود. این ساختار DLL ، اغلب برای سنتز فرکانسی، تولید کلاک و سنکرون سازی سیگنال، استفاده می شود. [۳],[۲]

[۱۱] Edge combiner