دانشکده فنی

پایان نامه کارشناسی ارشد

طراحی یک تنظیم‌کننده ولتاژ با افت پایین با کنترل‌کننده دیجیتال در فناوری CMOS

از:

فریما قراغان آبادی

استاد راهنما:

دکتر علیرضا صابرکاری

مهر ۱۳۹۲

بسم الله الرحمن الرحیم

دانشکده فنی

گروه مهندسی برق

گرایش الکترونیک

طراحی یک تنظیم‌کننده ولتاژ با افت پایین با کنترل‌کننده دیجیتال در فناوری CMOS

از:

فریما قراغان آبادی

استاد راهنما:

دکتر علیرضا صابرکاری

استاد مشاور:

دکتر علی حیدری

مهر ۱۳۹۲

تقدیم

به

پدر و مادر عزیزم به پاس عشق و حمایت، همیشگی شان

و

به خواهران عزیزم

تشکر و قدردانی

خداوند بزرگ و توانا را سپاس می‌گویم که همواره پناهم بوده و پیش از هر مطلبی، بر خود واجب می‌دانم که از زحمات استاد راهنمای ارجمندم جناب آقای دکتر علیرضا صابرکاری که در تهیه و تکمیل این پایان‌نامه همواره مرا راهنمایی و حمایت کرده‌اند، قدردانی نمایم. همچنین از خانواده‌ام که در تمامی مراحل زندگی مشوق و تکیه‌گاهم بوده‌اند بسیار سپاسگزارم.

فهرست مطالب

چکیده فارسی ..... ر

چکیده انگلیسی ..... ز

فصل اول ۱

مقدمه ۱

۱-۱ انواع تنظیم‌کننده‌های ولتاژ ۲

۱-۱-۱ تنظیم‌کنندگی خطی با بازده بالا ۳

۱-۱-۲ کاربردهای تنظیم‌کننده با افت کم ۴

۱-۱-۳ اساس تنظیم‌کننده‌های خطی با افت کم ۴

۱-۲ ساختارهای رایج تنظیم‌کننده‌های ولتاژ ۴

۱-۲-۱ شناسایی تنظیم‌کننده با افت کم ۷

۱-۲-۱-۱ مشخصات حالت استاتیک ۷

۱-۲-۱-۲ مشخصات حالت دینامیک ۸

۱-۲-۱-۳ مشخصات فرکانس بالا ۹

۱-۲-۱-۴ جریان خاموشی ۱۱

۱-۲-۱-۵ بازده تنظیم‌کننده با افت کم ۱۱

۱-۲-۱-۶ عنصر عبوری سری ۱۲

۱-۳ مصالحه بین مشخصات ۱۳

۱-۴ ساختار پایان‌نامه ۱۳

فصل دوم ۱۵

بلوک‌های اساسی تنظیم‌کننده ولتاژ LDO ۱۵

۲-۱ بلوک‌های اساسی تنظیم‌کننده ولتاژ ۱۶

۲-۱-۱ مراجع ولتاژ Bandgap ۱۶

۲-۱-۱-۱ مدارهای مرجع ولتاژ Bandgap رایج ۱۷

۲-۱-۲ تقویت‌کننده خطا ۱۸
۲-۱-۲-۱ تقویت‌کننده‌های عملیاتی یک طبقه ۱۸
۲-۱-۲-۲ تقویت‌کننده‌های عملیاتی دو طبقه ۱۹
۲-۱-۳ طراحی عنصر عبوری ۲۰
۲-۲ تنظیم‌کننده‌های ولتاژ با افت کم بدون خازن ۲۱
۲-۲-۱ موقعیت اولیه قطب‌های تنظیم‌کننده‌های ولتاژ با افت کم بدون خازن ۲۳
۲-۳ ویژگی‌های پاسخ گذرا ۲۴
۲-۳-۱ پاسخ فرکانسی ۲۶
۲-۴ مقاومت معادل سری ۲۸
۲-۵ دقت ولتاژ خروجی LDO ۲۹
فصل سوم ۳۱
طراحی تنظیم‌کننده LDO با کنترل اندازه ترانزیستور عبوری در تکنولوژی CMOS ۳۱
۳-۱ مقدمه ۳۲
۳-۲ نمونه‌هایی از تنظیم‌کننده‌های LDO معرفی شده تاکنون ۳۲
۳-۳ روش‌های مختلف جداسازی قطب‌ها برای حفظ پایداری ۳۵
۳-۴ روش‌های مختلف جداسازی قطب‌ها برای حفظ پایداری ۳۷
۳-۴-۱ استفاده از تکنیک بایاس دینامیکی ۳۹
۳-۵ مدار LDO پیشنهادی ۳۹
۳-۵-۱ تحلیل AC ۴۰
۳-۵-۲ بررسی رفتار دینامیکی تنظیم‌کننده LDO معرفی شده ۴۴
۳-۶ طراحی تنظیم‌کننده LDO با کنترل دیجیتال ترانزیستور عبوری ۴۷
۳-۶-۱ تنظیم‌کننده LDO پیشنهادی با کنترل دیجیتال اندازه ترانزیستور عبوری ۴۷
۳-۶-۲ تحلیل AC ۴۹
۳-۷ بررسی رفتار دینامیکی تنظیم‌کننده LDO دوم ۵۱

فصل چهارم ۵۳

نتایج شبیه‌سازی و مقایسه تنظیم‌کننده‌های LDO پیشنهادی ۵۳

۴-۱ مقدمه ۵۴

۴-۲ بررسی مدار LDO با کنترل تطبیقی ترانزیستور عبوری معرفی شده در بخش ۳-۵ ..... ۵۴

۴-۲-۱ مشخصه‌های استاتیکی ۵۵

۴-۲-۲ تحلیل AC ۵۶

۴-۲-۳ مشخصه‌های دینامیکی ۵۸

۴-۲-۴ مشخصه‌های فرکانس بالا ۶۰

۴-۲-۵ بازده و جریان خاموشی ۶۱

۴-۲-۶ توان دینامیکی مصرفی مدار LDO پیشنهادی ۶۳

۴-۲-۷ خلاصه نتایج ۶۴

۴-۳ بررسی مدار LDO با کنترل دیجیتال ترانزیستور عبوری ۶۵

۴-۳-۱ مشخصه‌های استاتیکی ۶۵

۴-۳-۲ مشخصه‌های دینامیکی ۶۷

۴-۳-۳ مشخصه‌های فرکانس بالا ۶۹

۴-۳-۴ بازده و جریان خاموشی ۶۹

۴-۳-۵ توان دینامیکی مصرفی مدار LDO پیشنهادی ۷۱

۴-۳-۶ خلاصه نتایج ۷۲

۴-۴ مقایسه نتایج ۷۳

فصل پنجم ۷۴

نتیجه‌گیری و کارهای آینده ۷۴

۵-۱ نتیجه‌گیری ۷۵

۵-۲ کارهای آینده ۷۵

مراجع ۷۶

فهرست جدول‌ها

جدول ۱-۱ مقایسه انواع مختلف عناصر عبوری LDO ۱۳

جدول ۳-۱ مقایسه نتایج ۴۵

جدول ۳-۲ مقایسه نتایج ۵۲

جدول ۴-۱ ابعاد ترانزیستورهای LDO شکل ۳-۸ ..... ۵۴

جدول ۴-۲ خلاصه نتایج شبیه‌سازی LDO شکل ۳-۸ ..... ۶۴

جدول ۴-۳ ابعاد ترانزیستورهای مدار LDO شکل ۳-۱۴ ..... ۶۵

جدول ۴-۴ خلاصه نتایج شبیه‌سازی LDO شکل ۳-۱۴ ..... ۷۲

جدول ۴-۵ مقایسه نتایج مدارهای LDO پیشنهادی با کارهای از پیش انجام شده ۷۳

فهرست شکل‌ها

شکل ۱-۱ مبدل‌های dc-dc ۳

شکل ۱-۲ تنظیم‌کننده خطی با بازده بالا ۴

شکل ۱-۳ ساختارهای تنظیم‌کننده ولتاژ خطی ۵

شکل ۱-۴ موقعیت قطب‌ها قبل از جبران‌سازی ۶

شکل ۱-۵ جبران‌سازی تنظیم‌کننده LDO رایج ۶

شکل۱-۶ مفهوم عملکرد PSRR در فرکانس بالا ۹

شکل ۱-۷ نسبت رد LDO ۱۰

شکل ۱-۸ ولتاژ نویز خروجی LDO ۱۰

شکل ۱-۹ جریان خاموشی LDO ۱۱

شکل ۱-۱۰عناصر عبوری LDO ۱۲

شکل ۲-۱ مدار مرجع bandgap معمول ۱۷

شکل ۲-۲ تولید یک جریان PTAT ۱۸

شکل ۲-۳ تقویت‌کننده عملیاتی CMOS یک طبقه ۱۹

شکل ۲-۴ تقویت‌کننده عملیاتی CMOS دو طبقه ۱۹

شکل ۲-۵ عنصر عبوری تنظیم‌کننده خطی LDO ۲۱

شکل ۲-۶ تنظیم کننده ولتاژ LDO بدون خازن ۲۲

شکل ۲-۷ ایجاد مسیر سریع برای جبران‌سازی در LDO بدون خازن ۲۲

شکل ۲-۸ موقعیت قطب‌ها برای تنظیم‌کننده LDO جبران نشده ۲۳

شکل ۲-۹ بلوک دیاگرام LDO نوع PMOS ۲۴

شکل ۲-۱۰ پاسخ گذرای یک LDO معمول به یک گام از جریان بار ۲۴

شکل ۲-۱۱ مدل معادل برای تحلیل AC ۲۶

شکل ۲-۱۲ پاسخ فرکانسی LDO تحت دو سطح جریان مختلف ۲۸

شکل ۲-۱۳رابطه پایداری با ESR ۲۹

شکل۲-۱۴ مدار معادل برای بارهای گذرای سریع ۳۰

شکل ۳-۱ ساختار LDOمعرفی شده در [۱۶]..... ۳۳
شکل ۳-۲ تنظیم‌کننده ولتاژ LDO با ردیابی صفر و قطب معرفی شده در [۱۷]..... ۳۳
شکل ۳-۳ هسته LDO با آشکارساز ولتاژ ضربه [۱۸]..... ۳۴
شکل ۳-۴ ساختار مداری LDO معرفی شده در [۱۹]..... ۳۵
شکل ۳-۵ پیاده‌سازی بافر جریان با استفاده از یک طبقه گیت مشترک و جاسازی آن در تقویت‌کننده خطا [۲۳]..... ۳۶
شکل ۳-۶ تغییرات ولتاژ خروجی مدار LDO نهایی شکل ۳-۵ به ازای تغییرات جریان بار..... ۳۷
شکل ۳-۷ معیار تجزیه ۳۸
شکل ۳-۸ ساختار مداری LDO پیشنهادی..... ۴۰
شکل ۳-۹ مدل سیگنال کوچک ساختار LDO پیشنهادی..... ۴۰
شکل ۳-۱۰ نمودار تقریبی مکان قطب‌ها و صفرها در تنظیم‌کننده LDO پیشنهادی..... ۴۲
شکل ۳-۱۱ پاسخ فرکانسی حلقه-باز LDO پیشنهادی..... ۴۴
شکل ۳-۱۲ شکل موج‌های ولتاژ خروجی به ازای تغییرات بار..... ۴۶
شکل ۳-۱۳ پاسخ گذرای مدار LDO پیشنهادی با خازن خروجی..... ۴۷
شکل ۳-۱۴ ساختار مداری تنظیم‌کننده LDO پیشنهادی با کنترل دیجیتال ترانزیستور عبوری..... ۴۸
شکل ۳-۱۵ مدل سیگنال کوچک LDO پیشنهادی..... ۴۹
شکل ۳-۱۶ پاسخ فرکانسی حلقه-باز LDO پیشنهادی دوم ۵۰
شکل ۳-۱۷ شکل موج‌های ولتاژ خروجی به ازای تغییرات جریان بار..... ۵۲
شکل ۴-۱ تنظیم بار LDO شکل ۳-۸..... ۵۵
شکل ۴-۲ تنظیم خط LDO شکل ۳-۸ به ازای مقادیر مختلف جریان بار ۵۶
شکل ۴-۳ تغییر ولتاژ خروجی به ازای تغییر دما در LDO شکل ۳-۸..... ۵۶
شکل ۴-۴ اثر تغییر فرایند ساخت بر پاسخ فرکانسی LDO شکل ۳-۸ به ازای $I_{out}=0$..... ۵۷
شکل ۴-۵ اثر تغییر فرایند ساخت بر پاسخ فرکانسی LDO شکل ۳-۸ به ازای $I_{out}=$ ۱mA..... ۵۷
شکل ۴-۶ اثر تغییر فرایند ساخت بر پاسخ فرکانسی LDO شکل ۳-۸ به ازای $I_{out}=$ ۱۰۰mA..... ۵۸
شکل ۴-۷ اثر تغییر C_b بر پاسخ فرکانسی LDO شکل ۳-۸ به ازای $I_{out}=1mA$..... ۵۸
شکل ۴-۸ پاسخ گذرای LDO شکل ۳-۸ به تغییرات جریان بار..... ۵۹
شکل ۴-۹ پاسخ گذرای LDO شکل ۳-۸ به تغییرات ولتاژ خط به‌ازای $I_{out}=$ ۱mA ۶۰

شکل ۴-۱۰ پاسخ گذرای LDO شکل ۳-۸ به تغییرات ولتاژ خط به‌ازای I_{out} =۱۰۰mA ۶۰
شکل ۴-۱۱ مقدار PSR در مدار LDO شکل ۳-۸ به‌ازای مقادیر مختلف جریان خروجی..... ۶۱
شکل ۴-۱۲ تغییرات جریان خاموشی به ازای تغییر جریان بار و ولتاژ ورودی در LDO شکل ۳-۸..... ۶۲
شکل ۴-۱۳ نمودار بازده LDO شکل ۳-۸ ..... ۶۲
شکل ۴-۱۴ نمودار بازده جریان مدار LDO شکل ۳-۸..... ۶۳
شکل ۴-۱۵مقایسه توان تلف شده در مدار پیشنهادی در دوحالت با استفاده وبدون استفاده از روش پیشنهادی..... ۶۳
شکل ۴-۱۶ تنظیم بار LDO شکل ۳-۱۴ به ازای ولتاژ ورودی ۳V و ۴V ۶۶
شکل ۴-۱۷ تنظیم خط LDO شکل ۳-۱۴ به ازای مقادیر مختلف جریان بار ۶۶
شکل ۴-۱۸ تغییر ولتاژ خروجی به ازای تغییرات دمایی ۲۰- تا ۷۰ درجه سانتیگراد در LDO شکل ۳-۱۴..... ۶۷
شکل ۴-۱۹ پاسخ گذرای مدار LDO شکل ۳-۱۴ به ازای تغییرات جریان بار..... ۶۸
شکل ۴-۲۰ پاسخ گذرای مدار LDO شکل ۳-۱۴ به ازای I_{Load} =۱mA و I_{Load} =۱۰۰mA ۶۸
شکل ۴-۲۱ PSR مدار LDO شکل ۳-۱۴ به ازای مقادیر مختلف جریان خروجی..... ۶۹
شکل ۴-۲۲ نمودار بازده جریانی LDO شکل ۳-۱۴ ..... ۷۰
شکل۴-۲۳ نمودار بازده LDO شکل ۳-۱۴ ..... ۷۰
شکل۴-۲۴ جریان خاموشی LDO شکل ۳-۱۴ به ازای تغییر جریان بار و ولتاژهای مختلف..... ۷۱
شکل ۴-۲۵ نمودار جریان خاموشی مدارهای LDO شکل‌های ۳-۸ و ۳-۱۴ به ازای جریان بار کوچک‌تر از ۱۰۰ µA..... ۷۱
شکل ۴-۲۶ مقایسه توان تلف شده در مدار پیشنهادی در دوحالت با استفاده وبدون استفاده از روش پیشنهادی..... ۷۲

فهرست علائم اختصاری

CMOS : Complementary Metal–Oxide–Semiconductor

C_{OX} : Thin oxide capacitance per unit

ESR : Electro-Static Resistance

FOM : Figure Of Merit

FVF : Flipped Voltage Follower

GBW : Gain-bandwidth product

g_m : Gate transconductance

L : Channel length

LDO : Low- Dropout Regulator

NMOS : N-channel Metal Oxide Semiconductor

PDA : Personal Digital Assistant

PMOS : P-channel Metal Oxide Semiconductor

PSRR : Power Supply Rejection Ratio

SR : Slew Rate

SOC: System On Chip

TSMC : Taiwan Semiconductor Manufacture Company

چکیده

طراحی یک تنظیم‌کننده ولتاژ با افت کم با کنترل‌کننده دیجیتال در فناوری CMOS

فریما قراغان آبادی

تنظیم‌کننده‌های ولتاژ با افت کم (LDO) یکی از مهم‌ترین بخش‌های سیستم مدیریت توان در مدارهای مجتمع هستند و امروزه با افزایش سیستم‌های بی‌سیم و وسایل قابل حمل کاربرد فراوانی در مدارهای مجتمع آنالوگ و دیجیتال یافته‌اند. هدف اصلی استفاده از یک تنظیم‌کنندهٔ ولتاژ ایجاد یک ولتاژ ثابت در خروجی به ازای تغییرات در ولتاژ خط و یا جریان بار است. این تنظیم‌کننده‌ها باید قابلیت جریان‌دهی به محدودهٔ وسیعی از بار را داشته باشند، در حالیکه خودشان در حالت بی‌باری توان ناچیزی را در مدار مصرف کنند. همچنین هنگام وقوع تغییرات آنی در ولتاژ خط یا جریان بار ولتاژ خروجی حتی‌الامکان باید ثابت بماند یا در زمان قابل قبولی به مقدار مطلوب خود برسد. در این مدارها برای داشتن قابلیت جریان‌دهی بالا از یک ترانزیستور عبوری با ابعاد بسیار بزرگ استفاده می‌شود که به علت ایجاد خازن پارازیتی قابل توجه، در برابر تغییرات بار عکس‌العمل کندی دارد. ایده اصلی این پروژه شکافتن این ترانزیستور به ترانزیستورهایی با ابعاد کوچک‌تر و کنترل آن‌ها به‌صورت پله‌ای متناسب با بار خروجی است. این کار می‌تواند به خاطر کوچک‌تر شدن خازن‌های پارازیتی سبب بهبود سرعت مدار و مدیریت بهتر جریان بی‌باری ترانزیستور شود. به همین منظور در این پایان‌نامه دو تنظیم‌کننده ولتاژ LDO معرفی شده است، طوری‌که به دو روش آنالوگ و دیجیتال به کنترل اندازه ترانزیستور عبوری پرداخته شده است. در هر مورد مدار LDO پیشنهادی با استفاده از نرم‌افزار HSPICE در تکنولوژی CMOS ۰/۳۵ µm برای ایجاد ولتاژ خروجی ۲/۸V به ازای ولتاژ ورودی ۳V شبیه‌سازی شده است. مدارهای LDO پیشنهادی قابلیت جریان‌دهی به محدوده وسیعی از بار (۰ تا ۱۰۰mA) را دارا هستند و به‌ازای جریان‌های بار کم، جریان خاموشی بسیار کوچکی دارند. در پایان نیز مقایسه‌هایی بین دو مدار LDO معرفی شده با یکدیگر و همچنین با سایر انواع LDOهایی که تاکنون معرفی شده‌اند صورت گرفته و برای هر دو مدار عدد شایستگی تقریباً مشابهی (۲۱≈) به‌دست آمده است.

کلید واژه : تنظیم‌کننده‌های ولتاژ با افت کم، ترانزیستور عبوری، بایاس دینامیک، جریان خاموشی کم، مدیریت توان

Abstract

Design of a Digitally Controlled CMOS Low-Dropout Regulator
Farima GharaghanAbadi

Low-dropout voltage regulators (LDO) are one of the most important parts of power management systems in integrated circuits and todays with increasing wireless systems and portable devices, they have found many applications in analog and digital integrated circuits. The main purpose of using a voltage regulator is to create a constant voltage against changing the line voltage or load current. These regulators should have the ability to provide a constant supply to a wide load range, while they consume low power at no load condition.When an instantaneous change occurs in line voltage or load current, output voltage should be remain constant or even come back to its optimal value immediately. These circuits use a larg size pass transistor to supply high load currents, leads to a large parasitic capacitance and slow transient response. The main idea of this thesis is to break down this large size pass transistor to smaller ones and control them with respect to output load currents. This idea can cause smaller parasitic capacitances and finally better and faster reaction of the circuit. For this purpose, two LDO circuits are introduced and each one can control pass transistor's size in a way which can control their pass transistor's size in analog and digital manner. These circuits are designed for 2.8V constant voltage at the output from 3V input voltage and simulated with HSPICE in a 0.35μm CMOS technology. They can supply a large range of load current (0-100mA) and have a very small quiescent current at low load conditions. Finally, a comparison has been done between two proposed LDOs with each other and with other last introduced LDOs and for both circuits, the same figure of merit (≈21) is obtained.

Keywords: Low-Dropout Regulators (LDOs), Pass Transistor, Dynamic Biasing, Low Quiescent Current, Power Management.

فصل اول

مقدمه

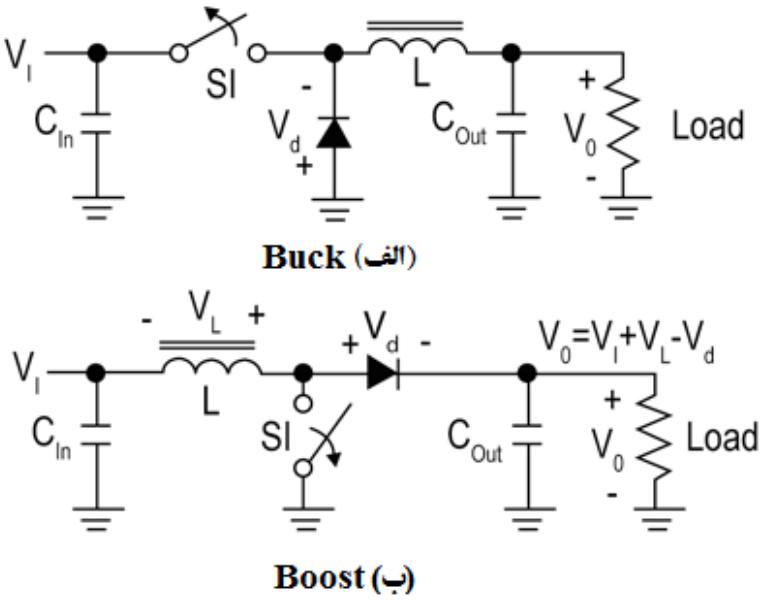
امروزه صنعت در حال پیشرفت به سوی طراحی تمام مجتمع است که این موضوع شامل پیشرفت مدیریت توان هم می‌باشد. در سال‌های اخیر بواسطهٔ استفادهٔ رو به گسترش از وسایل قابل حمل و وسیله‌هایی که با باتری کار می‌کنند، مانند لپ‌تاپ‌ها، موبایل و PDAها، مطالعه بر روی تکنیک‌های مدیریت توان به‌شدت افزایش یافته است. مدیریت توان به دنبال بهبود بازده توان وسیله‌هاست تا در نتیجهٔ آن طول عمر باتری و دستگاه طولانی‌تر شود. یک سیستم مدیریت توان شامل چندین زیرسیستم است که دربردارندهٔ تنظیم‌کننده‌های خطی، تنظیم‌کننده‌های سوئیچینگ و منطق کنترل می‌باشند. منطق کنترلی، ویژگی‌های هر زیرسیستم را با خاموش و روشن کردن خروجی‌ها و تغییر سطوح ولتاژ خروجی برای بهینه‌سازی مصرف توان وسیله تغییر می‌دهد [۱].

ما در اینجا بر روی تنظیم‌کننده‌های ولتاژ با افت کم (LDO) که بخش اساسی سیستم مدیریت توان را تشکیل می‌دهند و خطوط تغذیهٔ ولتاژ ثابت را فراهم می‌کنند، تمرکز می‌کنیم. آن‌ها جزء دسته‌ای از تنظیم‌کننده‌های خطی با بازده توان بهبود یافته قرار می‌گیرند. تنظیم‌کننده‌های ولتاژ با افت کم نسبت به تنظیم‌کننده‌های ولتاژ خطی استاندارد دارای چندین مزیت ذاتی هستند، که آن‌ها را برای سیستم‌های مدیریت توان مجتمع (on-chip) مناسب می‌سازد [۲]. یک سیستم مدیریت توان معمولاً شامل چندین تنظیم‌کنندهٔ با افت کم و تنظیم‌کنندهٔ سوئیچینگ می‌باشد. تنظیم‌کننده‌های با افت کم رایج به خازن خروجی نسبتاً بزرگی در حدود چند میکرو فاراد نیاز دارند. خازن‌هایی با این اندازه‌ها نمی‌توانند با استفاده تکنولوژی‌های موجود برای طراحی مجتمع تحقق یابند، بنابراین هر تنظیم‌کننده با افت کم برای قرار دادن خازن خروجی بزرگ بر روی برد به یک پایهٔ خروجی نیاز دارد [۱].

در اینجا می‌خواهیم اندازه ترانزیستور عبوری را در خروجی چنان کنترل کنیم که در شرایط جریان بار مختلف بین دو ساختار دوطبقه و سه طبقه تغییر کند. استفاده از این ایده تنظیم کننده با افت کم را به مصرف توان بسیار کم و پایداری بالا و پاسخ گذرای خوب می‌رساند.

۱-۱ انواع تنظیم کننده‌های ولتاژ

برای تنظیم و کنترل سطح ولتاژ خروجی در واحد مدیریت توان از دو دسته کلی تنظیم‌کننده‌های مد سوئیچینگ و تنظیم‌کننده‌های ولتاژ خطی استفاده می‌شود. تنظیم‌کننده‌های مد سوئیچینگ به سه دسته مبدل‌های dc-dc مدولاسیون عرض پالس (PWM)، مبدل‌های dc-dc رزنانس و تنظیم‌کننده‌های ولتاژ خازنی سوئیچ شده تقسیم بندی می‌شوند. تنظیم‌کننده‌های PWM کوچک، سبک و دارای بازده بالا هستند. این مبدل‌ها، بلوک مهمی در کاهش توان مصرفی دستگاه‌های الکترونیکی به‌شمار می‌روند. مبدل‌های dc-dc شامل مبدل Buck و مبدل Boost هستند که در شکل ۱-۱ نشان داده شده است. ولتاژ خروجی در مبدل Buck کمتر از ولتاژ ورودی، و در مبدل Boost بیشتر از ولتاژ ورودی است [۳].

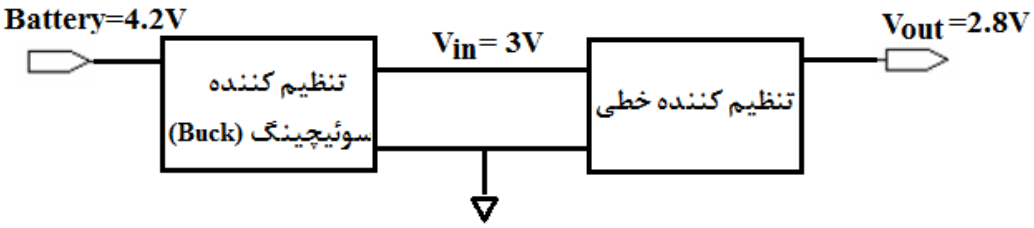


شکل ۱-۱ مبدل‌های dc-dc (الف) مبدل Buck (ب) مبدل Boost

تنظیم‌کننده‌های خطی شامل توپولوژی‌های سری و موازی می‌باشند. تنظیم‌کننده‌های خطی ولتاژ به عنوان یکی از اجزای اصلی در هر واحد مدیریت شناخته می‌شوند. که می‌توانند هم به تنهایی به‌کار روند و هم به دلیل فراهم آوردن ولتاژ ثابت کم‌نویز به عنوان پسا-رگولاتور بعد از مبدل‌های سوئیچینگ مورد استفاده قرار گیرند [۴]. یک واحد مدیریت توان پیشرفته برای کاربردهای درون-تراشه‌ای نیازمند تعداد زیادی تنظیم‌کننده ولتاژ به منظور راه‌اندازی المان‌ها و بلوک‌های عملیاتی مختلف است. وظیفه اصلی این مدارها ایجاد یک ولتاژ ثابت و داشتن قابلیت جریان‌دهی به محدوده وسیعی از بار است. اما داشتن پاسخ گذرای مناسب در برابر تغییرات آنی جریان بار و یا ولتاژ خط همواره باید مد نظر قرار گیرد. قابلیت مجتمع‌سازی کامل و اشغال سطح کمی از تراشه از دیگر پارامترهای مهم در طراحی این مدارها است. معمولاً مدارهای تنظیم‌کننده خطی را می‌توان به طور کامل مجتمع کرد و آن‌ها را در کاربردهای کم ولتاژ و کم توان مورد استفاده قرار داد [۳].

۱-۱-۱ تنظیم‌کنندگی خطی با بازده بالا

تنظیم‌کننده‌های خطی از بازده کم رنج می‌برند. بازده با میزان افت ولتاژ المان کنترلی رابطهٔ عکس دارد. گاهی اوقات تنظیم‌کننده‌های خطی پس از تنظیم‌کننده‌های سوئیچینگ به‌صورت پشت سر هم قرار می‌گیرند. تنظیم‌کننده‌های سوئیچینگ توانایی buck یا تقویت ولتاژ ورودی را به هر ولتاژ خروجی دلخواه با بازدهی نزدیک به ۱۰۰ درصد دارند. بنابراین، با استفاده تنظیم‌کننده‌های خطی و سوئیچینگ به‌صورت پشت سرهم، هم افت ولتاژ روی المان کنترلی کاهش یافته و هم بازده توان تنظیم‌کنندهٔ خطی افزایش می‌یابد. این مفهوم در شکل ۱-۲ نشان داده شده است.



شکل ۱-۲ تنظیم‌کنندهٔ خطی با بازده بالا [۱]

بدون تنظیم‌کنندهٔ سوئیچینگ، افت ولتاژ روی تنظیم‌کنندهٔ خطی V_{IN}-V_{OUT} به‌شدت افزایش خواهد یافت. تنظیم‌کنندهٔ سوئیچینگ برای حداقل کردن افت ولتاژ روی تنظیم‌کنندهٔ خطی تحت تمام شرایط بارگذاری طراحی شده است. برای کاهش اندازه و قیمت تنظیم‌کننده‌های سوئیچینگ می‌توان از Charge pumpها استفاده کرد [۱].

۱-۱-۲ کاربردهای تنظیم‌کنندهٔ با افت کم

تنظیم‌کننده‌های ولتاژ با افت کم دربردارندهٔ زیرمجموعهٔ کوچکی از عرصهٔ منبع تغذیه هستند. تنظیم‌کننده‌های ولتاژ افت‌کم در کابردهای آنالوگی که به دقتِ بالای خطوط تغذیه و نویز کم نیاز دارند استفاده می‌شوند. تنظیم‌کننده‌های ولتاژ تحت تمام شرایط بارگذاری یک خط ولتاژ تغذیهٔ ثابت فراهم می‌کنند. این شرایط شامل گذار سریع جریان و تغییرات سریع در امپدانس بار می‌باشند. مدارهایی که کار نمی‌کنند موقتاً خاموش می‌شوند تا توان مصرفی کل کاهش یابد. تنظیم‌کنندهٔ ولتاژ باید به سرعت به تقاضاهای سیستم و مدارهای متصل به آن پاسخ دهد [۱].

۱-۱-۳ اساس تنظیم کننده‌های خطی با افت کم

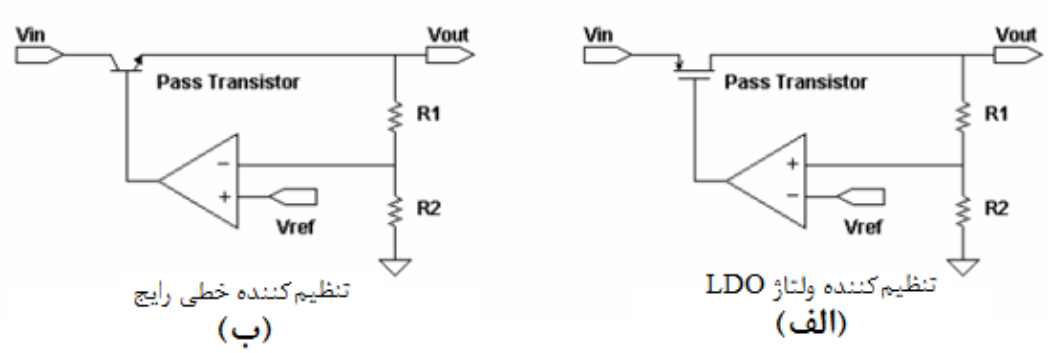
در ادامه مفاهیم اساسی عملیاتی LDOها، مانند تنظیم خط، تنظیم بار، میزان افت ولتاژ، جریان خاموشی، بازده توان و غیره معرفی خواهند شد. علاوه بر این، چندین نوع عنصر عبوری LDOها نیز مورد بحث قرار می‌گیرند، به‌عنوان مثال: تنظیم کننده‌های با افت کم نوع PMOS، تنظیم کننده‌های با افت کم نوع NMOS و غیره.

طراحی صحیح LDO نیاز به معلومات پیچیده‌ای از سیستم و بار آن دارد. وظایف ماکزیم کردن تنظیم بار، حفظ پایداری و مینیمم کردن تغییرات گذرای ولتاژ خروجی نشان‌دهنده این پیچیدگی هستند. طراح IC می‌تواند نوع تنظیم کنندهٔ خطی با افت کم را که باید برطبق نیازمندی‌ها استفاده شود انتخاب نماید [۵].

۱-۲ ساختارهای رایج تنظیم‌کننده‌های ولتاژ

تنظیم‌کننده‌های ولتاژ خطی به دو دستهٔ مختلف: تنظیم‌کننده‌های خطی رایج و تنظیم‌کننده‌های با افت کم تقسیم می‌شوند. تنها تفاوت ساختاری از جهت المان عبوری ناشی می‌شود. تنظیم‌کننده‌های ولتاژ خطی رایج برای تحقق به‌صورت ساختار تک ترانزیستوری یا دارلینگتون از آرایش سورس فالوور استفاده می‌کنند. در مقابل، تنظیم‌کننده‌های با افت کم از یک تک

ترانزیستور با ساختار سورس مشترک که در حالت اشباع است استفاده می‌کنند. این دو ساختار در شکل ۱-۳ (الف) و (ب) نشان داده شده‌اند.



شکل ۱-۳ ساختارهای تنظیم‌کننده ولتاژ خطی (الف) رایج (ب) LDO [۱]

هر دو نوع تنظیم‌کننده‌های خطی با استفاده از مکانیسم فیدبک مشابهی عمل می‌کنند. ولتاژ خروجی از طریق مقاومت‌های فیدبک R_1 و R_2 نمونه‌برداری می‌شود. سپس یک تقویت کنندهٔ خطا ولتاژ خروجیِ به مقیاس رفته را با یک ولتاژ مرجع مقایسه می‌کند. سیگنال خطا به ترانزیستور عبوری داده می‌شود و مسیر فیدبک منفی را تشکیل می‌دهد.

آرایش ترانزیستور عبوری نقش مهمی را در عملکرد و پایدارسازی تنظیم‌کنندهٔ ولتاژ خطی ایفا می‌کند. تنظیم‌کنندهٔ خطی رایج علاوه بر ولتاژ ورودی به ولتاژهایی برای راه‌اندازی گیت نیاز دارد که این موضوع کار در موارد ولتاژ-پایین را دشوار می‌سازد. تنظیم‌کننده‌های خطی رایج در بعضی از کاربردهای ولتاژ-پایین استفاده شده‌اند اما ناگزیر به استفاده از راه‌اندازهای گیت charge pump بودند. تنظیم‌کننده‌های ولتاژ با افت کم با عملکرد ترانزیستور عبوری در یک ساختار سورس-مشترک میزان ولتاژ ورودی لازم را کاهش می‌دهند. ولتاژ اشباع V_{DS} ترانزیستور عبوری عملکرد تنظیم‌کننده را محدود می‌کند. میزان افت ولتاژ یا V_{DSAT} تابعی از حداکثر جریان خروجی و اندازه ترانزیستور عبوری است.

چنانکه قبلاً هم گفته شد، آرایش ترانزیستور بر روی پایداری تنظیم‌کننده تأثیر می‌گذارد. پاسخ سیگنال کوچک AC برای هر دو ساختار در شکل ۱-۴ آمده است. تنظیم‌کننده‌های خطی رایج به‌خاطر امپدانس خروجی کم سورس فالوور ذاتاً پایدار هستند. قطب اول، P_1، به‌عنوان قطب غالب عمل می‌کند که توسط امپدانس خروجی تقویت‌کنندهٔ خطا تولید شده است. قطب دوم که در خروجی قرار دارد، P_2، با امپدانس بار جابه‌جا می‌شود اما در فرکانس‌های بسیار بالاتر باقی می‌ماند.