به نام خدا

دانشگاه صنعتي اميركبير
دانشكده مهندسي كامپيوتر و فنآوري اطلاعات
پايان‌نامة كارشناسي ارشد گرايش معماري كامپيوتر

عنوان :

کاهش توان نشتی مدارهای ناهمگام در تکنولوژی بسیارزیرمیکرون

نگارش:

بهنام قوامی

استاد راهنما:

دکتر حسین پدرام

زمستان ۱۳۸٦

بسمـه تعالـــی

دانشگاه صنعتی امیرکبیر
(پلی تکنیک تهران)
معاونت پژوهشی

فرم اطلاعات پایان نامه
کارشناسی ارشد و دکترا

تاریخ: .....

پیوست: .....

نام و نام خانوادگی:	بهنام قوامی	**دانشجوی آزاد** ■	**بورسیه** □	**معادل** □
شماره دانشجوئی:	۸٤۱۳۱۰۲٤	**دانشکده:** مهندسی کامپیوتر	**رشته تحصیلی:**	معماری کامپیوتر

نام و نام خانوادگی استاد راهنما: دکتر حسین پدرام

عنوان پایان نامه به فارسی: **کاهش توان نشتی مدارهای در تکنولوژی بسیارزیرمیکرون**

عنوان پایان نامه به انگلیسی: **Leakage Power Reduction of Asynchronous Circuits in Deep-Sub Micron Technology**

نوع پروژه: **کارشناسی ارشد** ■ / **دکترا** □ — **کاربردی** □ **بنیادی** □ **توسعه ای** ■ **نظری** □

تاریخ شروع: **۱۳۸۵/۵/۱** **تاریخ خاتمه:** **۱۳۸۶/۱۲/۱۵** **تعداد واحد:** ۶

سازمان تأمین کننده اعتبار: -

واژه های کلیدی به فارسی: مدارهای‌ناهمگام، کاهش توان نشتی، طراحی با ولتاژ آستانه دوگانه، مدل پترینت زمان‌داراحتمالی.

واژه های کلیدی به انگلیسی: Asynchronous Circuits, Leakage Power Reduction, Dual-Vt Design, Probabilistic Timed Petri-Net.

نظرها و پیشنهادها به منظور بهبود فعالیت های پژوهشی دانشگاه:
استاد راهنما:

دانشجو:
تامین هزینه شرکت در کنفرانس‌های خارجی

امضاء استاد راهنما: **تاریخ:**

نسخه ۱: معاونت پژوهشی
نسخه ۲: کتابخانه و به انضمام دو جلد پایان نامه به منظور تسویه حساب با کتابخانه و مرکز اسناد و مدارک علمی

تقدیم به **پدر** و **مادر** عزیزم و برادران مهربانم، **میثم** و **احسان**،
به خاطر عشقشان، اعتقادشان و پشتیبانیشان در طول سالیان گذشته.

بدون پیگیری‌های استاد ارجمند جناب دکتر پدرام، انجام این پروژه غیرممکن بود. بر خود لازم می‌دانم که از ایشان بخاطر نصایحشان در تمامی دوران انجام پروژه، تشکر و قدردانی نمایم.

همچنین از جناب آقای دکتر صاحب‌الزمانی و جناب آقای دکتر افضلی‌کوشا که قبول زحمت نموده و داوری پایان‌نامه من را پذیرفتند قدردانی می‌نمایم.

در ادامه از همفکری جناب دکتر موهاب انیس در دانشگاه واترلو و دوستانم مهندس خسرویانی در آزمایشگاه محاسبات کوانتمی و مهندس نجیبی و مهندس رئوفی‌فر در آزمایشگاه مدارهای ناهمگام، صمیمانه سپاسگزارم.

کاهش توان نشتی مدارهای ناهمگام در تکنولوژی بسیارریز میکرون

بهنام قوامی
استاد راهنما: دکتر حسین پدرام

چکیده

مشکلات مطرح در سیستم‌های همگام در مدارهای بسیار مجتمع، طراحی‌های ناهمگام را به عنوان یکی از نامزدهای روشهای طراحی، در تکنولوژی‌های آینده مطرح کرده است. در ازای مزایای که با استفاده از طراحی ناهمگام حاصل می‌شود، تعداد ترانزیستورهای مـــدار به شدت افزایـــش می‌یابد. کاهش اندازه تکنولوژی و همچنین افزایش حجم مدارها موجب شده است تا توان نشتی به عنوان بخش مهمی از مجموع توان مصرفی تراشه‌ها در تکنولوژی بسیار ریز میکرون مطرح گردد. مدارهای ناهمگام به دلیل داشتن حجم بالای ترانزیستور، مصرف توان نشتی بالایی دارند؛ لذا نیاز شدیدی به ارائه روش‌هایی جهت کاهش توان نشتی با حفظ کارایی آنها احساس می‌شود. در میان روش‌های طراحی ارائه شده جهت کاهش توان نشتی، روش استفاده ار ترانزیستورهای با ولتاژ آستانه دو(چند)گانه دارای محبوبیت زیادی می‌باشند. آنچه که در مطلب زیر مد نظر است، ارائه روشی جهت طراحی مدارهای ناهمگام مبتنی بر الگو با ولتاژ آستانه دوگانه می‌باشد.

دراین راستا، مسئله تخصیص ولتاژ آستانه در مدارهای ناهمگام را، با استفاده از گراف گذر حالت و مدل پترینت زمان‌دار احتمالی، به عنوان یک مسئله بهینه‌سازی مدل کرده‌ایم. سپس با استفاده از روش‌های مکاشفه‌ای شبیه‌سازی بازپخت و ژنتیک کوانتمی، راه‌کارهایی جهت تخصیص بهینه ولتاژ آستانه مطرح می-نماییم. برای تخصیص ولتاژ آستانه در مدارهای شرطی، یک معیار موثر جهت آنالیز ایستای کارایی *مدارهای ناهمگام دارای قابلیت انتخاب* برمبنای پیدا کردن دورهای یک گراف جهت‌دار ارائه داده‌ایم. نتایج حاصل از آزمایش‌های تجربی نشان می‌دهد که روش ارائه شده می‌تواند به طور میانگین ٦٥ درصد توان نشتی را در حالت بیکار کاهش دهد، در حالی که کارایی را تنها ۷ درصد کاهش می‌دهد.

کلمات کلیدی: مدارهای‌ناهمگام، کاهش توان نشتی، طراحی با ولتاژ آستانه دوگانه، مدل پترینت زمان-داراحتمالی، روش‌های مکاشفه‌ای.

فهرست سرفصل‌ها

فصل ۱: مقدمه ۱

۱-۱ طراحی کم مصرف ۱

۱-۲ انگیزه ۳

۱-۳ نوآوریها ۵

۱-٤ سازماندهی پایاننامه ۵

فصل ۲: پیش زمینه ۷

۲-۱ توان مصرفی در مدارهای دیجیتال ۸

۲-۲ توان مصرفی پویا ۹

۲-۳ توان مصرفی نشتی ۹

۲-٤ روند تکنولوژی ۱۷

۲-۵ راه کارهای کاهش جریانهای نشتی زیر آستانه ۱۸

۲-٦ خلاصه ۳۰

فصل ۳: مدارهای ناهمگام مبتنی بر الگو ۳۱

۳-۱ مدارهای ناهمگام: مشکلات و مزایا ۳۲

۳-۲ مدلهای تاخیر ۳۵

۳-۳ ارتباط غیرحساس به تأخیر ۳۷

۳-٤ سنتز مدارهای ناهمگام بر اساس تجزیه به الگوهای از پیش تعریف شده ۳۹

۳-۵ خلاصه ٤۲

فصل ۴: مروری بر روشهای طراحی با ولتاژ آستانه دوگانه ۴۴

٤-۱ روش جایگزینی ترانزیستورهای با ولتاژآستانه پایین با ولتاژ آستانه بالا، مبتنی برجستجوی ابتدا عمقی[Wei98] ٤۵

٤-۲ روش جایگزینی ترانزیستورهای با ولتاژآستانه پایین با ولتاژ آستانه بالا، مبتنی برجستجوی سطحی[Wei99] ٤۷

٤-۳ روش جایگزینی ترانزیستورهای با ولتاژآستانه بالا با ولتاژ آستانه پایین مبتنی برجستجوی سطحی[Sama02] ۵۰

٤-٤ الگوریتمهای تخصیص ولتاژآستانه با ریزدانگی بالا[Wang02] ۵۱

٤-۵ تخصیص ولتاژ آستانه با استفاده از برنامهریزی صحیح خطی [Lu05] ۵٦

٤-٦ مدارهای ناهمگام با ولتاژ آستانه دوگانه: مشکلات ۵۹

٤-۷ خلاصه ٦۱

فصل ۵: خط لوله های ناهمگام با ولتاژ آستانه دوگانه ۶۲

۵-۱ دستهبندی الگوهای خطلولهای ناهمگام ٦۳

٥-٢ طراحی خطلولههای ناهمگام با دو ولتاژ آستانه با استفاده از تحلیلهای ریاضی بر روی گرافهای گذار حالت ٧٤

٥-٣ نتایج تجربی ٨٨

٥-٤ خلاصه ٩١

فصل ۶: طراحی مدارهای ناهمگام با ولتاژ آستانه دوگانه ۹۳

٦-١ مدل پترینت زمان‌دار ٩٤

٦-٢ مدل سازی طراحی مدارهای ناهمگام با ولتاژ آستانه به عنوان مسئله بهینه سازی . ٩٧

٦-٣ الگوریتم پیشنهادی تخصیص ولتاژ آستانه بر مبنای روش شبیهسازی بازپخت۱۰۳

٦-٤ الگوریتم تخصیص ولتاژ آستانه بر مبنای روش ژنتیک کوانتمی ١١٠

٦-٥ نتایج تجربی ١١٥

٦-٦ خلاصه ١٢١

فصل ۷: تخصیص ولتاژ آستانه در مدارهای با قابلیت انتخاب ۱۲۳

٧-١ الگوهای شرطی ١٢٤

٧-٢ تعریف معیار کارایی برای مدارهای شرطی ١٢٥

٧-٣ محاسبه معیار کارایی برای مدارهای شرطی ١٢٩

٧-٤ ارزیابی معیار کارایی پیشنهادی ١٣٠

٧-٥ نتایج تجربی حاصل از تخصیص ولتاژ آستانه در مدارهای شرطی ١٣١

٧-٦ راهکاری برای بهبود زمان اجرای الگوریتم های تخصیص ولتاژ آستانه ١٣٢

٧-٧ خلاصه ١٣٤

فصل ۸: نتیجه‌گیری و پیشنهادات.....۱۳۶

٨-١ پیشنهادات ١٣٩

مراجع ١٤١

فهرست شکل‌ها

شکل ۲-۱: دسته بندی توان مصرفی مدارهای CMOS ۹
شکل ۲-۲: اجزای تشکیل دهنده جریان نشتی در ترازیستور مدل کانال-کوتاه (منبع:[Roy00]) ۱۰
شکل ۲-۳: تغییر میزان غلظت حامل های اقلیت در طول کانال برای یک MOSFET کانال n، بایاس شده در ناحیه معکوس ضعیف ۱۳
شکل ۲-٤ تونل زنی الکترونها از میان یک خازن MOS ۱۵
شکل ۲-۵: جریانهای تونل زنی، الف) فولر- نوردهایم، ب) مستقیم ۱٦
شکل ۲-٦: نمودار رابطه توان نشتی با اندازه تکنولوژی (منبع: [Duar02]) ۱۷
شکل ۲-۷: روند تکنولوژی و تاثیرآن بر منابع توان (منبع: ITRS) ۱۸
شکل ۲-۸: تأثیر پشته های ترانزیستوری در گیت NAND دو ورودی ۲۱
شکل ۲-۹: شماتیک مدارهای CMOS مبتنی بر ولتاژ آستانه چندتایی ۲٤
شکل ۲-۱۰: شماتیک مدارهای مبتنی بر Super Cutoff CMOS ۲۵
شکل ۲-۱۱: ایده طراحی مدارهای با ولتاژ آستانه دوگانه ۲۵
شکل ۲-۱۲: شماتیک یک مدار CMOS بر اساس روش ولتاژ آستانه متغیر ۲٦
شکل ۲-۱۳: مدار CMOS یک معکوس کننده بر اساس روش ولتاژ آستانه پویا ۲٦
شکل ۲-۱٤: ساختار فیزیکی یک قطعه طراحی شده با روش ولتاژ آستانه پویا ۲۷
شکل ۲-۱۵: دیاگرام شماتیکی طرح واره خیزش ولتاژ آستانه ۲۷
شکل ۲-۱٦: دیاگرام شماتیکی طرح واره مقیاس بندی پویای ولتاژ آستانه ۲۸
شکل ۲-۱۷: تکنیک کنترل بردار ورودی ۲۹
شکل ۳-۱: مراحل سنتز به روش Caltech (منبع:[Mart91]) ٤۰
شکل ۳-۲: ساده سازی در روند سنتز با استفاده از الگوهای سنتز شده(منبع: [Line98]) ٤۲
شکل ۳-۳: فرایند تجزیه ٤۲
شکل ٤-۱: مقادیر زمانی سلولها در یک مدار نمونه ٤۵
شکل ٤-۲: ساختار کلی الگوریتم [Wei98] ٤٦
شکل ٤-۳: نحوه اجرای الگوریتم بر روی نمونه مدار شکل٤-۱ ..... ٤۷
شکل ٤-٤: الگوریتم تخصیص ولتاژ ارائه شده در [Wei99] ٤۸
شکل ٤-۵: نحوه اجرای الگوریتم بر روی نمونه مدار شکل٤-۱ ..... ٤۸
شکل ٤-٦: نتایج حاصل از تخصیص ولتاژ آستانه بالا با مقادیر مختلف ٤۹
شکل ٤-۷: ساختار الگوریتم پیدا کردن ولتاژ آستانه بهینه ٤۹
شکل ٤-۸: نتایج حاصل از اعمال ولتاژآستانه بالا با مقادیر مختلف ۵۰
شکل ٤-۹: الگوریتم ارائه شده در [Sama02] ۵۰
شکل ٤-۱۰: نمونه ای از اجرای الگوریتم ارئه شده در [Sama02] ۵۱
شکل ٤-۱۱: ساختار کلی الگوریتم کمترین برش ۵۲
شکل ٤-۱۲: نمونه اجرای الگوریتم کمترین برش ۵۳
شکل ٤-۱۳: نمونه ای از اجرای الگوریتم بیشترین برش-۱ بر روی مدار نمونه ۵٤
شکل ٤-۱٤: ساختار کلی الگوریتم بیشترین برش-۱ ..... ۵٤
شکل ٤-۱۵: ساختار کلی الگوریتم تست جابهجایی ۵۵
شکل ٤-۱٦: نمایی از روند الگوریتم بیشترین برش-۲ ..... ۵٦
شکل ٤-۱۷: نمونه مداری برای بیان محدودیت عنوان شده در بالا ۵۸
شکل ٤-۱۸: شکسته شدن مسیرهای بحرانی توسط لچها در مدارهای همگام ٦۰

شکل ٤-١٩: در مدارهای ناهمگام حلقه ها جایگزین مسیرهای بحرانی می گردند(مدل گراف گذر حالت یک خط لوله ناهمگام[Kim06]) ٦٠
شکل ٥-١: ساختار کلی یک طبقه ریزخط لوله از نوع داده دسته بندی شده [Ozda02] ٦٣
شکل ٥-٢: ساختار کلی یک طبقه ریزخط لوله از نوع جریان داده [Ozda02] ٦٤
شکل ٥-٣: ساختارداخلی یک طبقه از خط لوله نوع PCFB ٦٦
شکل ٥-٤: ساختارداخلی یک طبقه از خط لوله نوع PCHB ٦٧
شکل ٥-٥: ساختارداخلی یک طبقه از خط لوله نوع STFB ٦٨
شکل ٥-٦: یک زنجیره پنج تایی از بافرها ٦٩
شکل ٥-٧: حالتهایی که یک طبقه از PCFB به حالت بیکارمی رود ٧٠
شکل ٥-٨: جریان نشتی متناظر با حالتهای بیکاردرالگوی PCFB ٧٠
شکل ٥-٩: حالتهایی که یک طبقه از PCHB به حالت wait می رود ٧١
شکل ٥-١٠: جریان نشتی متناظر با حالتهای بیکار درالگوی PCHB ٧١
شکل ٥-١١: حالتهایی که یک طبقه از STFB به حالت بیکار می رود ٧٢
شکل ٥-١٢ : جریان نشتی متناظر با حالتهای بیکار درالگوی STFB ٧٢
شکل ٥-١٣: مقایسه الگوها از لحاظ مصرف توان نشتی در دو وضعیت خط لوله پرترافیک و کم ترافیک ٧٣
شکل ٥-١٤: نمایی از یک خط لوله خطی ناهمگام (منبع [Ghav08a]) ٧٤
شکل ٥-١٥: خط لوله شامل ساختار شاخه-پیوند (منبع [Ghav08a]) ٧٥
شکل ٥-١٦: قرارداد جهارفاز دوخطی ٧٥
شکل٥-١٧: نمایش مبتنی بر گیت الگوی PCHB (منبع[Yahy04]) ٧٦
شکل ٥-١٨: نمایش مبتنی بر گیت الگوی PCFB (منبع[Yahy04]) ٧٦
شکل ٥-١٩: گراف وابستگی بدون چین و چیندار مربوط به الگوهای PCFB (C: نشان دهنده خروجی بافر، F: خروجی بلاک محاسباتی، Ack: سگنال Acknowledgment، Int: خروجی C4 و↓/↑ نشان دهنده گذر بالا و پایین) ٧٧
شکل ٥-٢٠: گراف وابستگی بدون چین و چیندار مربوط به الگو PCHB (C: نشان دهنده خروجی بافر، F: خروجی بلاک محاسباتی، Ack: سگنال Acknowledgment، ↓/↑نشان دهنده گذر بالا و پایین) ٧٧
شکل ٥-٢١ نود مشترک در گراف وابستگی داده الگوی PCFB ٨٤
شکل ٥-٢٢: الگوریتم تخصیص ولتاژ آستانه در خط لولههای خطی ٨٥
شکل ٥-٢٣: ساختار یک خط لوله انشعاب-پیوند نامتوارن ٨٦
شکل ٥-٢٤: الگوریتم تکمیلی تخصیص ولتاژ آستانه ٨٨
شکل ٥-٢٥: توان نشتی خط لوله ١٠تایی PCFB با ولتاژآستانه بالای مختلف ٩٠
شکل ٦-١: یک کانال FBCN برای اتصال دو سلول(منبع[Beer06]) ٩٤
شکل ٦-٢: مدل یک بافر ساده با PTPN(مرجع[Naji07]) ٩٥
شکل ٦-٣: مدل برای بافر با بیشتر از یک خواندن ٩٦
شکل ٦-٤: مدل برای بافر با بیشتر از یک نوشن ٩٦
شکل ٦-٥: مدل PTPN یک ساختار با خروجیهای همگرای نامتوازن ٩٩
شکل ٦-٦: افزایش معیار دور با تخصیص یک بافر به ولتاژ آستانه بالا ١٠٠
شکل ٦-٧: ساختار کلی الگوریتم شبیه سازی بازپخت ١٠٤
شکل ٦-٨: نمودارمحدوده مقادیر پارامترهای تابع هزینه ١٠٨
شکل ٦-٩: شبه کُد الگوریتم کوانتومی ژنتیکی ١١٢
شکل ٦-١٠: بدنه بهینه توان نشتی در ارتباط با ابزارسنتز ناهمگام ١١٧
شکل ٦-١١: زمان اجرای دو الگوریتم پیشنهادی ١٢١
شکل ٧-١: الگوی شرطی برای خواندن شرطی (منبع[Naji07]) ١٢٤

شکل ۷-۲: الگوی شرطی برای نوشتن شرطی(منبع[Naji07]) ۱۲۵
شکل ۷-۳: الگوی شرطی با بیش از یک شرط(منبع[Naji07]) ۱۲۵
شکل ۷-٤: مثال PTPN شرطی ۱۲۷
شکل ۷-۵: مقایسه زمان اجرای الگوریتم تخصیص ولتاژ شبیه ساز باز پخت با استفاده از روش کارپ و روش پیشنهادی برای یافتن بزرگترین معیار ۱۳٤
شکل ۸-۱: جریان معرفی شده برای کاهش توان نشتی براساس تخصیص ولتاژ آستانه دوگانه به صورت سلسله مراتبی ۱۳۸

فهرست جدول‌ها

جدول ۵-۱: فرضیات تاخیر برای بلاک محاسباتی طبقه های مختلف ۸۹
جدول ۵-۲: پارامترهای مورد نیاز برای به دست آوردن معادلات (فرض شده است که مقادیر گذر بالا و پایین یکسان هستند) ۸۹
جدول ۵-۳: دور زمانی به دست آمده برای ۱۰ طبقه خط لوله با استفاده از معادلات پیشنهادی ۸۹
جدول ۵-٤: میزان کاهش توان نشتی در خط لوله خطی بر اساس الگوریتم ارائه شده ۹۰
جدول ۵-٤: میزان کاهش توان نشتی در ساختار انشعاب-پیوند بر اساس الگوریتم پیشنهادی ۹۱
جدول ٦-۱: تاثیر تابع هزینه بر میزان کاهش کارایی و توان نشتی۱ ..... ۱۰۹
جدول ٦-۲: تاثیر تابع هزینه بر میزان کاهش کارایی و توان نشتی۲ ..... ۱۰۹
جدول ٦-۳: تاثیر تابع هزینه بر میزان کاهش کارایی و توان نشتی۳ ..... ۱۰۹
جدول ٦-۴: تاثیر تابع هزینه بر میزان کاهش کارایی و توان نشتی۴ ..... ۱۱۰
جدول ٦-٦. جدول جستجو به منظور تعیین مقدار مطلق زاویهٔ $theta_i$ ۱۱٤
جدول ٦-۷: نتایج بهینه‌سازی توان نشتی با استفاده از طراحی با ولتاژ آستانه دوگانه با استفاده از الگوریتم شبیه ساز بازپخت ۱۱۸
جدول ٦-۸: نتایج بهینه‌سازی توان نشتی با استفاده از طراحی با ولتاژ آستانه دوگانه با استفاده از الگوریتم ژنتیک کوانتمی ۱۲۰
جدول ۷-۱: نتایج حاصل از ارزیابی کارایی با استفاده از روش پیشنهادی و شبیه سازی پترینت و روش کارپ ۱۳۱
جدول ۷-۲: نتایج بهینه‌سازی توان نشتی با استفاده از طراحی با ولتاژ آستانه دوگانه بر روی مدارهای شرطی با استفاده از الگوریتم شبیه ساز بازپخت ۱۳۲

فصل ۱: مقدمه

در این فصل انگیزه‌های موجود برای کاهش توان نشتی[1] مدارهای ناهمگام[2] به عنوان دسته‌ای از مدارهای با توان مصرفی پویای[3] پایین، مورد بررسی قرار خواهد گرفت. لذا در ابتدا نیازهای موجود برای ارائه روشهای طراحی مدارهای دیجیتال با مصرف توان پایین را معرفی می‌کنیم. در ادامه توان نشتی را به عنوان یکی از ارکان اصلی توان مجموع، مورد توجه قرار می‌دهیم و انگیزه به انجام رسانیدن این پایان‌نامه را روشن می‌نماییم. در انتها نوآوری‌هایی که در راستای انجام این پایان‌نامه حاصل شده است را مطرح خواهیم کرد.

۱-۱ طراحی کم مصرف

از آغاز ارائه اولین سری از مدارهای مجتمع، جهت ساخت تراشه‌هایی با امکان توان عملیاتی بیشتر و سرعت بالاتر، تکنولوژی سیلیکون[4] همواره کاهش پیدا کرده است. در این میان، توان مصرفی به عنوان یکی از پارامترهای غیرقابل صرف نظر در طراحی مدارهای دیجیتال مطرح بوده است. به همراه افزایش حجم مجتمع‌سازی در تراشه‌ها، امکان ساخت یک سیستم کامل بر روی یک تراشه به وجود آمده است، که

[1] Leakage Power
[2] Asynchronous Circuits
[3] Dynamic Power
[4] Silicon

این موضوع زمینه توسعه سیستم‌های قابل حمل را فراهم آورده است. توسعه سیستم‌های قابل حمل الکترونیکی، مانند کامپیوترهای قابل حمل، تلفن همراه و ...، باعث شده است تا توان مصرفی به عنوان یک پارامتر حیاتی در طراحی مدارهای مجتمع مطرح گردد.

با وجود تلاش گسترده صنعت باطری‌سازی جهت ارائه باطری‌هایی با ظرفیت بالاتر از باطری‌های فعلی، متاسفانه انقلاب چشمگیری در زمینه افزایش طول عمر باطری‌ها دیده نمی‌شود. لذا گسترش کاربرد سیستم‌های قابل حمل، منجر به ارائه روش‌های طراحی مدارهای کم مصرف شده است.

از جنبه دیگر، توان مصرفی در تکنولوژی بسیارریزمیکرون[۵]، یک پارامتر حیاتی است. برای افزایش سرعت مدار و ساخت مدارهای مجتمع با قابلیت عملیاتی بیشتر بر روی یک تراشه، اندازه تکنولوژی به طور مداوم در حال کاهش است و در نتیجه توان مصرفی به ازای واحد سطح در حال افزایش است، که خود باعث افزایش دمای تراشه می‌گردد. به منظور فراهم آوردن دمای مناسب تراشه، حرارت مصرفی باید به گونه‌ای از بین برود. این موضوع مستلزم استفاده از وسایل خنک‌کننده بزرگتر و تکنیک‌های بسته‌بندی پرهزینه‌تر می‌باشد. بر اساس اطلاعات موجود واحدپردازنده مرکزی پنتیوم ٤، در فرکانس ٣.٤ گیگاهرتز و ولتاژ ۱.۳ ولت در حدود ۱۳۰ وات توان مصرف می‌کند[Inco04] . همچنین مصرف بالای توان، استفاده از تکنولوژی بردهای مدارچاپی ویژه را، جهت هدایت جریان بسیار زیاد از منبع ولتاژ به قسمتهای مختلف تراشه، ضروری می‌سازد.

یک دلیل دیگر جهت نیاز به طراحی کم مصرف، مطرح شدن پارامتر طراحی به نام قابلیت اطمینان[٦] تراشه است. با کاهش اندازه تکنولوژی، نه تنها تراکم توان مصرفی افرایش پیدا می‌کند، بلکه تراکم جریان نیز افزایش پیدا می‌کند. تراکم جریان زیاد، باعث ایجاد مشکلات متعددی مانند حامل داغ[۷] وحرکت الکترون[۸] می‌گردد [Kang03]. لذا قابلیت اطمینان تراشه با کاهش توان مصرفی (جریان)، افزایش پیدا خواهد کرد.

[5] Deep Sub Micron Technology
[6] Reliability
[7] hot carrier
[8] Elctromigration

هرچند که توان مصرفی در حال حاضر، به عنوان پارامتر اول طراحی مدارهای دیجیتال مطرح شده-است، اما سرعت و قابلیت اطمینان و مساحت هنوز به عنوان پارامترهای طراحی مطرح هستند. اگر چه طراحی کم مصرف همواره با سرعت و مساحت در تضاد است.

۱-۲ انگیزه

امروزه چگالی داده‌ها در داخل چیپ به شدت افزایش یافته است و آنها را به پیچیده‌ترین سیستم‌ها در تکنولوژی جدید تبدیل کرده است. علاوه بر افزایش پیچیدگی، یکی از مهمترین چالش‌های پیش روی سیستم‌های دیجیتال، افزایش توان مصرفی در آنهاست. آنچه مسلم است، باید روش‌هایی یافت شود که طی آن بتوان توازی توان و کارایی را برای افزایش کارایی در سیستم‌های پیچیده مذکور ایجاد نمود و آن را مدیریت کرد. از آنجاییکه مدارهای همگام با مشکلات متعددی دست به گریبان هستند، که خود کارایی را تحت تاثیر قرار می‌دهد، طراحی ناهمگام به عنوان یک روش طراحی مدارهای خاص، مورد توجه قرار گرفته است.

بعد از پیچیدگی، مواردی نظیر مصرف توان و یا کاهش پایداری[۹] سیستم‌های بسیار مجتمع[۱۰] در برابر تغییرات محیطی، از جمله مسایلی هستند که این سیستم‌ها با آن دست به گریبان هستند. در طراحی مدارهای همگام، وجود یک مولد پالس ساعت[۱۱] مرکزی بر روی هر دو مسئله توان و کاریی، تاثیر مستقیم دارد. وجود و فعالیت پالس ساعت خود موجب مصرف حجم زیادی از انرژی می‌شود و این در مواردی که نیاز به توزیع پالس ساعت وجود داشته باشد، به مراتب فزونی می‌یابد. وجود تاخیر انتشارهای[۱۲] نامشخص برای سیگنال‌های پالس ساعت در یک تراشه و همچنین کاهش قابلیت اطمینان[۱۳] که ناشی از کوچک شدن اندازه ترانزیستورها و به خاطر عدم قطعیت در زمان‌بندی سیستم است، از مسایل مطرح در رابطه با پالس ساعت در سیستم‌های همگام می‌باشد. وجود این عدم قطعیت‌ها، طراح را مجبور می‌کند که

[9] Robustness
[10] VLSI
[11] Clock
[12] Propagation delay
[13] Reliability

برای پریود پالس ساعت حجم عظیمی از حاشیه امنیت[14] را در نظر بگیرد؛ که این امر کندی کل سیستم را در پی خواهد داشت.

سیستم‌های ناهمگام به گونه‌ای طراحی می‌شوند که محاسبات بر مبنای ارسال و دریافت پیغام انجام می‌شوند و طی آن همزمانی، بدون استفاده از پالس ساعت سراسری در سیستم و با دستدهی‌های[15] محلی بین اجزای مختلف مرتبط با هم، امکان‌پذیر می‌شود. این امر هم به سرعت سیستم می‌افزاید و هم مصرف توان پویا را(با حذف پالس ساعت) به حد قابل توجهی می‌کاهد. در مواردی که محاسبات تخمینی انجام شده است ،حتی تا ۷۵٪ مصرف انرژی در مقایسه با سیستم‌های همگام، کاهش مصرف توان وجود داشته است[Myer01].

یکی از نقاط ضعف مدارهای ناهمگام سربار بالای آنها از نظر مساحت است. چون برای ارضای فرضیات زمانی در این سیستم‌ها، به مدارهای اضافی نیاز می‌باشد، همچنین برای اینکه یک سیگنال خاص معتبر باشد، در سیستمهای همگام فرضیاتی نظیر لبه پالس ساعت وجود دارد؛ اما در سیستم‌های ناهمگام خود سیگنال مبنای بررسی این اعتبار قرار می‌گیرد.

کاهش توان مصرفی در مدارها به یکی از مهمترین موضوع‌ها در طراحی مدارهای مجتمع تبدیل شده است. کاهش مقیاس مدارها و اندازه تکنولوژی و همچنین افزایش حجم مدارها موجب شده است تا توان نشتی به عنوان بخش مهمی از مجموع توان مصرفی تراشه‌ها در تکنولوژی بسیارریزمیکرون مطرح گردد.

مدارهای ناهمگام در کنار مزایای ذکر شده، به دلیل داشتن حجم بالای ترانزیستور، مصرف توان نشتی بالایی دارند؛ به طوری که توان نشتی آینده مدارهای ناهمگام را با چالشی بزرگ مواجه کرده است. لذا نیاز شدیدی به ارائه روش‌هایی جهت کاهش توان نشتی مدارهای ناهمگام با حفظ کارایی آنها احساس می‌شود. آنچه که در مطلب زیر مد نظر است، ارائه روشی جهت طراحی مدارهای ناهمگام مبتنی بر الگو، با استفاده از ترانزیستورهای با ولتاژ آستانه دوگانه، جهت کاهش توان نشتی با حفظ کارایی مدار می‌باشد.

[14] Safety margin
[15] Handshaking

۱-۳ نوآوریها

مهم‌ترین نوآوری‌های این پایان‌نامه عبارتند از:

- مدلسازی طراحی مدارهای ناهمگام مبتنی بر الگو با ولتاژآستانه دوگانه، به عنوان یک مسئله بهینه‌سازی
- ارایه یک روش تخصیص ولتاژ آستانه با استفاده ازتعیین حلقه حیاتی[۱۶] در خط لوله‌های خطی[۱۷] ناهمگام، مبتنی بر روش ویلیامز[۱۸]
- ارائه یک الگوریتم تخصیص ولتاژ آستانه مبتنی بر روش مکاشفه‌ای *شبیه‌سازی بازپخت*[۱۹]
- ارائه یک الگوریتم تخصیص ولتاژ آستانه مبتنی بر روش مکاشفه‌ای *ژنتیک کوانتمی*[۲۰]
- ارائه پارامتر جدید و موثر جهت محاسبه کارایی مدرات ناهمگام با قابلیت پشتیبانی انتخاب به طور ایستا و ارایه یک الگوریتم جهت محاسبه آن
- انتشار چندین گزارش تکنیکی و مقاله ژورنال

۱-٤ سازماندهی پایان‌نامه

در ادامه این پایان نامه، در فصل دوم انواع منابع مصرف توان در مدارهای دیجیتال CMOS و تاثیر روند تکنولوژی بر میزان کاهش توان نشتی بررسی می‌گردد و در ادامه مروری بر تکنیکهای کاهش توان نشتی در سطح مدار خواهیم داشت. چنانچه خواننده با این مفاهیم آشنایی دارد می‌تواند از فصل سوم شروع نماید. فصل سوم به سنتز مدارهای ناهمگام با استفاده از روش تجزیه مبتنی بر داده که یک الگوریتم ترتیبی[۲۱] را با بررسی ارتباطات داده ای به سیستم معادل از پروسه‌های هم‌روند تبدیل می‌نماید و نتیجه آن مدار ریزدانه خط لوله شامل الگو های طراحی عمومی است، خواهیم پرداخت. در فصل چهارم مروری بر

[16] Critical Cycles
[17] Linear Pipelines
[18] wiliams
[19] Simulated Annealing
[20] Quntom Genetic
[21] Sequential

کارهای پیشین در طراحی با ولتاژ آستانه دوگانه در مدارهای همگام خواهیم پرداخت و مشکلات ناشی از به کارگیری این روش‌ها را در مدارهای ناهمگام مورد بررسی قرار خواهیم داد. در فصل پنجم تعدادی از الگوهای ناهمگام را از جنبه مصرف توان نشتی مورد بررسی قرار داده و در ادامه، مدل تحلیل کارایی ویلیامز را برای استخراج حلقه‌های بحرانی خط لوله‌های خطی ناهمگام به کار می‌گیریم و بر این اساس الگوریتم تخصیص ولتاژ آستانه‌ای را برای خط لوله‌های قطعی مطرح خواهیم کرد. در فصل ششم، مدل پترینت احتمالی زمان‌دار را برای مدل‌سازی مسئله تخصیص ولتاژ آستانه در مدارهای ناهمگام مبتنی بر الگو، به عنوان یک مسئله بهینه‌سازی به کار خواهیم گرفت. در ادامه این فصل، دو الگوریتم تخصیص ولتاژ آستانه مبتنی بر روش‌های مکاشفه‌ای شبیه‌سازی بازپخت و ژنتیک کوانتمی، ارائه خواهیم داد. با توجه به آنکه در مدارهای ناهمگام، رفتار انتخابی می‌تواند تحلیل کارایی مدار را تحت تاثیر قرار دهد، لذا در فصل هفتم، یک معیار کارا و موثر جهت تحلیل کارایی مدارهای ناهمگام با قابلیت انتخاب احتمالی، پیشنهاد خواهیم کرد و الگوریتمی جهت محاسبه آن به کار خواهیم گرفت. در ادامه برای بهبود زمان اجرای الگوریتم‌های ارائه شده، یک روش هوشمندانه برای تعیین معیار کارایی در طول پروسه تخصیص ولتاژ آستانه ارائه خواهیم کرد. در انتها و در فصل هشتم، نتیجه‌گیری و پیشنهاداتی برای ادامه کار ارائه خواهد شد.

فصل ۲: پیش زمینه

با کاهش ابعاد در تکنولوژی ریزمیکرون، تعداد گیتها و تراکم مدار و مجموع توان مصرفی در یک تراشه به سرعت افزایش پیدا کرده است. همچنین طراحی مدارهای کم‌مصرف در محدوده وسیعی از کاربردها به یک ضرورت تبدیل شده است. هرچند که طراحی تراشه‌هایی با توان مصرفی بهینه، شامل سبک-سنگین کردن‌هایی[۲۲] ، نظیر تاخیر در مقابل توان و مساحت در مقابل توان، در سطوح مختلف طراحی می‌باشد. برای درک بهتر این مفهوم‌ها، لازم است تا انواع و منابع توان مصرفی در مدارهای CMOS را درک کنیم.

در این فصل منابع مهم توان مصرفی در مدارهای CMOS مشخص می‌شود و در ادامه تاثیر روند تکنولوژی بر میزان این منابع، به ویژه توان نشتی، بحث خواهد شد. انواع جریان نشتی در ترانزیستورهای کانال-کوتاه را مورد مطالعه قرار خواهیم داد. در انتها تکنیک‌های موجود جهت کاهش توان نشتی زیر آستانه[۲۳]، همچون استفاده از ترانزیستورهای با چند ولتاژ آستانه و کنترل بردار ورودی، را به طور خلاصه مرور می‌نماییم.

[22] Trade off
[23] Subthreshold Leakage

۲-۱ توان مصرفی در مدارهای دیجیتال

از یک نگاه کلی می‌توان توان مصرفی مدارهای CMOS را به دو دسته زیر تقسیم‌بندی کرد:

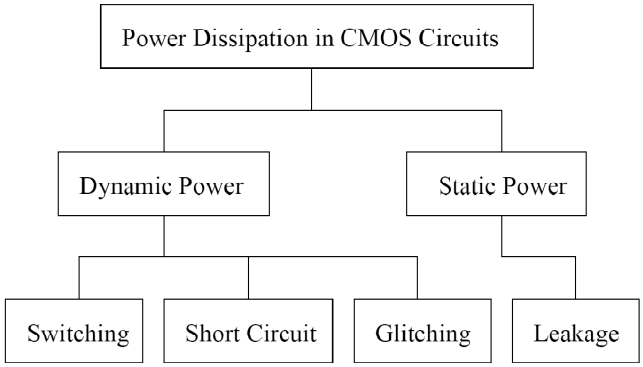
- توان لحظه‌ای
- توان متوسط

توان لحظه‌ای که تاثیر مستقیم بر روی قابلیت اطمینان تراشه دارد، طول عمر و کارایی تراشه را تحت تاثیر قرار می‌دهد. پدیده افت ولتاژ[۲۴] باعث می‌شود، که یک جریان لحظه‌ای بیش از اندازه از شبکه مقاومت توانی عبور کند و کارایی سیستم را به خاطر افزایش تاخیر گیت‌ها و اتصال‌ها، تحت تاثیر قرار دهد. توان مصرفی بالا، باعث خواهد شد که تراشه بیش از اندازه گرم شود؛ که این امر موجب کاهش قابلیت اطمینان و طول عمر مدار خواهد شد؛ همچنین اندازه حاشیه نویز کاهش می‌یابد و احتمال خرابی تراشه به خاطر نویز همشنوایی[۲۵] افزایش خواهد یافت.

توان متوسط در مدارهای CMOS به دو شکل پویا[۲۶] و ایستا[۲۷] وجود دارد. توان مصرفی پویا در گیت- و در اثر فرآیند گذر[۲۸] از یک حالت به یک حالت دیگر رخ می‌دهد. در طی این تغییر حالت، خازن‌های داخلی و خارجی مربوط به ترانزیستورهای گیت شارژ و دشارژ می‌شود. توان ایستا (نشتی) مربوط به گیت‌های غیرفعال می‌شود. توان پویا به دوران عملیاتی و به ویژه در فرکانس‌های بالا و توان ایستا به دوران حالت بیکار[۲۹] مدار مربوط می‌باشد. یک نمای کلی از دسته‌بندی انواع منابع توان مصرفی مدارهای CMOS در شکل ۲-۱ نمایش داده شده است.

---

[24] Voltage drop
[25] Cross-talk
[26] Dynamic
[27] Static
[28] Switching
[29] Standby



شکل ۲-۱: دسته‌بندی توان مصرفی مدارهای CMOS

۲-۲ توان مصرفی پویا

توان مصرفی پویا که از پر و خالی شدن خازن‌های پارازیتی[۳۰] ناشی می‌شود، از سه مولفه اصلی زیر تشکیل شده‌است:

- توان مصرفی ناشی از گذر
- توان مصرفی اتصال کوتاه
- توان مصرفی ناشی از گذر ناخواسته[۳۱]

به دلیل محدودیت فضا، از توضیح جزییات مربوط به اجزای توان مصرفی پویا خودداری می‌کنیم. خواننده علاقه‌مند می‌تواند به [Bell95] مراجعه نماید.

۲-۳ توان مصرفی نشتی

توان نشتی از جریان نشتی درترانزیستورهای مدار ناشی می‌شود. از دید تئوری گیتهای CMOS در حالت بیکار نباید توان مصرف کنند (از این جنبه که در هر لحظه یکی از دو قسمت شبکه پایین‌بر و یا بالابر خاموش است، لذا از مصرف توان ایستا باید جلوگیری شود). اما در واقعیت، همیشه مقداری جریان نشتی

[30] Parasitic
[31] Glitch