کلیه حقوق مادی مترتب بر نتایج مطالعات، ابتکارات و
نوآوری های ناشی از تحقیق موضوع این پایان نامه
متعلق به دانشگاه رازی است.

دانشکده فنی مهندسی

گروه مهندسی برق

پایان نامه جهت اخذ درجه کارشناسی ارشد رشته ی مهندسی برق

گرایش الکترونیک

عنوان پایان نامه

مدلسازی رفتاری و تکنیکهای بهینه سازی حلقه های قفل فاز

استاد راهنما:

دکتر غلامرضا کریمی

استاد مشاور :

دکتر غلامرضا کریمی

نگارش:

ابوالفضل طالب بیگی هزاوه

ماه فروردین

۱۳۸۸

دانشکده فنی مهندسی

گروه مهندسی برق

پایان نامه جهت اخذ درجه کارشناسی ارشد رشته ی مهندسی برق گرایش الکترونیک

نام دانشجو ابوالفضل طالب بیگی هزاوه

عنوان پایان نامه
مدلسازی رفتاری و تکنیکهای بهینه سازی حلقه های قفل فاز

در تاریخ **۸۸/۴/۳۰** توسط هیأت داوران زیر بررسی و با درجه **عالی** به تصویب نهایی رسید.

۱- استاد راهنمای **مهندسی برق** دکتر **غلامرضا کریمی** با مرتبه ی علمی **استادیار** امضاء

۲- استاد داور داخل گروه **الکترونیک** دکتر **محسن حیاتی** با مرتبه ی علمی **دانشیار** امضاء

۳- استاد داور خارج از گروه **الکترونیک** دکتر **بهروز رضایی** با مرتبه ی علمی **استادیار** امضاء

چکیده :

در دنیای امروز، مدارات مجتمع به عنوان یک راهبرد، تاثیر بسیار زیادی روی پیشرفت سیستم های الکترونیکی داشته اند و توانسته اند با دستاوردهایی که در قسمت های مختلف، مجتمع سازی و فشرده سازی و بالا بردن دقت و سرعت سیستم ها و اجتماع سیستم های آنالوگ و دیجیتال در کنار هم، تحولی بزرگ در صنعت الکترونیک داشته باشند.

از نمونه کارهایی که در روند مجتمع سازی این مدارات مشاهده می شود بحث شبیه سازی مدارات با ایده های نوین برای بهینه کردن ساختار مدارات پایه یا ابداع یک سیستم جدید برای عملی خاص، می باشد که در این صورت پس از باز بینی و اجرای آن طرح و اطمینان از عملکرد درست سیستم در محیط شبیه سازی، اقدام به ساخت مدار می کنند.

از نمونه شبیه سازی هایی که وجود دارد استفاده از مدل مداری هر یک از اجزای مدار و نمایش خروجی توسط شبیه ساز HSPICE می باشد. از مشکلاتی که در این شبیه ساز وجود دارد این است که به ازای بالا رفتن اجزای مدار و نیز حفظ دقتی که در تحلیل تمامی اجزا نیاز است، احتیاج به زمان محاسبه و بالا رفتن تحلیل ها منجر به افزایش مدت شبیه سازی می گردد، بنابراین برای سیستم های مدارات مجتمع که دارای تکنولوژی CMOS می باشند و دارای چند میلیون ترانزیستور در ابعاد زیر میکرون[1] برروی یک تراشه (SOC)[2] هستند برای تحلیل کل سیستم نیاز به مدت زمانی بس طولانی است تا اینکه خروجی و عملکرد تراشه و مدار شبیه سازی گردد.

مدلی که در سالهای اخیر، ۱۹۹۳ برای مدارات دیجیتال و ۱۹۹۹ برای مدارات ترکیبی آنالوگ و دیجیتال جهت شبیه سازی سیستم ها آمده است، به ترتیب VHDL , VHDL-AMS می باشد که بر مبنای مدل سازی رفتاری تمامی اجزای مدار عمل می کند و ویژگی بسیار مهمی که در این شبیه سازها دیده می شود کاهش زمان شبیه سازی تا حد بسیار خوبی که خروجی های آن هم بسیار نزدیک به مدل های طراحی در محیط HSPICE می باشد.

مداری که در این پروژه جهت بررسی اهمیت مدلسازی مد نظر قرار گرفته است مدار PLL می باشد که مقالات و تکنیک های بسیار زیادی بسته به کاربرد های آن در طراحی مدارات پیچیده سیگنال مختلط گزارش شده است. در این پروژه یک سری راهکارهای جدید در جهت بهبود پایداری سیستم و کاهش زمان نشست ارائه شده است که در بهینه سازی عملکرد PLL مورد نظر نقش خوبی را داشته است. از طرف دیگر، به منظور بررسی اهمیت مدلسازی رفتاری به ارائه ی یک مدل رفتاری در مدار PLL پرداخته شده است که با توجه به نتایج شبیه سازی دیده می شود که در عملکرد مدار PLL مورد بحث برای

[1] Sub Micron
[2] System On Chip

مقادیر مختلف فرکانس های ورودی و ضرایب تقسیم یک حالت بهینه دیده می شود. روش هایی که در این قسمت استفاده شده است شامل، استفاده از نرم افزار ADS[۲] به منظور مشاهده ی ساختار های بلوک های HSPICE و بلوکهای مداری در جهت طراحی دقیق عملکرد PLL مورد نظر است. استفاده ی از نرم افزار زبان نوشتاری VHDL-AMS[۳] برای بیان و نمایش سایر رفتار های PLL در حوزه ی زمان با زبان VHDL-AMS ، در شرایط متفاوت و نمایان شدن خاصیت تفکیکسازی[۴] در PLL می باشد. همچنین می توان به مقایسه ی آن با مدل دقیق HSPICE در زمینه ی سرعت تحلیل و دقت خروجی ها پرداخته شود؛ سپس استفاده از نرم افزار MATLAB برای نمایش رفتاری سیستم در حوزه ی فرکانسی و نمایش مشخصه ی پایداری سیستم های مورد نظر می باشد، تا بتوان اهداف از پیش تعیین شده را مشخص نمود و در نهایت استفاده از نرم افزار PLL DESIGN برای بیان مشخصه ی نویز فاز در PLL و مقدار جیتر[۵] در سیستم، مورد بررسی قرار می گیرد.

در پایان پروژه به نتایجی می رسیم که PLL ، علاوه بر داشتن عملکردی مناسب، دارای ساختاری است که در حالت قفل، پایداری سیستم تا رنج بالایی از فرکانس مطرح می شود که علاوه بر این که اثری روی زمان نشست ندارد بلکه پایداری و قفل شدن سیستم در هدف مورد نظر را هم تضمین می کند.

نکته ی مهم دیگر اینکه، کاهش زمان نشست متناسب با افزایش فرکانس قطع می باشد که این روند هم منتهی به افزایش نویز فاز یا جیتر در PLL می گردد پس به هر حال روندی که خواست ما را در جهت انتخاب پهنای باند مورد نظر مشخص می کند متناسب با کاربردی که از PLL انتظار می رود بیان می گردد. البته در این پروژه، در جهت بهبود شرایط، سیستم های مختلف برای پهنای باندهای مختلف ارائه شده است که با آنها آشنا خواهید شد. البته تکنیکی که در ادامه ی پروژه در باره ی آن توضیح داده می شود با استفاده از تغییر باند فرکانس فیلتر در زمان های گذرا و ایستا می باشد، که به کاهش زمان نشست برای یک مدل طراحی با پهنای باند فرکانسی مشخص منجر می شود. البته این از یک سو به تسریع پاسخ دهی سیستم برای تغییرات فرکانس کمک می کند و از سویی دیگر مقدار پهنای باند را برای حالت پایدار برای جلو گیری از ورود نویزهای فرکانس بالا به سیستم، بهینه می کند.

همانطوری که مشخص است، ابزاری که به عنوان معیار حد پایداری سیستم معرفی می شود حد فاز و حد بهره[۶] می باشد که در حالت کلی نتایجی که از انجام پروژه حاصل شده است، می تواند در درجه ی اول افزایش پایداری تا رسیدن به حد فاز ۸۵ درجه در مشخصه ی دیاگرام بود در حوزه ی فرکانس و در درجه ی دوم رسیدن به یک شرایط قفل تضمین شده که متناسب با پهنای باند برای مقادیر مختلف 10.6 MHZ

---

[2] Advanced Design System
[3] Very High Speed Integrated Circuit Hardware Description Language – Analog Mixed Signal
[4] Demodulation
[5] Jitter
[6] Phase Margin and Gain Margin

70 MHZ, به ترتیب زمان های نشست 50 ns , 200 ns باشد. که در مورد آخر با استفاده از تکنیک، به کاهش زمان نشست به مقدار 130 ns دست یافته می شود و نتایج کار در فصل های ۵ و ۶ ارائه شده است.

پس هویت اصلی پروژه در بیان بهینه سازی در حوزه ی فرکانسی و زمانی برای PLL مورد بررسی و یک مدل رفتاری برگرفته از زبان VHDL-AMS می باشد.

فهرست مطالب

عنوان **صفحه**

فصل اول . مبانی ساختاری درPLL.....۱

۱-۱ آشکارساز فاز ساده ۲

۱-۲ توپولوژی پایه ی PLL.....۳

۱-۲-۱خروجی PLL در شرایط قفل.....۴

۱-۲-۲ گذارهای کوچک در حالت قفل.....۶

۱-۳ PLL های پمپ بار نوع یکم و دوم.....۹

۱-۳-۱ PLL نوع I.....۱۰

۱-۳-۲ PLL نوع II.....۱۱

۱-۴ اثرات غیر ایده آل در PLL ها.....۱۲

۱-۴-۱ اثرات غیر ایده ال PFD/CP ۱۲

۱-۴-۲ تشویش در PLL ها.....۱۵

۱-۵ کاربرد ها.....۱۶

۱-۵-۱ کاهش جا بجایی یا تاءخیر.....۱۶

۱-۵- ۲ کاهش تشویش.....۱۷

فصل دوم . آشنایی های مفاهیم اولیه.....۱۹

۲-۱ تابع انتقال بین فاز خروجی و فاز ورودی ۲۰

۲-۲ مقادیر محاسباتی مقاومت و خازن فیلتر حلقه.....۲۳

۲-۳ تابع انتقالی بین خطای فاز و فاز ورودی ۲۴

۲-۴ توابع انتقال بین فرکانس خروجی و خطای فرکانس نسبت به فرکانس ورودی.....۲۴

۲-۵ رنجهای عملیاتی PLL.....۲۵

۲-۵-۱ محدوده ی نگه دارنده ی قفل شدگی.....۲۵

۲-۵-۲ محدوده ی قرار گیری در حالت قفل.....۲۶

۲-۵-۳ محدوده ی پایداری دینامیکی PLL.....۲۷

۲-۵-۴ زمان قفل شدگی.....۲۹

۲-۵-۵ عوامل کاهش زمان نشست.....۳۰

۲-۶ خطای فاز حالت پایدار.....۳۰

عنوان **صفحه**

۲-۷ آنالیز پایداری سیستم نوع اول و دوم و پهنای باند PLL..... ۳۱

۲-۷-۱ علت استفاده ی از PLL های نوع دوم..... ۳۳

۲-۸ توابع انتقال نویز..... ۳۵

فصل سوم. طراحی بلوکهای تابع PLL ۳۷

۳-۱ خصوصیات پروژه..... ۳۸

۳-۲ طراحی PDF ۳۹

۳-۳ طراحی پمپ بار CP..... ۴۵

۳-۴ طراحی مداری VCO ۵۰

۳-۵ طراحی فیلتر حلقه ۵۶

۳-۶ طراحی تقسیم کننده ی فرکانسی..... ۵۷

فصل چهارم . تکنیک طراحی ۶۱

۴-۱ مقدمه ای بر روند تکنیک..... ۶۲

۴-۱-۱ PLL درجه ی اول ۶۳

۴-۱-۲ PLL درجه ی دوم..... ۶۷

۴-۲ مقایسه رفتاری سیستم ها ۷۱

۴-۳ تکنیک اول و توجیه رفتاری آن..... ۷۲

۴-۴ تکنیک دوم و طراحی مداری آن ۷۴

۴-۵ نمایش خروجی های طراحی ۷۶

۴-۶ تکنیک سوم و توجیه رفتاری آن..... ۷۸

فصل پنجم . نتایج شبیه سازی PLL ۸۱

۵-۱ پاسخ پله ی فرکانسی PLL در حوزه ی زمان ۸۲

۵-۲ پاسخ پله ی فرکانسی PLL در حوزه ی زمان با مدار XOR_KEY ۸۴

۵-۳ رفتار PLL بهینه شده در حوزه ی فرکانسی..... ۸۹

۵-۴ بهینه سازی نهایی ۹۵

۵-۵ علت استفاده از خازن جبران ساز Co..... ۹۸

عنوان **صفحه**

۵-۶ نمایش عملکرد مدار XOR-KEY در روند عملیات PLL ۹۹

۵-۷ نمایش کاهش زمان نشست با کمک تکنیک تغییر پهنای باند فرکانسی در حالت گذرا..... ۱۰۰

۵-۸ محاسبه ی جیتر در سیستم **PLL** با کمک مشخصه ی طیفی خروجی..... ۱۰۱

فصل ششم . مدل سازی رفتاری PLL ۱۰۲

۶-۱ مدلسازی رفتاری به عنوان ابزاری برای شبیه سازی سیستمها..... ۱۰۳

۶-۱-۱ آشنایی ابتدایی و بررسی ویژگی های VHDL-AMS..... ۱۰۳

۶-۱-۲ اهمیت مدل سازی رفتاری..... ۱۰۴

۶-۲ نمایش برنامه ی مدل رفتاری..... ۱۰۶

۶-۳ نمایش خروجی مدل و مقایسه ی آن با خروجی واقعی..... ۱۰۶

۶-۳-۱ نمایش خروجی سیستم PLL عادی..... ۱۰۶

۶-۳-۲ نمایش خروجی PLL و نمایش پایداری حاصل از تکنیکها در مدل رفتاری..... ۱۰۸

۶-۳-۳ نمایش خروجی PLL برای حالت بهینه پهنای باند و پایدار..... ۱۱۰

۶-۴ نمایش سایر رفتارها با کمک این مدل ۱۱۱

۶-۵ شبیه سازی نویز فاز..... ۱۱۲

۶-۶ محاسبه ی JITTER..... ۱۱۲

۶-۶-۱ PLL مرتبه ی دوم..... ۱۱۳

۶-۶-۲ PLL مرتبه ی اول ۱۱۴

پیوست ها

مدل های MOSFET استفاده شده در این پروژه ۱۱۶

برنامه ی نوشته شده به زبان VHDL-AMS برای مدلسازی رفتاری PLL ۱۱۹

فهرست شکل

عنوان **صفحه**

شکل ۱-۱ : تعریف آشکار ساز فاز ۲

شکل ۱-۲ : دریچه ی OR انحصاری بعنوان یک آشکار ساز ۳

شکل ۱-۳ : نمایش مشخصه ی آشکارساز فاز و مشاهده ی خروجی آن بازای مقادیر مختلف اختلاف فاز.۳

شکل ۱-۴ : حلقه ی فید بک برای مقایسه ی فاز های ورودی - خروجی و PLL ساده ۴

شکل ۱-۵ : شکل موج های یک PLL در شرایط قفل و خطای فاز خروجی.....۵

شکل ۱- ۶ : جابجایی داده نسبت به ساعت به خاطر وجود خطای کوچک فرکانسی.....۶

شکل ۱-۷ : پاسخ یک PLL به پله ی فاز.....۷

شکل ۱-۸ : پاسخ یک PLL به یک پله ی کوچک در فرکانس..... .۸

شکل ۱-۹ : تغییرات سریع و آهسته ی فاز اضافی..... ۸

شکل ۱-۱۰ : مدل خطی یک PLL نوع I..... .۹

شکل ۱-۱۱ : پاسخ تحت میرایی PLL به یک پله ی فرکانسی..... .۱۰

شکل ۱-۱۲ : پاسخ تحت میرایی سیستم مرتبه ی دوم برای مقادیر مختلف ξ.....۱۰

شکل ۱-۱۳ : مکان هندسی ریشه های PLL نوع I ۱۱

شکل ۱-۱۴ : نمودار بود PLL نوع I ۱۱

شکل ۱-۱۵ : شکل موج های خروجی یک PFD فرضی برای حالات با اختلاف فاز و بدون اختلاف فاز...۱۲

شکل ۱-۱۶ : ناحیه ی مرده در یک جریان پمپ بار ۱۲

شکل ۱-۱۷ : تشویش ناشی از ناحیه ی مرده ۱۳

شکل ۱- ۱۸: پاسخ یک PD به اختلاف فاز کوچک در ورودی ۱۳

شکل ۱-۱۹ : اثر ناهمسانی جریان UP , DOWN ۱۴

شکل ۱-۲۰ : اشتراک بار بین Cp و خازنهای X , Y ۱۴

شکل ۱-۲۱ : گره زدن X , Y برای کاهش اشتراک بار ۱۵

شکل ۱-۲۲ : شکل موج های ایده آل همراه با تشویش ۱۶

شکل ۱-۲۳ : تاخیر بین کلاک بافر شده و داده ۱۷

شکل ۱-۲۴ : استفاده از PLL برای حذف لغزش ۱۷

شکل ۱-۲۵ : زمان بندی مجدد داده با DFF که توسط پالس ساعت کم نویز کار می کند و استفاده از مدار جبران کننده ی بازیافت ساعت قفل فاز برای ایجاد پالس ساعت ۱۸

شکل ۲-۱ : مدل PLL حالت کلی تشکیل شده از بلوک های ساختاری اصلی ۲۰

عنوان **صفحه**

شکل ۲-۲: نمایش محدوده ی عملیاتی PLL ۲۵
شکل ۲-۳ : ساختار PLL با مدل پمپ بار نوع اول ۳۱
شکل ۲-۴ : دیاگرام بود PLL نوع اول ۳۲
شکل ۲-۵ : ساختار PLL با مدل پمپ بار نوع دوم ۳۲
شکل ۲-۶ : دیاگرام بود PLL نوع دوم ۳۳
شکل ۲-۷ : مدل کلی PLL به همراه نویز های مختلف PLL ۳۵
شکل ۳-۱ : ساختار کلی یک آشکار ساز فاز- فرکانسی بر پایه ی لچ ۳۹
شکل ۳-۲ : نمایش عملکرد و مشخصه ی PFD ساده ۴۰
شکل ۳-۳ : نمایش عملکرد و مشخصه ی آشکار ساز فاز- فرکانسی بر پایه ی لچ ۴۰
شکل ۳-۴ : مدار تست PFD در نرم افزار ADS ۴۲
شکل ۳-۵ : نمایش خروجی PFD به ازای اختلاف فاز 1 ns ۴۳
شکل ۳-۶ : نمایش خروجی PFD به ازای اختلاف فاز 1.8 ns ۴۳
شکل ۳-۷ : نمایش خروجی PFD به ازای اختلاف فاز 1.9 nF ۴۴
شکل ۳-۸ : نمایش خروجی PFD به ازای اختلاف فاز 50 ps ۴۴
شکل ۳-۹ : نمایش خروجی PFD به ازای اختلاف فاز 0 ps ۴۵
شکل ۳-۱۰ : ساختار مداری یک پمپ بار ۴۵
شکل ۳-۱۱ : شکل مدار طراحی شده از پمپ بار ۴۶
شکل ۳-۱۲ : ساختار مدار سوئیچ مصنوعی ۴۷
شکل ۳-۱۳ : مدار تست پمپ بار در ADS ۴۸
شکل ۳-۱۴ : خروجی پمپ بار برای حالت بالا رونده ۴۸
شکل ۳-۱۵ : خروجی پمپ بار برای حالت پایین رونده ۴۹
شکل ۳-۱۶ : خروجی پمپ بار برای حالت بدون اختلاف فاز ۴۹
شکل ۳-۱۷ : ساختار مداری طبقه ی تفاضلی بهره منفی برای اسیلاتور حلقوی ۵۰
شکل ۳-۱۸ : مدار نمایش دهنده ی مشخصه ی خازن متغییر با ولتاژ ۵۲
شکل ۳-۱۹ : نمایش مشخصه ی خازن متغییر با ولتاژ ۵۲
شکل ۳-۲۰ : نمایش مشخصه ی VCO در مطلب برحسب معادلات خطی ۵۲
شکل ۳-۲۱ : نمایش مشخصه ی شیب VCO ۵۳
شکل ۳-۲۲ : مدار تست VCO در ADS ۵۴

عنوان **صفحه**

شکل ۳-۲۳ : نمایش خروجی های مختلف مربوط به VCO ۵۴

شکل ۳-۲۴ : مشخصه ی VCO مربوط به ADS ۵۵

شکل ۳-۲۵ : خروجی بهینه ۵۵

شکل ۳-۲۶ : نمایش خروجی نهایی از VCO ۵۶

شکل ۳-۲۷ : مدار تست تقسیم کننده ی DFF در ADS ۵۸

شکل ۳-۲۸ : خروجی های نقاط مختلف تقسیم کننده ۶۰

شکل ۴-۱ : مدل یک CP-PLL ساده ۶۳

شکل ۴-۲ : پاسخ سیستم حلقه بسته به ورودی پله..... ۶۴

شکل ۴-۳ : مشخصه ی بود حلقه بسته ی سیستم PLL نوع اول..... ۶۵

شکل ۴-۴ : مشخصه ی بود حلقه باز سیستم PLL نوع اول..... ۶۵

شکل ۴-۵ : مکان هندسی ریشه ها و محاسبه ی حد فاز برای پایداری..... ۶۶

شکل ۴-۶ : مدل یک CP-PLL نوع دوم ۶۷

شکل ۴-۷ : پاسخ سیستم حلقه بسته به ورودی پله..... ۶۹

شکل ۴-۸ : مشخصه ی بود حلقه بسته ی سیستم PLL نوع دوم..... ۶۹

شکل ۴-۹ : مشخصه ی بود حلقه باز سیستم PLL نوع اول..... ۶۹

شکل ۴-۱۰ : مکان هندسی ریشه ها و محاسبه ی حد فاز برای پایداری..... ۷۰

شکل ۴-۱۱a : مکان هندسی ریشه ها و مشخصه ی پایداری سیستم به ازای Cl = 0.01 nF ۷۱

شکل ۴-۱۱b : مکان هندسی ریشه ها و مشخصه ی پایداری سیستم به ازای Cl = 0.1 nF..... ۷۲

شکل ۴-۱۲ : نمایش تغییر خازن بار در فیلتر حلقه و تغییر مشخصه ی پایداری ۷۳

شکل ۴-۱۳ : ساختار مداری مدار سوئیچینگ حساس به اختلاف فاز XOR-KEY ۷۶

شکل ۴-۱۴ : مدار تست XOR-KEY در ADS ۷۶

شکل ۴-۱۵ : خروجی های سوئیچ به ازای اختلاف فاز 0.1 ns> ۷۷

شکل ۴-۱۶ : خروجی های سوئیچ به ازای اختلاف فاز 0.1 ns >..... ۷۸

شکل ۴-۱۷ : نمایش تغییر مقاومت در فیلتر حلقه و تغییر پهنای باند PLL در حالتهای مختلف..... ۷۹

شکل ۵-۱ : نمایش مدار تست PLL در ADS..... ۸۳

شکل ۵-۲ : نمایش ولتاژ کنترل VCO در شرایط مختلف (Cl = 50 pF) ۸۳

شکل ۵-۳ :a) نمایش ولتاژ کنترلVCOوb) نمایش طیفی خروجی PLLدر شرایط مختلف(Cl = 10 pF)..... ۸۴

عنوان **صفحه**

شکل ۵-۴ : نمایش ولتاژ کنترل VCO در شرایط مختلف (Rp=5k,Cp=1n,Cl=10pF) و بدون خازن جبران ساز .Co..... ۸۵
شکل ۵-۵ :نمایش خروجی های up , down و پالسهای ورودی PFD در شرایط مختلف Cl = 10 pF... ۸۵
شکل ۵-۶ : نمایش کاهش جهش ها تا کمتر از ۱۴۰ میلی ولت ۸۵
شکل ۵-۷ : نمایش خروجی های up , down و پالسهای ورودی PFD ۸۶
شکل ۵-۸ : نمایش کاهش جهش ها تا کمتر از ۲۵ میلی ولت ۸۷
شکل ۵-۹ : نمایش خروجی های up , down و پالسهای ورودی PFD..... ۸۷
شکل ۵-۱۰ : نمایش خروجی برای حالت قفل..... ۸۷
شکل ۵-۱۲ : نمونه ی بهینه شده ی در حوزه ی فرکانسی برای پهنای باند ۸۸
شکل ۵-۱۳ : کاهش جهش های حالت بهینه تا مقدار کمتر از ۵۰ میلی ولت ۸۹
شکل ۵-۱۴ : خروجی های up , down سیستم PLL به ازای ورودی های سیستم..... ۸۹
شکل ۵-۱۵ : نمایش خروجی VCO ۸۹
شکل ۵-۱۶ : پاسخ سیستم به ورودی پله ۹۱
شکل ۵-۱۷ : دیاگرام بود تابع حلقه بسته..... ۹۱
شکل ۵-۱۸ : دیاگرام بود تابع حلقه باز ۹۱
شکل ۵-۱۹ : نمایش مکان هندسی ریشه ها ی سیستم در حالت گذرا ۹۲
شکل ۵-۲۰ : پاسخ سیستم به ورودی پله ۹۲
شکل ۵-۲۱ : دیاگرام بود تابع حلقه بسته ۹۳
شکل ۵-۲۲ : دیاگرام بود تابع حلقه باز ۹۳
شکل ۵-۲۳ : نمایش مکان هندسی ریشه ها ی سیستم در حالت قفل ۹۴
شکل ۵-۲۴ : نمایی گسترده از مکان هندسی ریشه ها ۹۴
شکل ۵-۲۵ : ولتاژ کنترل VCO در شرایط مختلف (Cl = 3 pF) و به همراه خازن جبران ساز Co= 0.5 pF..... ۹۵
شکل ۵-۲۶ : نمایش خروجی های up , down و پالسهای ورودی PFD..... ۹۶
شکل ۵-۲۷ : نمایش ماکزیمم دامنه ی جهش های ۶۰ میلی ولتی در حالت ایستا..... ۹۶
شکل ۵-۲۸ : خروجی های مختلف PLL عادی ۹۷
شکل ۵-۲۹ : مشخصه ی سیستم PLL عادی ۹۷

عنوان **صفحه**

شکل ۵-۳۰ : مدار PLL با مدار سوئیچ در شرایط قفل Cl = 3 pF به همراه خازن جبران ساز Co= 0.5 pF.....۹۸

شکل ۵-۳۱ : نمایش ولتاژ کنترل VCO در شرایط مختلف Cl = 3 pF و بدون خازن جبران ساز Co.....۹۸

شکل ۵-۳۲ : نمایش جریان در خروجی مدار سوئیچ.....۹۹

شکل ۵-۳۳ : نمایش ولتاژ در خروجی مدار سوئیچ.....۹۹

شکل ۵-۳۴ :a)ولتاژ کنترل VCO در یک PLL سریع و نمایش کاهش زمان نشست. b) نمایش طیفی خروجی PLL.....۱۰۰

شکل ۵-۳۵: نمایش طیفی خروجی در فرکانس 2 GHz (N=4 , 2.5 V) و منابع میخک ها در فرکانس Δf =500 MHz.....۱۰۱

شکل ۶-۱ : خروجی سیستم PLL عادی با استفاده از مدل رفتاری ۱۰۷

شکل ۶-۲ : خروجی سیستم PLL عادی با استفاده از مدل مداری ۱۰۷

شکل ۶-۳ : نمایش پالس های ورودی و خروجی و ولتاژ کنترل VCO ۱۰۸

شکل ۶-۴ : نمایش خروجی مدار سوئیچ XOR-KEY (جریان و ولتاژ).....۱۰۹

شکل ۶-۵ : نمایش خروجی سوئیچ و ولتاژ کنترل در ADS در مقایسه ی مدل شبیهسازی شده ی مدلسازی رفتاری ۱۰۹

شکل ۶-۶ : نمایش مدل رفتاری برای حالت رفتاری متفاوت برای N=100 .....۱۱۰

شکل ۶-۷ : مدل طراحی برای حالت بهینه و مقایسه ی آن با مدل دقیق Hspice ۱۱۰

شکل ۶-۸ : نمایی از مدل مداری.....۱۱۱

شکل ۶-۹ : نمایش خاصیت دمدولاسیون PLL ، در مدلسازی رفتاری PLL ۱۱۲

شکل ۶-۱۰ : نمایی کلی از نرم افزار برای سیستم بهینه شده ۱۱۳

شکل ۶-۱۱ : نمایش سنتز نویز فاز خروجی به ازای نویز های مختلف ۱۱۳

شکل ۶-۱۲ : نمایش سنتز شده ی پاسخ فرکانسی حلقه بسته.....۱۱۴

شکل ۶-۱۳ : پاسخ پله ی سیستم ۱۱۴

شکل ۶-۱۴ : نمایش سنتز نویز فاز خروجی به ازای نویز های مختلف، مشابه حالت قفل سیستم ۱۱۵

شکل ۶-۱۵ : پاسخ پله سیستم و حلقه بسته ی حالت قفل ۱۱۵

فهرست جداول

عنوان **صفحه**

جدول ۶-۱: مقایسه ی بین مدل رفتاری و مدل مداری برای حالت ناپایدار.....۱۰۷
جدول ۶-۲ : مقایسه ی بین مدل رفتاری و مدل مداری برای حالت پایدار سازی سیستم.....۱۰۸
جدول ۶-۳ : مقایسه ی بین مدل رفتاری و مدل مداری برای حالت بهینه.....۱۱۱

مخفف ها و کوتاه نشت ها:

CP-PLL Charge Pump Phase Lock Loop

PLL Phase Lock Loop

Integral N-PLL Integral N-Phase Lock Loop

Fractional N-PLL Fractional N-Phase Lock Loop

DLL Delay-Locked Loop

VCO Voltage Control Oscillator

VHDL-AMS Very High Speed Integrated Circuit Hardware Description Language – Analog Mixed Signal

PFD Phase Frequency Detector

PD Phase Detector

فصل اول

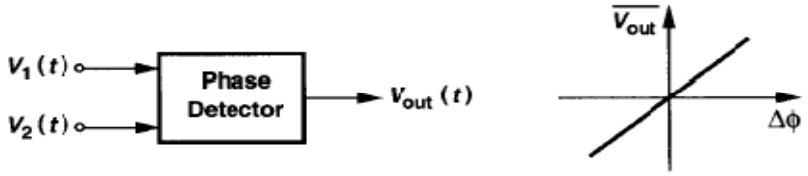
مبانی ساختاری در PLL

مقدمه

مفهوم قفل فاز در دهه ی ۱۹۳۰ ابداع شد و بلا فاصله کاربرد گسترده ای در الکترونیک و مخابرات پیدا کرد. اگر چه حلقه ی قفل فاز اصلی به همان صورت باقی مانده است ولی پیاده سازی آن در فنآوری های مختلف برای کاربرد های متفاوت هنوز جزو مشکلات طراحان است. یک PLL که برای تولید پالس ساعت در ریز پردازنده بکار می رود کاملا شبیه به سنتز کننده ی فرکانسی است که در تلفن سلولی استفاده می گردد ولی مدارات واقعی آن ها بصورت کاملا متفاوت از هم طراحی می شوند .

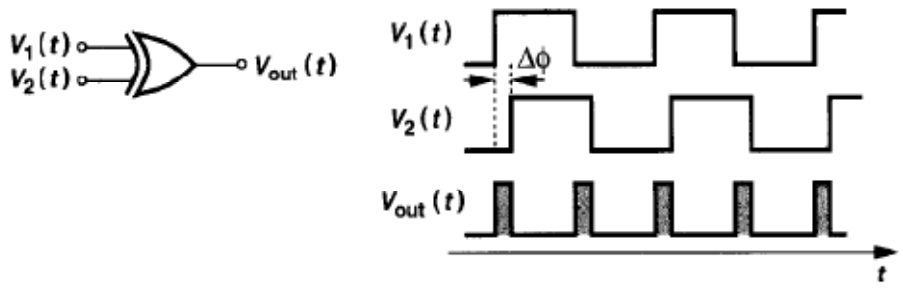
۱-۱ آشکار ساز فاز ساده:

PLL سیستم فیدبک داری است که فاز ورودی را با فاز خروجی مقایسه می کند. این مقایسه توسط یک آشکار ساز فاز PD انجام می شود . آشکارساز فاز مداری است که ولتاژ متوسط خروجی آن، V_{out} بطور خطی با اختلاف فاز بین دو ورودی، $\Delta \Phi$ متناسب است.مطابق شکل ۱-۱ در حالت ایده آل رابطه ی بین Φ و Δ V_{out} خطی است و مبدأ را در صفر قطع می کند. شیب خط، Kpd که بهره ی آشکار ساز فاز نامیده می شود بر حسب ولتاژ بر رادیان بیان می شود.



شکل ۱-۱ : تعریف آشکار ساز فاز .

یک مثال خوب از آشکارساز فاز دریچه ی OR انحصاری (XOR) است که در شکل ۱-۲ به نمایش گذاشته شده است، وقتی اختلاف فاز بین دو ورودی تغییر می کند، پهنای پالس های خروجی نیز تغییر می کند، بنابراین سطح DC ای ایجاد می شود که متناسب با $\Delta \Phi$ است. اگر چه XOR برای لبه های پائین رونده وبالا رونده، پالس خطا ایجاد می کند، ولی انواع دیگر آشکارساز فقط به یک لبه حساس می باشند؛



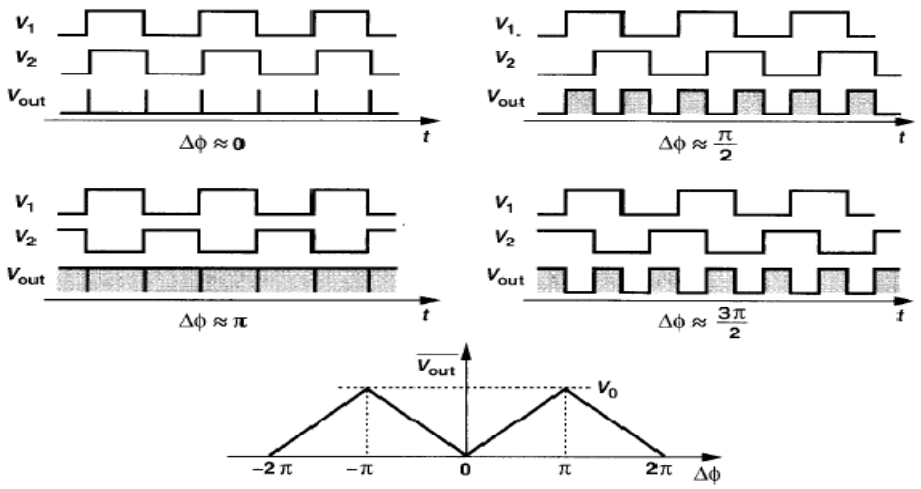
شکل ۱-۲ : دریچه ی OR انحصاری بعنوان یک آشکار ساز .

عملکرد آشکار ساز های فاز شبیه به تقویت کننده های دیفرانسیلی است، هم از این لحاظ که تفاوت بین دو ورودی را می گیرد وهم ازاین لحاظ که خروجی متناسب با آن تولید می کند.

۱-۲ توپولوژی پایه ی PLL

برای رسیدن به مفهوم قفل فاز، ابتدا مسئله ی تطبیق فاز خروجی یک VCO با فاز یک پالس ساعت مرجع را در نظر گرفته می شود . مطابق شکل ۱-۳، لبه ی بالا رونده ی V2 به اندازه ی Δt ثانیه نسبت به V1 جابه جا شده است و هدف حذف این خطا می باشد. با فرض وجود یک ورودی کنترل V_{out} ، برای تغییر فاز باید فرکانس را تغییر داد و بنابراین براساس معادله ی ۱-۱مقدار این تغییرات مشخص می گردد؛ [1]

$$\Phi = \int (\omega + Kvco)dt \qquad (۱-۱)$$

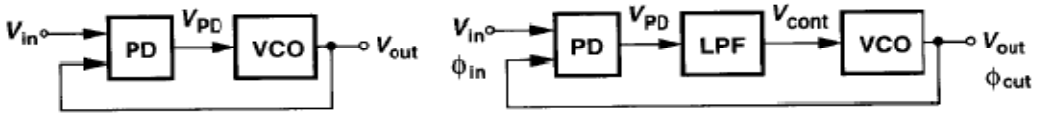


شکل ۱-۳: نمایش مشخصه ی آشکارساز فاز و مشاهده ی خروجی آن بازای مقادیر مختلف اختلاف فاز.

حال با تغییر ولتاژ کنترل وفرکانس VCO برای مدت کوتاهی تطبیق فاز حاصل می شود. بطور کلی فاز خروجی با فاز مرجع تطبیق می یابد، اگر فرکانس VCO بطور موقت عوض شود و وسیله ای برای مقایسه ی

دو فاز موجود باشد تا تعیین کند چه موقع ورودی و خروجی بر هم منطبق شود. هدف این تطبیق را قفل فاز می گویند.

پس مطابق شکل ۱-۴ PLL به سادگی تشکیل شده از VCO , PD در حلقه ی فیدبک که PD فاز های V_{in} , V_{out} را مقایسه می کند و خطایی ایجاد می کند که فرکانس VCO را تغییر می دهد تا هنگامی که حلقه قفل کند.



شکل ۱-٤ : حلقه ی فید بک برای مقایسه ی فاز های ورودی - خروجی و PLL ساده

در تکمیل حلقه برای اینکه خروجی PD ، شامل مولفه ی DC مطلوب گردد و مولفه های فرکانس بالای نا مطلوب حذف گردد و ولتاژ کنترل VCO در حالت قفل ثابت باشد، به یک فیلتر پائین گذر بین VCO , CP نیاز داریم. بررسی های بعدی نشان می دهد که افزایش بهره ی حلقه با ز منجر به کاهش خطای فاز در حالت پایدار می گردد و شرایط قفل فاز میسر می شود؛ حال در این جا شرط قفل را بررسی می کنیم

$$d\Phi out/dt - d\Phi in/dt = 0 ; \qquad (۲-۱)$$

$$\omega_{out} = \omega_{in} ;$$

۱-۲-۱خروجی PLL در شرایط قفل :

برای آشنایی با رفتار PLL، مطابق شکل ۱-۵ از ساده ترین حالت شروع می کنیم که مدار قفل است وحال شکل موجهای هر قسمت در حلقه را بررسی می کنیم. V_{out} , V_{in} اختلاف فاز کوچکی دارد و فرکانس هایش برابر است. بنابراین PD پالس هایی به پهنای این اختلاف فاز ایجاد می کند و فیلتر پائین گذر مولفه ی DC ، V_1 را خارج می کند و نتیجه به VCO اعمال می شود . فرض کنید بهره ی فیلتر برابر یک است. پالس های کوچک موجود در فیلتر را جهش[۷] می نامند.

[7] Jumping