دانشکده مهندسی

بهینه‌سازی مبدل‌های آنالوگ به دیجیتال پایپ‌لاین

نگارش:

حمیدرضا رضایی ده‌سرخ

اساتید راهنما:

دکتر رضا لطفی- دکتر خلیل مافی‌نژاد

رساله جهت دریافت درجه کارشناسی ارشد

در رشته مهندسی برق- الکترونیک

شهریور ۱۳۸۷

تعهد نامه

اینجانب **حمیدرضا رضایی ده‌سرخ** دانشجوی دوره کارشناسی ارشد رشته برق- الکترونیک دانشکده مهندسی دانشگاه فردوسی مشهد نویسنده پایان نامه « **بهینه‌سازی مبدل‌های آنالوگ به دیجیتال پایپ لاین** » تحت راهنمایی دکتر رضا لطفی و دکتر خلیل مافی‌نژاد، متعهد می شوم:

- تحقیقات در این پایان نامه توسط اینجانب انجام شده است و از صحت و اصالت برخوردار است.
- در استفاده از نتایج پژوهش‌های محققان دیگر به مرجع مورد استفاده استناد شده است.
- مطالب مندرج در پایان نامه تاکنون توسط خود یا فرد دیگری برای دریافت هیچ نوع مدرک یا امتیازی در هیچ جا ارائه نشده است.
- کلیه حقوق معنوی این اثر متعلق به دانشگاه فردوسی مشهد می باشد و مقالات مستخرج با نام « دانشگاه فردوسی مشهد » و یا « Ferdowsi University of Mashhad » به چاپ خواهد رسید.
- حقوق معنوی تمام افرادی که در به دست آمدن نتایج اصلی پایان نامه تأثیرگذار بوده اند در مقالات مستخرج از رساله رعایت شده است.
- در کلیه مراحل انجام این پایان نامه، در مواردی که از موجود زنده (یا بافت های آن ها) استفاده شده است ضوابط و اصول اخلاقی رعایت شده است.
- در کلیه مراحل انجام این پایان نامه، در مواردی که به حوزه اطلاعات شخصی افراد دسترسی یافته یا استفاده شده است، اصل رازداری، ضوابط و اصول اخلاقی انسانی رعایت شده است.

تاریخ

۱۳۸۷/۶/۲۳

امضای دانشجو

مالکیت نتایج و حق نشر

- کلیه حقوق معنوی این اثر و محصولات آن (مقالات مستخرج، کتاب، برنامه های رایانه ای، نرم افزارها و تجهیزات ساخته شده) متعلق به دانشگاه فردوسی مشهد می باشد. این مطلب باید به نحو مقتضی در تولیدات علمی مربوطه ذکر شود.
- استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نمی باشد.

چکیده :

با توجه به کاربرد فراوان مبدل‌های آنالوگ به دیجیتال پایپ لاین و همچنین تمایل به سمت سیستم‌های با توان مصرفی پایین، بر اهمیت طراحی بهینه این مدارها، بیش از پیش افزوده شده است. تاکنون روش‌های مختلفی به منظور بهینه سازی مبدل‌های آنالوگ به دیجیتال پایپ لاین ارائه شده است. به طور کلی در روابط بهینه‌سازی، نشست تقویت‌کننده هر طبقه به عنوان یک پارامتر مهم در توان مصرفی ظاهر می‌شود. در روش‌های بهینه سازی ارائه شده از روابطی برای مدل‌سازی نشست استفاده شده است که از دقت کافی –خصوصا در فن آوریهای نوین با طول کانال کوتاه ترانزیستورها– برخوردار نیستند . همچنین اثراتی مانند پرش اولیه خروجی و صفر سمت راست ناشی از خازن فیدبک بر روی نشست طبقه نیز در نظر گرفته نشده است.

در این پایان نامه، نخست مدل‌های مختلف ارائه شده برای نشست تقویت کننده‌های عملیاتی مورد بررسی قرار گرفته است. سپس، با ارائه مدل برای نشست غیر خطی در حالت کانال بلند و مدل نشست کامل در حالت کانال کوتاه، گامی جدید در جهت مدل‌سازی نشست تقویت کننده‌های عملیاتی برداشته شده است. دقت مناسب مدلهای ارایه شده با شبیه سازیهای مداری به وسیله نرم افزار HSpice و در فن آوری ساخت 90nm CMOS تایید شده است.

در این پایان نامه، همچنین، پرش خروجی در طبقات پایپ لاین به طور دقیق محاسبه شده است. علاوه بر آن، در راستای تکمیل مدلسازی موجود، اثر صفر سمت راست ناشی از خازن فیدبک بر تقویت کننده تک قطب در نظر گرفته شده و بالاخره رابطه نشست در طبقات پایپ لاین در حضور slewing نیز محاسبه گردیده است.

در پایان، با استفاده از مدل اصلاح شده، مبدل آنالوگ به دیجیتال پایپ لاین با دقت ۱۰ بیت و نرخ نمونه برداری 40 MSps همراه با کالیبراسیون دیجیتال در تکنولوژی CMOS 90nm در ولتاژ تغذیه 1V با SQNDR=56.5 dB و توان مصرفی کمتر از 10 mW با DNL=0.5 و INL=0.43 طراحی و شبیه‌سازی شده است.

فهرست مطالب

فصل ۱ : مقدمه ۱

۱-۱) مبدل‌های آنالوگ به دیجیتال پایپ لاین ۱

۱-۲) لزوم بهینه سازی مبدل‌های پایپ لاین ۲

۱-۳) نحوه نگارش رساله ۲

فصل ۲ : مبدل پایپ لاین و منابع خطا در آن ۳

۲-۱) عملکرد و ساختار مبدل پایپ لاین ۳

۲-۲) منابع خطا در مبدل پایپ لاین ۵

۲-۲-۱) نویز حرارتی ٦

۲-۲-۲) آفست مقایسه‌گرها ٦

۲-۲-۳) عدم تطبیق خازن ۷

۲-۲-٤) غیرخطی بودن خازن ۷

۲-۲-۵) آفست تقویت کننده ۸

۲-۲-۵) بهره DC محدود تقویت کننده ۸

۲-۲-٦) غیرخطی بودن بهره تقویت کننده ۹

۲-۲-۷) نشست تقویت کننده ۹

۲-۲-۷-۱) تحلیل به کمک مدل سیگنال کوچک ۱۰

۲-۲-۷-۲) تحلیل به کمک مدل سیگنال کوچک و سیگنال بزرگ ۱۳

۲-۲-۸) سوییچ‌های MOS ۱٦

فصل ۳ : برسی نشست تقویت کننده ۱۹

۳-۱) مقدمه ۱۹

۳-۲) نشست غیرخطی (slewing) ۲۰

۳-۲-۱) نشست غیرخطی کانال بلند ۲۰

۳-۲-۲) نشست غیرخطی کانال کوتاه ۲۸

۳-۲-۲-۱) ترانزیستور کانال کوتاه ۲۸

۳-۲-۲-۲) slewing در کانال کوتاه ۳۱
۳-۳) نشست خطی یا سیگنال کوچک ۳۵
۳-٤) اتصال نشست سیگنال کوچک و slewing ۳۷
۳-٤-۱) محاسبه زمان نشست ٤۲
۳-۵) نتیجه‌گیری ٤۲
۳-۵-۱) مقایسه نتایج شبیه‌سازی و مدلینگ ٤۲
۳-۵-۲) مقایسه مدلینگ ارائه شده با دیگر کارهای مشابه ٤۳
فصل ٤ : بررسی نشست طبقات پایپ لاین ٤۵
٤-۱) مقدمه ٤۵
٤-۲) بررسی پرش اولیه در خروجی تقویت‌کننده و انتگرال‌گیر خازن سوییچ شونده ٤٦
٤-۲-۱) روش اول به کمک بررسی بار خازن‌ها ٤۷
٤-۲-۲) روش دوم به کمک مدل کردن بار خازن‌ها ٤۹
٤-۲-۳) روش سوم به کمک شبیه سازی Capacitor flip over ۵۱
٤-۲-٤) نتیجه‌گیری ۵۲
٤-۳) بررسی پرش اولیه در خروجی طبقه پایپ لاین ۵۲
٤-٤) محاسبه زمان نشست طبقه 1.5 بیت پایپ لاین ۵۷
٤-٤-۱) زمان نشست در صورت عدم وجود slewing ۵۸
٤-٤-۲) زمان نشست در صورت وجود slewing ۵۹
٤-۵) نتیجه‌گیری ٦۲
فصل ۵ : طراحی مبدل آنالوگ به دیجیتال پایپ‌لاین با کالیبراسیون دیجیتال در تکنولوژی 90nm ٦۳
۵-۱) مقدمه ٦۳
۵-۲) طراحی سیستمی مبدل ٦٤
۵-۲-۱) تخصیص سهم نویز طبقات ٦٤
۵-۲-۲) طراحی مبدل انتهایی ٦۷
۵-۲-۳) طراحی طبقات اول و دوم مبدل ۷۱
۵-۳) طراحی مداری مبدل ۷۳
۵-۳-۱) طراحی مداری طبقات انتهایی ۷۳
۵-۳-۱-۱) شکل‌دهی ساختار کلی MDAD ۷۳

۵-۳-۱-۲) طراحی تقویت‌کننده عملیاتی ۷٤
۵-۳-۱-۳) طراحی مدار sub-ADC و DAC و مبدل دو بیتی Flash ۷٦
۵-۳-۲) طراحی مداری طبقه دوم ۷۷
۵-۳-۲-۱) طراحی تقویت کننده ۷۷
۵-۳-۲-۲) ساختار MDAC ۷۸
۵-۳-۳) طراحی مداری طبقه اول ۷۸
۵-۳-٤) پیاده‌سازی الگوریتم کالیبراسیون ۷۹
۵-۳-۵) نتایج تست مبدل ۸۱
فصل ٦ : نتیجه‌گیری ۸۳
٦-۱) نتیجه‌گیری ۸۳
٦-۲) پیشنهادات ۸٤
مراجع ۸٦

فصل ۱

پیشگفتار

۱-۱) مبدل‌های آنالوگ به دیجیتال پایپ لاین :

امروزه حجم وسیعی از پردازش سیگنال در حوزه دیجیتال انجام می‌گیرد. اما از آنجایی که دنیای پیرامون بشر، دنیایی آنالوگ می‌باشد، همواره به مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ نیاز خواهد بود.

هر چه پردازش در حوزه دیجیتال گسترش یابد، نیاز به مبدل‌هایی با سرعت و دقت بیشتر افزایش می‌یابد. در میان انواع مبدل‌ها آنالوگ به دیجیتال، ساختارهای pipeline و سیگما-دلتا به دلیل قابلیت‌های برتر، از محبوبیت بیشتری میان طراحان برخوردار بوده‌اند. سیگما-دلتا به منظور استفاده در کاربردهای با دقت بالا و سرعت پایین مناسب می‌باشد؛ در حالی که معماری pipeline در سرعت بالا و دقت متوسط به بالا کاربرد دارند [1].

در مبدل‌های داده با تبدیل موازی، مانند flash، سطح اشغالی از تراشه و توان مصرفی به صورت نمایی با دقت مبدل نسبت دارد [2] (در ازای هر بیت افزایش دقت، تقریبا دو برابر می‌شود [3]). بنابراین دقت در این مبدل‌ها پایین می‌باشد. لذا به منظور کاهش توان و سطح اشغالی همراه با افزایش دقت، از معماری‌های چند طبقه استفاده می‌شود. یکی از این شیوه‌های طراحی که به طبقات اجازه می‌دهد که به طور همزمان[1] عمل کنند، استفاده از pipelining می‌باشد. بدون استفاده از pipelining، حداکثر نرخ تبدیل یک مبدل چند طبقه با عکس تعداد طبقات متناسب است. با استفاده از pipelining، جداکثر نرخ تبدیل تقریبا مستقل از تعداد طبقات بوده و بدین ترتیب می‌توان با تعیین دقت هر طبقه، دیگر نیازهای مبدل را برآورده نمود [2]. علاوه بر این pipeline به طور ذاتی دارای نمونه‌برداری در مسیر سیگنال بوده که منجر به استفاده بهتر از پهنای باند می‌شود [3].

[1] Concurrent

۱-۲) لزوم بهینه سازی مبدل‌های پایپ لاین :

به منظور افزایش طول عمر باتری تجهیزات الکترونیکی قابل حمل و همچنین کوچک‌تر شدن ابعاد آن‌ها، باید توان مصرفی این وسایل کم شود. بنابراین توان مصرفی در وسایل قابل حمل اهمیت بسزایی دارد. توان مصرفی در وسایل غیرقابل حمل نیز از جهت هزینه خنک کردن و قابلیت اطمینان متاثر از افزایش دما، اهمیت دارد. بنابراین امروزه یکی از مهم‌ترین چالش‌ها در طراحی مدارات، مسئله توان مصرفی می‌باشد.

همان‌طور که قبلا گفته شد، مبدل pipeline از تعدادی طبقه تشکیل شده است که هر طبقه تعدادی بیت استخراج می‌کنند. با افزایش شماره طبقه سهم آن طبقه در نویز و خطای کل مبدل کم می‌شود [2, 3]. بنابراین با کوچک‌تر کردن خازن‌های طبقاتی که سهم کمتری در نویز کل مبدل دارند، می‌توان نویز KT/C مورد نظر را برآورده کرد. کوچک‌تر شدن خازن‌ها موجب کاهش توان مصرفی طبقات می‌شود. همچنین افزایش دقت هر طبقه موجب کم شدن تعداد طبقات و کم شدن تاثیر نویز و خطای طبقات بعدی در کل مبدل می‌شود. از طرفی افزایش دقت طبقات موجب افزایش تعداد مقایسه‌گرها و کوچک شدن ضریب فیدبک تقویت کننده می‌شود. بنابراین با تعیین مقدار خازن‌ها و دقت طبقات، می‌توان به طراحی بهینه برای توان مصرفی رسید [1].

۱-۳) نحوه نگارش رساله :

نحوه نگارش این رساله به این ترتیب است که در فصل دوم پس از بررسی مختصر معماری و ساختار مبدل‌های آنالوگ به دیجیتال پایپ لاین، به بررسی منابع خطا در پایپ لاین پرداخته شده است. در فصل سوم نشست تقویت کننده عملیاتی کسکود تا شده از دیدگاه کانال کوتاه و کانال بلند مورد بررسی قرار گرفته است. در این فصل هر دو نشست خطی و غیر خطی مورد تحلیل و بررسی قرار گرفته‌اند.

در فصل چهارم ابتدا پرش‌های اولیه خروجی در انتگرال‌گیر، تقویت کننده خازن سوییچ شونده و طبقه پایپ لاین مورد بررسی قرار گرفته است. سپس نشست در طبقات پایپ لاین در دو حالت با slewing و بدون آن مورد تحلیل قرار گرفته است. در فصل پنجم مبدل پایپ لاین ۱۰ بیت با نرخ نمونه برداری 40 Msps با کالیبراسیون دیجیتال در تکنولوژی CMOS 90nm طراحی و شبیه‌سازی شده است. در نهایت در فصل ششم به نتیجه‌گیری پرداخته شده است.

فصل ۲

مبدل پایپ لاین و منابع خطا در آن

۲-۱) عملکرد و ساختار مبدل پایپ لاین :

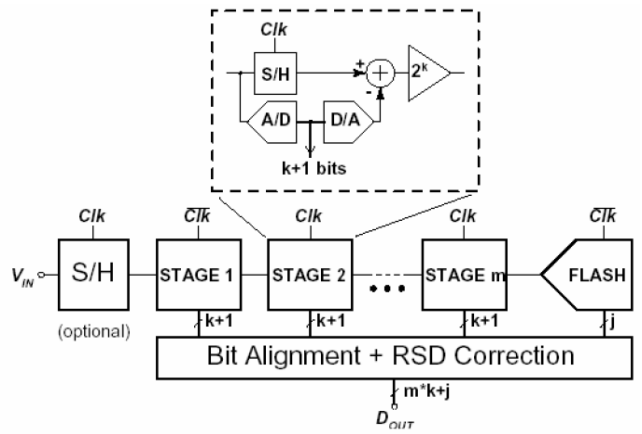
شکل ۲-۱ نمایی کلی از یک مبدل پایپ لاین را نشان می‌دهد. این مبدل از m طبقه که هر یک K_i بیت به علاوه یک بیت اضافی که با بیتی از طبقه بعدی هم پوشانی دارد، تشکیل شده است. در انتهای آخرین طبقه، یک مبدل flash قرار دارد که j بیت تولید می‌کند. در نتیجه دقت کل مبدل به اندازه $\sum_{i=1}^{m} K_i + j$ بیت خواهد بود. هر طبقه از یک مدار S/H[1]، DAC[2]، ADC[3]، جمع کننده و بهره تشکیل شده است. طرز کار آن به این صورت است که با آمدن سیگنال کلاک، مدار S/H یک نمونه آنالوگ را برمی‌دارد. سپس مدار ADC آن را به دیجیتال تبدیل کرده و دوباره مدار DAC بیت‌ها را به آنالوگ تبدیل و از سیگنال نمونه برداری شده کم می‌کند. باقیمانده سیگنال تقویت شده تا برای استخراج بیت‌های بعدی به طبقه بعد برود. همه این عملیات به کمک یک مدار خازن سوییچ شونده و چند مقایسه‌گر انجام می‌گیرد. از آنجایی که این طبقات با پالس‌هایی متقابل کار می‌کنند، یک سیگنال نمونه برداری شده در طول یک دوره کلاک از دو طبقه عبور می‌کند. ساختار غیر خطی هر طبقه به گونه‌ای است که تنها با یک جمع کننده ساده دیجیتال می‌توان عمل تصحیح خطا را انجام داد [1].

همان طور که اشاره شد، پیاده سازی طبقات پایپ لاین عمدتا به صورت مدارات خازن سوییچ شونده می‌باشد. شکل ۲-۲ یک طبقه 1.5 بیت را به صورت مدار خازن سوییچ شونده نشان می‌دهد. در فاز φ کلاک، ولتاژ ورودی بر روی دو خازن C_1 و C_2 ذخیره می‌گردد. در فاز بعدی که از لحاظ زمانی کاملا با فاز اول نا همپوشانی دارد، خازن

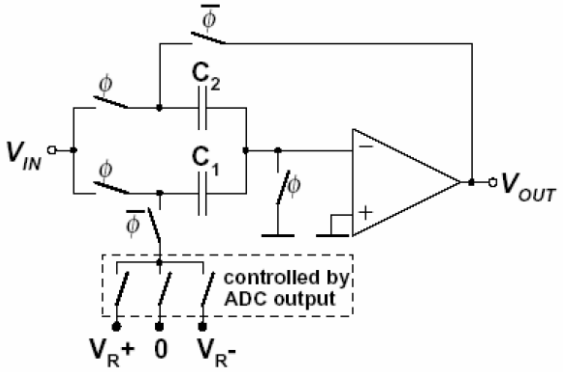
[1] Sample and Hold
[2] Digital to Analog Converter
[3] Analog to Digital Converter

C_2 در حلقه فیدبک قرار گرفته و خازن C_1 به ولتاژ مرجع متصل می گردد. در نتیجه در خروجی ولتاژی به صورت رابطه ۲-۱ ظاهر می‌شود که در آن B یکی از سه مقدار 1-، 0 و 1 را می‌تواند داشته باشد [1].

$$V_{out} = \frac{C_1 + C_2}{C_2} V_{in} + B \frac{C_1}{C_2} V_{ref} \qquad (۱-۲)$$



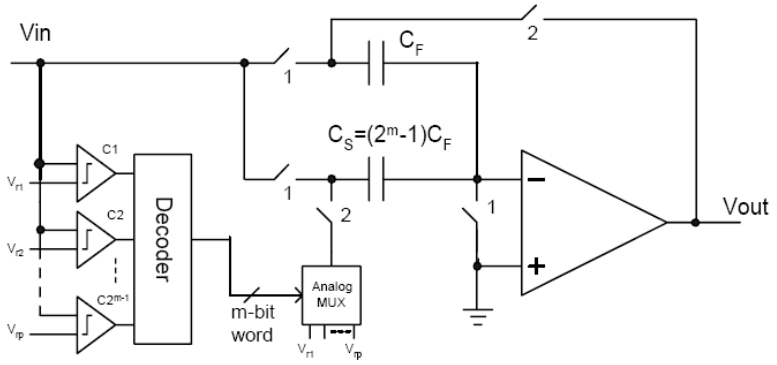
شکل ۲-۱ : مبدل آنالوگ به دیجیتال پایپ لاین [1]



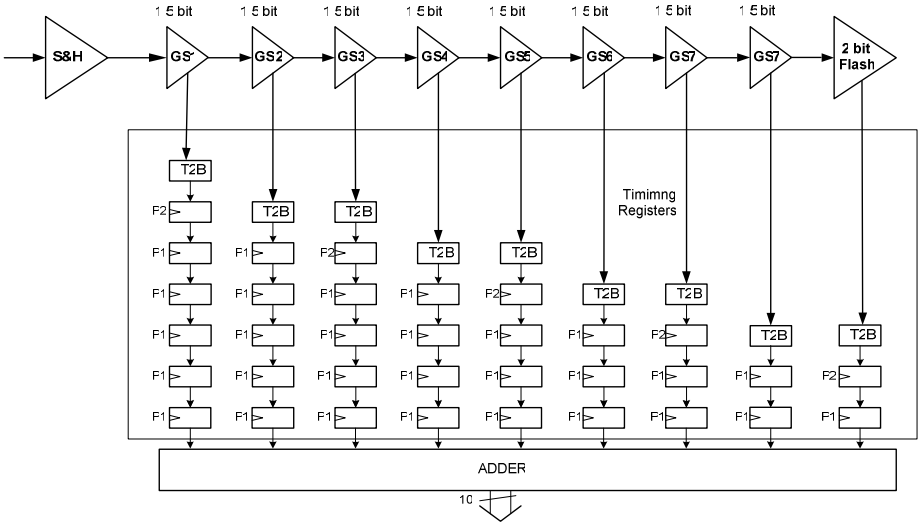
شکل ۲-۲ : یک طبقه پایپ لاین با 1.5 بیت دقت [1]

شکل ۲-۳ نمایی کلی از یک طبقه m بیتی را که به صورت مدار خازن سوییچ شونده پیاده‌سازی شده است، نشان می‌دهد. رابطه خروجی شکل ۲-۳ از رابطه ۲-۲ به دست می‌آید که در آن $C_{s,j}$ خازن‌های نمونه‌بردار، C_f خازن فیدبک، V_{ref} ولتاژ مرجع، n تعداد خازن‌ها نمونه‌بردار و m_j خروجی کوانتایزر است [4]. در شکل ۲-٤ سیستم تاخیرها و مدار جمع کننده دیجیتال و سیستم زمان‌بندی نشان داده شده است.

$$V_{out,i} = \frac{C_f + \sum_{j=0}^{n-1} C_{s,j}}{C_f} V_{in,i} - \frac{\sum_{j=0}^{n-1} (m_j \cdot C_{s,j})}{C_f} V_{ref}, \qquad (۲-۲)$$



شکل ۲-۳ : یک طبقه m بیت [1]



شکل ۲-٤ : سیستم زمان بندی و مدار دیجیتال تصحیح خطا

۲-۲) منابع خطا در مبدل پایپ لاین :

در این قسمت بعضی از منابع خطا که معمولا در مبدل آنالوگ به دیجیتال پایپ لاین وجود دارد، مورد بررسی قرار می‌گیرد. این منابع خطا می‌توانند کارآیی مبدل را تحت تاثیر قرار دهند. خطا ها را می‌توان به دو دسته کلی تقسیم کرد. خطاهایی که از یک نمونه به نمونه بعد تغییر می‌کنند، مانند نویز و خطاهایی که از یک نمونه به نمونه بعد تغییر نمی‌کنند و ثابت هستند، مانند عدم تطبیق[1]. خطاهای دسته اول را نمی‌توان به سادگی با کالیبراسیون تصحیح کرد در حالی که خطاهای دسته دوم را می‌توان با کالیبراسیون تصحیح نمود [5].

تاثیر هر خطا به تنهایی و در عدم حضور بقیه منابع خطا بیان شده است. در عمل این منابع خطا به طور هم زمان بر روی عملکرد مبدل اثر گذاشته و ممکن است اثرات پیش‌بینی نشده‌ای بر جای گذارند.

[1] Mismatch

۲-۲-۱) نویز حرارتی :

نویز حرارتی با حرکت و جنبش تصادفی الکترون‌ها ایجاد می‌شود. تمام ذرات در دمای بالای صفر مطلق در حال جنبش هستند. بنابراین حرکت و جنبش حرارتی الکترون‌ها، ایجاد جریانی تصادفی کرده که با افزایش دما زیاد می‌شود. نویز در تمام مدارات الکتریکی وجود دارد و بر روی سیگنال‌ها تاثیر می‌گذارد [5]. مهمترین منبع تولید نویز در پایپ لاین با ساختار خازن سویچ شونده، مدار S/H است. نویز S/H شامل نویز سوییچ نمونه برداری و نویز تقویت کننده S/H می‌شود. نویز سوییچ ناشی از مقاومت روشنی آن است. هنگام نمونه برداری، این نویز در خازن نمونه‌بردار، نمونه برداری می‌شود. به این منبع نویز حرارتی معمولا نویز KT/C می‌گویند. زیرا نویز با KT/C که در آن C خازن نمونه‌بردار، K ثابت بولتزمن و T دمای مطلق است، متناسب می‌باشد. این نویز در ساختار شکل ۲-۳ از رابطه ۲-۳ به دست می‌آید [3, 4, 5, 6].

$$e_{kT/C,i}^2 = \frac{kT}{C_f + \sum_{j=0}^{n-1} C_{s,j}}, \qquad (۲-۳)$$

نویز حرارتی تقویت کننده S/H نیز از دارای اهمیت بوده و باید در طراحی در نظر گرفته شود. این نویز نیز به طور معکوس با خازن متناسب است. این نویز به ساختار و توپولوژی تقویت کننده S/H کاملا وابسته است [4]. نویز حرارتی S/H برای مدارات گوناگون محاسبه شده است [1, 5, 7, 8, 9].

نویز حرارتی مهم‌ترین منبع نویز در پایپ لاین است زیرا از یک نمونه به نمونه دیگر به صورت تصادفی تغییر می‌کند و به راحتی با کالیبراسیون تصحیح نمی‌شود. نویز حرارتی را می‌توان با انتخاب اجزای بزرگ مداری یا oversampling کاهش داد. ولی هر دو روش در پهنای باند ورودی ثابت موجب افزایش توان تلفاتی می‌شوند. بنابراین بین نویز حرارتی، سرعت و توان مصرفی، مصالحه وجود دارد [5].

۲-۲-۲) آفست[1] مقایسه‌گرها :

مقایسه‌گر یکی از بخش‌های اساسی هر مبدل آنالوگ به دیجیتال است. یکی از عوامل غیر ایده‌آلی مقایسه‌گرها، آفست است. معمولا مقایسه‌گرها با توجه به تفاضل دو ورودی خود تصمیم‌گیری می‌کنند. بنابراین وجود آفست باعث می‌شود در هنگامی که دو ورودی به هم نزدیک هستند، تصمیم‌گیری اشتباه صورت گیرد. اگر مقایسه‌گر اشتباه تصمیم‌گیری نماید، کد خروجی آن اشتباه بوده و در نتیجه ولتاژ مرجع اشتباه از ورودی کم می‌شود. در نتیجه حتی ممکن است سیگنال باقی‌مانده بعد از تقویت، از محدوده طبقه بعد خارج شود. تاثیر آفست مقایسه‌گر مانند تغییر

[1] Offset

آستانه مقایسه‌گر یا ولتاژ مرجع است. به منظور از بین بردن اثر این خطا از یک مقایسه‌گر اضافی و تصحیح دیجیتالی خطا استفاده می‌شود [5]. بدین ترتیب آفست به بزرگی ±1/2 LSB[1] دقت همان طبقه قابل تصحیح شدن است [10].

۲-۲-۳) عدم تطبیق خازن :

هنگام ساخت خازن‌ها، به علت خطای لیتوگرافی و تغییرات ضخامت اکسید (این اثر در برابر تغییرات لیتوگرافی کوچک است)، بین دو خازن عدم تطبیق به وجود می‌آید [6]. اگر در شکل ۲-۳ تعداد خازن‌های $C_{s,j}$ برابر n باشد و $\Delta C_{s,j}$ و ΔC_f خطای خازن‌ها از مقدار C باشد، رابطه ۲-٤ ولتاژ خروجی طبقه را نشان می‌دهد که مقادیر خطا در بهره، α و ولتاژ مرجع، α_j از رابطه ۲-۵ به دست می‌آید [4].

$$V_{out,i} = (n+\alpha)\cdot V_{in,i} - \sum_{j=0}^{n-1}(m_j\cdot(1+\alpha_j))\cdot V_{ref}, \qquad (٤-٢)$$

$$1+\alpha_j = \frac{C+\Delta C_{s,j}}{C+\Delta C_f} = \frac{1+\frac{\Delta C_{s,j}}{C}}{1+\frac{\Delta C_f}{C}} \quad , \quad \alpha = \sum_{j=0}^{n-1}\alpha_j \qquad (۵-۲)$$

خطای عدم تطبیق خازن باید از 1/2 LSB دقت طبقات باقی‌مانده کمتر باشد [2, 10]. خطای حاصل از عدم تطبیق خازن بر روی بهره مشخصه طبقه اثر می‌گذارد.

اگر خازن به صورت مربعی با ضلع S باشد، رابطه ۲-٦ انحراف معیار خطای کسری عدم تطبیق خازن را نشان می‌دهد که در آن A_S به تکنولوژی ساخت بستگی دارد. این زابطه نشان می‌دهد که هر چه ابعاد خازن بزرگتر باشد، تطبیق دو خازن بهتر می‌شود [6].

$$\sigma_{\Delta C/C} = \frac{A_C}{S} \qquad (٦-٢)$$

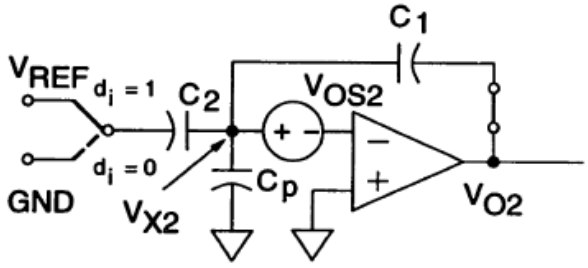
۲-۲-٤) غیرخطی بودن خازن :

اگر خازن نمونه‌برداری یا خازن فیدبک توسط لایه‌های diffusion پیاده‌سازی شود، ظرفیت خازن تابعی از ولتاژ اعمال شده به آن است. بنابراین بار منتقل شده در طبقه تابع خطی از ولتاژ ورودی نخواهد بود. این اعوجاج، خطی بودن کل مبدل را کاهش می‌دهد.

[1] Least Significant Bit

۲-۲-۵) آفست تقویت کننده :

تاثیر آفست تقویت کننده را می‌توان با قرار دادن یک منبع ولتاژ به اندازه آفست، v_{os}، سری با پایه معکوس کننده تقویت کننده، مانند شکل ۲-۵ مدل کرد. اگر این منبع در شکل ۲-۳ قرار گیرد، آفست منتقل شده به خروجی هر طبقه، $V_{os,i}$، از رابطه ۲-۷ قابل محاسبه است [4]. در ساختاری مااند شکل ۲-۳، آفست تقویت کننده در فاز نمونه برداری تاثیری بر روی مدار ندارد. در حالی که در بعضی از ساختارهای پایپ لاین، آفست تقویت کننده در فاز نمونه‌برداری بر روی نمونه برداشته شده اثر می‌گذارد.



شکل ۲-۵ : مدل کردن آفست تقویت کننده در فاز تقویت [10]

$$V_{os,i} = \frac{C_f + \sum_{j=0}^{n-1} C_{s,j}}{C_f} v_{os}. \qquad (۲-۷)$$

آفست هر طبقه، $V_{os,i}$، مقداری ثابت بوده و باعث می‌شود که خروجی هر طبقه مقداری شیفت پیدا کند. این آفست می‌تواند باعث شود که خروجی طبقه بیش از حد مجاز شده و بقیه طبقات باقی مانده به اشباع روند. تاثیر آفست را می‌توان به کمک روش‌هایی مانند auto-zeroing یا اندازه‌گیری آفست و حذف آن به کمک روش‌های آنالوگ و دیجیتال جبران‌سازی نمود [4]. روش auto-zeroing به این صورت است که در فاز نمونه‌برداری تقویت کننده به صورت حلقه بهره واحد بسته شده و آفست تقویت کننده در خازن نمونه‌گیر ذخیره می‌شود. در فاز بعدی، آفست از مقدار ذخیره شده در خازن کم می‌شود و بدین ترتیب اثر آفست حذف می‌شود. البته وجود بهره محدود تقویت کننده باعث می‌شود که مقداری از آفست به خروجی منتقل شود که با افزایش بهره قابل تضعیف است [10].

۲-۲-۵) بهره DC محدود تقویت کننده :

اگر تقویت کننده دارای بهره DC حلقه باز A_0 باشد، ولتاژ خروجی هر طبقه شکل ۲-۳ از رابطه ۲-۸ محاسبه می‌شود که در آن f ضریب فیدبک بوده و از رابطه ۲-۹ به دست می‌آید. C_{par} در رابطه ۲-۹ خازن پارازیتیک ورودی تقویت کننده است.

$$V_{out,i} = \left(\frac{C_f + \sum_{j=0}^{n-1} C_{s,j}}{C_f} V_{in,i} - \frac{\sum_{j=0}^{n-1} m_j \cdot C_{s,j}}{C_f} V_{ref} \right) \cdot \frac{1}{1 + \frac{1}{A_o \cdot f}}, \qquad (۲-۸)$$

$$f = \frac{C_f}{C_f + \sum_{j=0}^{n-1} C_{s,j} + C_{par}}. \qquad (۹-۲)$$

همان طور که در رابطه ۲-۸ دیده می‌شود، خطای خروجی به اندازه $1/A_0f$ می‌باشد (با فرض اینکه $A_0f >> 1$ است.) [4]. این خطا نباید از $\pm 1/2$ LSB دقت باقی‌مانده طبقات بعدی بیشتر شود [4, 6, 10].

۲-۲-۶) غیرخطی بودن بهره تقویت کننده :

در تقویت کننده CMOS، بهره DC با ولتاژ خروجی تغییر می‌کند. بهره تقویت کننده به مقاومت خروجی ترانزیستور، r_{ds}، می‌باشد. مقاومت خروجی به ولتاژ V_{DS} ترانزیستور وابسته است. بنابراین هنگامی که ولتاژ خروجی افزایش می‌یابد، V_{DS} ترانزیستور خروجی کاهش یافته و متعاقبا r_{ds} آن نیز کاهش می‌یابد. پس بهره کاهش پیدا می‌کند. این رفتار موجب غیرخطی شدن تقویت کننده می‌شود. تغییرات غیرخطی بهره DC تقویت کننده را می‌توان به صورت رابطه ۲-۱۰ مدل کرد. در رابطه ۲-۱۰، A_{Omax} حداکثر بهره DC تقویت کننده و V_{Osat} ولتاژ اشباع خروجی تقویت کننده می‌باشد [11].

$$A_0(v_O) = \begin{cases} A_{0max}\left[1 - \left(\frac{v_O}{V_{Osat}}\right)^2\right] & \text{for } v_O \le V_{O,sat} \\ 0 & \text{for } v_O > V_{O,sat} \end{cases} \qquad (۱۰-۲)$$

این رفتار غیرخطی موجب خمیدگی در منحنی مشخصه طبقه شده و ایجاد خطا می‌کند [5].

۲-۲-۷) نشست[1] تقویت کننده :

مدل کردن نشست تقویت کننده در مبدل‌های داده با سرعت و دقت بالا، از اهمیت ویژه‌ای برخوردار است. به عنوان مثال یک MDAC[2] که هسته اصلی یک مبدل آنالوگ به دیجیتال پایپ لاین را تشکیل می‌دهد، از یک تقویت کننده تشکیل شده که باید در زمانی کمتر از نصف پریود ساعت و با خطایی کمتر از نیم LSB طبقات بعدی، نشست کند. بنابراین ارائه مدلی مناسب برای نشست تقویت کننده می‌تواند کمک بسزایی در طراحی با کمترین توان باشد [12]. همچنین بررسی رفتار نشست و مدل کردن آن به صورت فرمول‌های بسته ریاضی، گامی بزرگ در جهت ارائه نرم افزارهای CAD به منظور طراحی کامپیوتری مبدل آنالوگ به دیجیتال پایپ لاین می‌باشد.

زمان نشست[3] پارامتر بسیار مهمی در بسیاری از کاربردها از جمله مبدل‌های A/D و D/A می‌باشد. زمان نشست مدت زمانی است که خروجی تقویت کننده بعد از اعمال ورودی پله، به مقدار نهایی خود با خطایی مشخص برسد

[1] Settling
[2] Multiplier-DAC
[3] Settling time

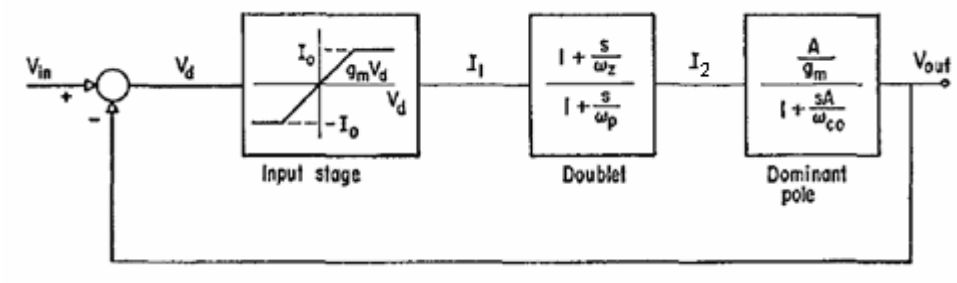
[13]. مقدار خطا توسط کاربرد و دقت لازم برای عملکرد صحیح مدار مشخص می‌گردد. زمان نشست شامل دو بازه زمانی مجزا می‌شود. بازه اول slewing، نشست سیگنال بزرگ[1] یا نشست غیر خطی نام دارد که ناشی از جریان محدود تقویت کننده برای شارژ خازن بار یا خازن جبران‌ساز می‌باشد. در این بازه تقویت کننده رفتاری غیر خطی داشته و نتیجه آزمایشات و شبیه‌سازی‌ها نشان می‌دهد که حلقه فیدبک نیز باز می‌باشد [13, 14]. بعد از بازه slewing، رفتار تقویت کننده خطی شده و حلقه فیدبک بسته می‌شود. این بازه نشست سیگنال کوچک[2] یا نشست خطی نام دارد. رفتار در این بازه مطابق پاسخ فرکانسی سیگنال کوچک بوده و خروجی تقویت‌کننده نزدیک مقدار نهایی آن می‌باشد [14, 15].

تحلیل نشست در ناحیه خطی واضح بوده و تنها محل شروع آن و پیوستگی آن در محل برخورد با نشست سیگنال بزرگ حائز اهمیت است. بنابراین به طور کلی مقالات در زمینه نشست را می‌توان به دو دسته اصلی تقسیم نمود. دسته اول مقالاتی هستند که عملکرد نشست سیگنال بزرگ را با کمک پاسخ فرکانسی سیگنال کوچک تحلیل کرده‌اند. دسته دوم مقالاتی هستند که سعی کرده‌اند به کمک عناصر مدل‌های سیگنال بزرگ این بازه را تحلیل کنند.

۲-۲-۷-۱) تحلیل به کمک مدل سیگنال کوچک :

به طور کلی رفتار نشست تقویت‌کننده بسیار تحت تاثیر صفرها و قطب‌های آن می‌باشد. بنابراین در مدل‌های اولیه به منظور مدل کردن نشست تقویت‌کننده در بازه slewing، از صفر و قطب‌های پاسخ فرکانسی سیگنال کوچک استفاده کرده‌اند.

در مقالات زیادی رفتار نشست سیگنال کوچک مورد بررسی قرار گرفته [16, 17, 18] ولی تنها در تعداد اندکی رفتار نشست به صورت کامل و مدل شده مورد بررسی قرار گرفته است. در اولین مقاله که نشست را به طور کامل مورد بررسی قرار داده، اثر زوج صفر–قطب یا doublet بر روی نشست تقویت‌کننده بررسی شده است [14]. در این مقاله مدل شکل ۲–۶ به منظور محاسبه پاسخ گذرای تقویت‌کننده ارائه شده است.



شکل ۲–۶ : مدل ارائه شده به منظور محاسبه پاسخ گذرای تقویت‌کننده [14]

[1] Large signal settling
[2] Small signal settling