دانشگاه تربیت مدرس
دانشکده مهندسی برق و کامپیوتر

بسمه تعالی

تاییدیه اعضای هیات داوران حاضر در جلسه دفاع از پایان نامه کارشناسی ارشد

خانم **سمیرا جعفرزاده** پایان نامه ۶ واحدی خود را با عنوان **طراحی حلقه قفل فاز تمام دیجیتال کم مصرف با محدوده ی فرکانسی گسترده** در تاریخ ۱۳۹۱/۱۱/۱۴ ارائه کردند.

اعضای هیات داوران نسخه نهایی این پایان نامه را از نظر فرم و محتوا تایید کرده، پذیرش آنرا برای اخذ درجه کارشناسی ارشد الکترونیک پیشنهادمی کنند.

عضو هیات داوران	نام و نام خانوادگی	رتبه علمی	امضا
استاد راهنما	دکتر ابومسلم جان نثاری	استادیار	
استاد ناظر	دکتر مجتبی لطفی زاد	استادیار	
استاد ناظر	دکتر سعید سعیدی	استادیار	
استاد ناظر	دکتر داود آسمانی	استادیار	
مدیر گروه (یا نماینده گروه تخصصی)	دکتر مجتبی لطفی زاد	استادیار	

این نسخه به عنوان نسخه نهایی پایان نامه مورد تایید است

دستورالعمل حق مالکیت مادی و معنوی در مورد نتایج پژوهشهای علمی دانشگاه تربیت مدرس

مقدمه: با عنایت به سیاست‌های پژوهشی دانشگاه در راستای تحقق عدالت و کرامت انسانها که لازمه شکوفایی علمی و فنی است و رعایت حقوق مادی و معنوی دانشگاه و پژوهشگران، لازم است اعضای هیات علمی، دانشجویان، دانش آموختگان و دیگر همکاران طرح، در مورد نتایج پژوهشهای علمی که تحت عناوین پایان‌نامه، رساله و طرحهای تحقیقاتی که با هماهنگی دانشگاه انجام شده است، موارد ذیل را رعایت نمایند:

ماده ۱- حقوق مادی و معنوی پایان نامه‌ها / رساله‌های مصوب دانشگاه متعلق به دانشگاه است و هرگونه بهره‌برداری از آن باید با ذکر نام دانشگاه و رعایت آیین‌نامه‌ها و دستورالعمل‌های مصوب دانشگاه باشد.

ماده ۲- انتشار مقاله یا مقالات مستخرج از پایان نامه/ رساله به صورت چاپ در نشریات علمی و یا ارائه در مجامع علمی باید به نام دانشگاه بوده و استاد راهنما مسئول مکاتبات مقاله باشد.

تبصره: در مقالاتی که پس از دانش آموختگی بصورت ترکیبی از اطلاعات جدید و نتایج حاصل از پایان‌نامه/ رساله نیز منتشر می‌شود نیز باید نام دانشگاه درج شود.

ماده ۳- انتشار کتاب حاصل از نتایج پایان نامه / رساله و تمامی طرحهای تحقیقاتی دانشگاه باید با مجوز کتبی صادره از طریق حوزه پژوهشی دانشگاه و بر اساس آئین نامه های مصوب انجام می‌شود.

ماده ۴- ثبت اختراع و تدوین دانش فنی و یا ارائه در جشنواره‌های ملی، منطقه‌ای و بین‌المللی که حاصل نتایج مستخرج از پایان نامه/ رساله و تمامی طرح‌های تحقیقاتی دانشگاه باید با هماهنگی استاد راهنما یا مجری طرح از طریق حوزه پژوهشی دانشگاه انجام گیرد.

ماده ۵- این دستورالعمل در ۵ ماده و یک تبصره در تاریخ ۱۳۸۴/۴/۲۵ در شورای پژوهشی دانشگاه به تصویب رسیده و از تاریخ تصویب لازم الاجرا است و هرگونه تخلف از مفاد این دستورالعمل، از طریق مراجع قانونی قابل پیگیری می شود.

نام و نام خانوادگی [illegible]

امضاء

آیین نامه چاپ پایان‌نامه (رساله)های دانشجویان دانشگاه تربیت مدرس

نظر به اینکه چاپ و انتشار پایان نامه (رساله)های تحصیلی دانشجویان دانشگاه تربیت مدرس، مبین بخشی از فعالیتهای علمی - پژوهشی دانشگاه است بنابراین به منظور آگاهی و رعایت حقوق دانشگاه،دانش آموختگان این دانشگاه نسبت به رعایت موارد ذیل متعهد می‌شوند:

ماده ۱: در صورت اقدام به چاپ پایان نامه (رساله)ی خود، مراتب را قبلاً به طور کتبی به «دفتر نشر آثارعلمی» دانشگاه اطلاع دهد.

ماده ۲: در صفحه سوم کتاب (پس از برگ شناسنامه) عبارت ذیل را چاپ کند:

«کتاب حاضر، حاصل پایان نامه کارشناسی ارشد/ رساله دکتری نگارنده در رشته است که در سال در دانشکده دانشگاه تربیت مدرس به راهنمایی سرکار خانم/جناب آقای دکتر ، مشاوره سرکار خانم/جناب آقای دکتر و مشاوره سرکار خانم/جناب آقای دکتر از آن دفاع شده است.»

ماده ۳: به منظور جبران بخشی از هزینه‌های انتشارات دانشگاه، تعداد یک درصد شمارگان کتاب (در هر نوبت‌چاپ) را به «دفتر نشر آثارعلمی» دانشگاه اهدا کند. دانشگاه می‌تواند مازاد نیاز خود را به نفع مرکز نشر درمعرض فروش قرار دهد.

ماده ۴: در صورت عدم رعایت ماده ۳، ۵۰٪ بهای شمارگان چاپ شده رابه عنوان خسارت به دانشگاه تربیت‌مدرس، تأدیه کند.

ماده ۵: دانشجو تعهد و قبول می کند در صورت خودداری از پرداخت بهای خسارت، دانشگاه می‌تواندخسارت مذکور را از طریق مراجع قضایی مطالبه و وصول کند؛ به علاوه به دانشگاه حق می‌دهد به منظور استیفای حقوق خود، از طریق دادگاه، معادل وجه مذکور در ماده ۴ را از محل توقیف کتابهای عرضه شده‌نگارنده برای‌فروش، تامین نماید.

ماده ۶: اینجانب سید احمد زاده دانشجوی رشته مرتع - الکترونیک مقطع کارشناسی ارشد

تعهد فوق وضمانت اجرایی آن را قبول کرده، به آن ملتزم می شوم.

نام و نام خانوادگی: سید احمد زاده

تاریخ و امضا: ۹۴/۶/۲۴

دانشگاه تربیت مدرس

دانشکده فنی و مهندسی

بخش مهندسی برق و کامپیوتر

پایان‌نامه دوره کارشناسی ارشد مهندسی برق-الکترونیک

طراحی یک حلقه‌ی قفل فاز تمام دیجیتال کم مصرف با محدوده‌ی فرکانسی گسترده

نگارش:

سمیرا جعفرزاده

استاد راهنما:

دکتر ابومسلم جان‌نثاری

بهمن ۹۱

چکیده

یکی از چالش برانگیزترین و حساس‌ترین بلوک‌ها در بین انواع مختلف بلوک‌های سازنده‌ی یک فرستنده-گیرنده، بلوک سنتزکننده‌ی فرکانس می‌باشد. این بلوک به صورت عمده مبتنی بر ساختار حلقه‌های قفل فاز پیاده‌سازی می‌شوند. از این رو به دلیل داشتن مشخصات بهتر مدارات دیجیتال نسبت به آنالوگ از جمله سرعت بالا، مصرف توان و مساحت کم، پیاده‌سازی این سیستم‌ها در حوزه‌ی دیجیتال از اهمیت زیادی برخوردار است.

در این پایان‌نامه تحقیقات را با هدف طراحی یک حلقه‌ی قفل فاز تمام دیجیتال (ADPLL) با نویز فاز پایین و محدوده‌ی فرکانسی گسترده آغاز نمودیم. در این ساختار برخلاف اکثر ساختارهای متداول برای DCO، به دلیل مشکلات مربوط به اندازه‌ی مورد نیاز برای خازن های متغیر، از یک ساختار جدید که شامل یک مبدل دیجیتال به آنالوگ دلتا سیگما و یک اسیلاتور کنترل‌شونده با ولتاژ می‌باشد استفاده شده است. همچنین از یک فیلتر دیجیتال IIR سری با فیلتر حلقه در ساختار ADPLL استفاده شده است، که نویز خارج از باند را به طور قابل توجهی کاهش می‌دهد. فرکانس کاری مدار برابر با ۱۷۱۰ تا ۱۸۸۰ مگاهرتز برای کاربرد GSM-1800 می‌باشد. این حلقه‌ی قفل فاز تمام دیجیتال با نرم‌افزارهای MATLAB و ADS طراحی و شبیه‌سازی شده است. شبیه‌سازی‌های مربوط به نرم افزار ADS، در قسمت Ptolemy و به صورت Cosimulation سیستم دیجیتال با قسمت Analog/RF و تکنولوژی 0.18µm CMOS انجام شده است. نویز فاز DCO طراحی شده، -115dBc/Hz در آفست فرکانسی 500kHz و نویز فاز کلی سیستم ADPLL، -95 dBc تا فرکانس آفست 1MHz و -120 dBc/Hz در آفست فرکانسی 2 MHz به دست آمده است. رزولوشن فرکانسی به دست آمده برای DCO، بسیار کمتر از 1kHz می باشد، که مقدار قابل قبولی برای کاربردهای GSM است.

کلید واژه: اسیلاتور کنترل شونده‌ی دیجیتالی، حلقه‌ی قفل فاز تمام دیجیتال، اسیلاتور کنترل شونده با ولتاژ ، GSM-18.

فهرست مطالب

عنوان صفحه

فصل ۱: مقدمه **۱**

۱-۱- پیشگفتار ۲

۱-۲- انگیزه و هدف تحقیق ۳

۱-۳- ساختار پایان نامه ٤

فصل ۲: حلقه‌هاي قفل فاز **٥**

۲-۱- پیشگفتار ٦

۲-۲- توسعه‌ي حلقه‌هاي قفل فاز ۷

۲-۳- حلقه‌هاي قفل فاز تمام دیجیتال ۹

۲-۳-۱- جایگزیني مدارهاي آنالوگ با معادل دیجیتالي آن ۱۰

۲-۳-۲- حلقه‌ي قفل فاز از نوع عملیات در حوزه‌ي فاز ۱۳

۲-۳-۲-۱- عملیات در حوزه‌ي فاز ۱۳

۲-۳-۲-۲- آشکار سازي فاز ۱٦

۲-۴- نتیجه گیري ۱۷

فصل ۳: حلقه‌هاي قفل فازتمام دیجیتال (ADPLL) **۱۸**

۳-۱- پیشگفتار ۱۹

۳-۲- توصیف مدل رفتاري حلقه‌ي قفل فاز تمام دیجیتال ۱۹

۳-۳- توصیف بلوک‌هاي ADPLL ۲۲

۳-۳-۱- Retimed Clock ۲۲

۳-۳-۲- اسیلاتور کنترل شونده‌ي دیجیتالي (DCO) ۲۳

۳-۳-۲-۱- مدل پیشنهادي براي DCO ۲۸

۳-۳-۳- آشکار ساز فاز (PD) ۳۰

۳-۳-۴- مبدل زمان به دیجیتال (TDC) ۳۱

۳-۳-۵- فیلتر حلقه ۳۳

۳-۴- نویز فاز در ADPLL ۳۷

۳-۴-۱- نویز فاز در DCO ۳۷

۳-۴-۲- نویز مبدل زمان به دیجیتال ٤۱

۳-۴-۳- جیتر و نویز فاز انتگرال گیري شده ٤۲

۳-۵- مدل حوزه‌ي s ٤۳

۳-۶- نتیجه گیري ٥۳

فصل ۴: طراحي و شبیه‌سازي **٥٤**

۴-۱- پیشگفتار ٥٥

۴-۲- طراحي بلوک‌هاي ADPLL ٥٥

۴-۲-۱- آشکارساز فاز ٥٦

۴-۲-۲- طراحي DCO مورد استفاده ٥۷

۴-۲-۲-۱- مبدل دیجیتال به آنالوگ دلتا سیگما ٥۸

۴-۲-۲- اسیلاتور VCO..... ۶۰
۴-۲-۳- مبدل زمان به دیجیتال (TDC) ۶۵
۴-۲-۴- فیلتر حلقه ۶۷
فصل ۵: نتیجه گیري..... ۷۷
۵-۱- نتیجه گیري:..... ۷۸
۵-۲- پیشنهاد براي ادامه کار..... ۷۹
پیوست أ ۸۰
مراجع ۸۲
واژه نامه‌ي فارسي به انگلیسي ۸۵
واژه نامه‌ي انگلیسي به فارسي ۸۵

فهرست شکل‌ها

شکل ۱-۱: بلوک دیاگرام کلي حلقه‌ي قفل فاز دیجیتال..... ۸
شکل۲- ۱: حلقه‌ي قفل فاز آنالوگ [۳] ۱۰
شکل۲- ۲: حلقه‌ي قفل فاز تمام دیجیتال با جایگزیني مدارهاي آنالوگ با معادل دیجیتالي آن..... ۱۱
شکل۲- ۳: سیگنال‌ها در گره‌هاي مختلف حلقه‌ي قفل فاز الف) آنالوگ ب) تمام دیجیتال..... ۱۲
شکل۲- ۴: حلقه‌ي قفل فاز تمام دیجیتال از نوع عملیات در حوزه‌ي فاز..... ۱۴
شکل۲- ۵: بلوک دیاگرام کلي آشکار ساز فاز ۱۷

شکل۳- ۱: بلوک دیاگرام ADPLL ۲۰
شکل ۳-۲: سنکرون سازي کلاک ۲۲
شکل ۳- ۳: سنکرون سازي کلاک مرجع ۲۳
شکل ۳- ۴: اسیلاتور کنترل شونده‌ي دیجیتالي ۲۳
شکل ۳- ۵: برچسب زماني DCO ۲٤
شکل ۳- ۶: بلوک نرمالیزاسیون بهره و DCO ۲۵
شکل ۳- ۷: ایده نشست فرکانسي در حالت‌هاي کاري مختلف ADPLL ۲۶
شکل ۳- ۸: بانک خازني مدار LC ۲۷
شکل ۳- ۹: بلوک دیاگرام کلي DCO پیشنهادي ۲۸
شکل ۳- ۱۰: ساختار دلتا سیگماي MASH مرتبه‌ي ۴ ..... ۲۹
شکل ۳- ۱۱: دیاگرام کلاک ۳۰
شکل ۳- ۱۲: آشکارساز فاز ۳۱
شکل ۳- ۱۳: مبدل زمان به دیجیتال ۳۲
شکل ۳- ۱۴: تخمین خطاي فاز با معکوس کننده‌ها الف) خطاي فاز مثبت ب) خطاي فاز منفي [۴] ۳۲
شکل ۳- ۱۵: کوانتیزیشن TDC ۳۳
شکل ۳- ۱۶: کنترل کننده‌ي PI ۳٤
شکل ۳- ۱۷: فیلتر حلقه ۳۴
شکل ۳- ۱۸: فیلتر حلقه موازي با فیلتر پایین گذر IIR ۳۵
شکل ۳- ۱۹: از فیلتر IIR مرتبه‌ي دوم نوع مستقیم ۳۵
شکل ۳- ۲۰: چهار فیلتر تک قطبه‌ي موازي ۳۶
شکل ۳- ۲۱: فیلتر IIR تک قطبه ۳۶
شکل ۳- ۲۲: طیف خروجي DCO ایده‌آل و عملي [۱] ۳۸
شکل ۳- ۲۳: طیف نویز فاز یک DCO ۳۹
شکل ۳- ۲۴: تشابه بین PSD و نویز فاز یک طرفه ٤۰
شکل ۳- ۲۵: مدل خطي حوزه‌ي s حلقه‌ي قفل فاز ارائه شده همراه با منابع نویز ٤٤
شکل ۳- ۲۶: تاثیر k_p و ζ را بر روي صفر و قطب‌هاي سیستم ٤۷
شکل ۳- ۲۷: پاسخ پله‌ي H_{TDC} براي مقادیر مختلف ζ . f_{ref}=26MHz و k_p = 2^{-5} ٤۸
شکل ۳- ۲۸: دیاگرام بود تابع تبدیل حلقه باز با f_{ref}=26MHz و ζ=0.707 براي k_p هاي مختلف ٤۸
شکل ۳- ۲۹: حد فاز تابع تبدیل حلقه باز براي ζ = 0.707، $k_p = 2^{-5}$ و f_{ref} = 26 MHz ٤۹
شکل ۳-۳۰: حد فاز تابع تبدیل حلقه باز براي ζ هاي متفاوت. k_p = 2^{-5} و f_{ref} = 26 MHz ۵۰
شکل ۳- ۳۱: مشخصه‌ي فیلتر IIR با یک، دو، سه و چهار فیلتر به صورت پشت‌سرهم ۵۱

شکل ۳- ۳۲: حد فاز تابع تبدیل حلقه باز به همراه فیلتر IIR ...۵۲
شکل ۳- ۳۳: طیف نویز فاز کلي با استفاده از فیلتر IIR و بدون آن.....۵۲
شکل ۴-۱ : بلوک دیاگرام ADPLL شبیه سازي شده ۵۶
شکل ۴-۲ : پیاده سازي سخت افزاري تخمین‌گر الف) فاز متغیر R_V [k] ب) فاز مرجع R_R [k].....۵۷
شکل ۴-۳ : آشکارساز فاز ۵۷
شکل ۴-۴: طیف فرکانسي خروجي طبقه‌ي اول با ساختار CRFB.....۵۹
شکل ۴-۵: طیف خروجي مدولاتور MASH مرتبه‌ي چهار ۶۰
شکل۴-۶: مدار معادل اسیلاتور LC.....۶۱
شکل۴-۷ : اسیلاتور Balanced VCO.....۶۲
شکل ۴-۸: منحني C-V ورکتور استفاده شده در اسیلاتور ۶۴
شکل ۴-۹: منحني فرکانس بر حسب ولتاژ کنترلي اسیلاتور ۶۴
شکل ۴-۱۰: نویز فاز DCO ارائه شده ۶۵
شکل ۴-۱۱: مبدل زمان به دیجیتال [۴].....۶۶
شکل ۴-۱۲: کوانتیزیشن TDC توسط زنجیره‌ي معکوس‌کننده‌ها.....۶۷
شکل ۴-۱۳: ساختار فیلتر حلقه ۶۷
شکل ۴-۱۴: فرکانس خروجي سیستم با $k_p = 2^{-5}$ و $k_i = 2^{-11}$ ۶۸
شکل ۴-۱۵: خطاي فاز φ [k]. FCW= 69.23076923 .....۶۹
شکل ۴-۱۶: چهار فیلتر IIR سري ۶۹
شکل ۴-۱۷: خطاي فاز φ[k] و خطاي فاز فیلتر شده ۷۰
شکل ۴-۱۸: طیف نویز فاز همراه با فیلتر IIR و بدون آن ۷۱
شکل ۴-۱۹: نویز فاز براي مقادیر مختلف $k_p = 2^{-5}$ و $k_p = 2^{-7}$ ۷۲
شکل ۴-۱۹: مقایسه‌ي استفاده از دقت ۱۵ و ۲۴ بیت براي FCW ۷۲
شکل ۴-۲۰: نویز فاز به ازاي $k_p= 2^{-5}$. FCW = 69.23076923.....۷۳
شکل ۴-۲۱: نویز فاز مدل حوزه‌ي s ۷۴

فهرست جدول‌ها

جدول ۳-۱: نویز کوانتیزیشن TDC ٤٢
جدول ۴-۱: ماکزیمم و مینیمم پهناي باند شبیه‌سازي شده ٧١
جدول ۴-۲: مشخصات کلي سیستم ADPLL ٧٤

فصل ۱ : مقدمه

فصل اول

مقدمه

۱-۱- پیشگفتار

با رشد گسترده‌ی صنعت مخابرات بی‌سیم، تحقیقات در زمینه‌ی طراحی مدارهای مخابراتی بسیار مورد توجه قرار گرفته است. قیمت پایین، ولتاژ تغذیه‌ی پایین و مصرف توان پایین به عنوان نکات مهم طراحی در نظر گرفته می‌شوند تا مدارات علاوه بر اینکه کارایی لازم را داشته باشند قابلیت تولید انبوه با قیمت پایین را نیز دارا باشند. اخیرا، مجتمع سازی کلیه‌ی مدارات یک فرستنده و گیرنده‌ی مخابراتی بر روی یک تراشه مورد توجه خاصی قرار گرفته است [۱].

در سال‌های اخیر، پیاده‌سازی مدارات دیجیتال RF[1] طرفداران بسیاری پیدا کرده است. یکی از این مدارات، حلقه‌های قفل فاز (PLL[2]) می‌باشد. به طور کلی، PLL ها برای تولید سیگنال اسیلاتور محلی (LO[3]) در سیستم‌های مخابراتی استفاده می‌شوند. در طی چندین سال گذشته، اکثر PLL های مورد استفاده در کاربردهای بی‌سیم، حلقه‌های قفل فاز Fractional-N بوده‌اند [۱]. که ساختاری نیمه دیجیتال دارند. بخش آنالوگ این ساختار، مساحت بزرگی از تراشه را اشغال می‌کند، گره‌های آنالوگ حساسی دارد و برای طراحی در پروسس‌هایی با منبع ولتاژ پایین مناسب نمی‌باشد [۱, ۲]. با توجه به مزایای بارز متعدد طراحی دیجیتال نسبت به آنالوگ و کوچک‌تر شدن ابعاد ترانزیستورهای CMOS دیجیتال، امکان پیاده‌سازی یک حلقه‌ی قفل فاز تمام دیجیتال در فرکانس‌های رادیویی (RF) به وجود آمده است [۱].

---

[1] Radio Frequency

[2] Phase Locked Loop

[3] Local Oscillator

در این PLL ها، بلوک‌های آنالوگ موجود در حلقه‌های قفل فاز آنالوگ مانند فیلتر حلقه، پمپ بار[1] و نوسان‌کننده کنترل شونده با ولتاژ توسط معادل‌های دیجیتال آنها جایگزین می‌شوند و امکان پیاده‌سازی یک حلقه‌ی قفل فاز تمام دیجیتال را فراهم می‌کند [۳]. مشکل اصلی این مدارات، نویز کوانتیزیشن آشکار ساز فاز و همچنین نویز فاز نوسان ساز استفاده شده است. در این پایان نامه به بحث طراحی و شبیه‌سازی یک حلقه‌ی قفل تمام دیجیتال پرداخته شده است. با توجه به این که نویز فاز در اسیلاتور کنترل شونده‌ی دیجیتالی در حلقه‌های قفل فاز تمام دیجیتال باعث ایجاد نویز فاز در خروجی می‌شود، این نویز باید تا حد امکان کاهش یابد تا حلقه‌ی قفل فاز قابلیت استفاده در استانداردهای مرسوم را داشته باشد.

۱-۲- انگیزه و هدف تحقیق

با توجه به اینکه بسیاری از استانداردهای مخابراتی در محدوده‌ی فرکانسی یک تا چهار گیگاهرتز قرار دارند، این باند فرکانسی از اهمیت ویژه ای برخوردار است. یکی از چالش برانگیزترین و حساس‌ترین بلوک‌ها در بین انواع مختلف بلوک‌های سازنده‌ی یک فرستنده-گیرنده، بلوک سینتی‌سایزر فرکانس می‌باشد. این بلوک به صورت عمده مبتنی بر ساختار حلقه‌های قفل فاز پیاده سازی می‌شوند. گسترش روش‌های دیجیتال برای کاربردهای رادیویی مجتمع در پروسس‌های CMOS برای حلقه‌های قفل فاز از سال ۱۹۹۹ تا کنون ادامه داشته است. در سال‌های اخیر طراحی‌های موفقی در زمینه‌ی حلقه‌های قفل فاز تمام دیجیتال[2](ADPLL) برای کاربردهای Bluetooth، GSM و فرستنده‌های WCDMA صورت گرفته است [۴-۱۳].

ایده‌ی استفاده از حلقه‌های قفل فاز تمام دیجیتال به عنوان سینتی‌سایزر فرکانسی در سیستم‌های بی‌سیم منوط به رعایت فاکتورهای بسیار حساس و پیچیده‌ای از قبیل خلوص طیفی،

[1] Charge Pump

[2] All-Digital Phase-Locked Loop

نویز فاز و سیخک می‌باشد. انگیزه‌ی این تحقیق طراحی حلقه‌ی قفل فاز تمام دیجیتال برای کاربردهای GSM-1800 و GSM-900 با هدف رسیدن به نویز فاز مناسب می‌باشد. فرکانس مرکزی نوسان‌ساز در حلقه‌ی قفل فاز ۱۷۹۵ مگاهرتز می‌باشد. این ADPLL باید محدوده‌ی فرکانسی ۱۷۱۰ تا ۱۸۸۰ مگاهرتز را جاروب کند. فرکانس مرجع در این ساختار ۲۶ مگاهرتز در نظر گرفته شده است. برای کاربرد GSM-900 که در محدوده‌ی فرکانسی ۸۸۰ تا ۹۶۰ مگاهرتز قرار دارد از یک تقسیم کننده‌ی فرکانسی در خروجی مدار استفاده می‌شود.

۱-۳- ساختار پایان نامه

فصل دوم پایان نامه، به مقایسه انواع و کاربردهای هر یک از حلقه‌های قفل فاز می‌پردازد. تحقیقات اخیری که بر حلقه‌ی قفل فاز تمام دیجیتال صورت گرفته بررسی و نقد شده است و به خواننده یک دید کلی از مفاهیم پایه‌ی این ساختار ارائه می‌دهد. فصل سوم با پیش‌زمینه‌ای کوتاه از ADPLL آغاز شده است و با توصیف کلی رفتار کل ADPLL ادامه می‌یابد. سپس رفتار هر کدام از زیربلوک‌ها و همچنین توصیفی از نویز فاز ارائه شده است. این فصل با ارائه‌ی مدل حوزه‌ی s ساختار ADPLL و مشخصات پهنای باند حلقه، پایداری و زمان نشست به پایان می‌رسد. فصل چهارم به نحوه شبیه‌سازی و مدل ارائه شده برای ساختار پیشنهادی ADPLL می‌پردازد و نحوه مدل سازی هر کدام از زیر بلوک‌ها و محاسبه هر یک از پارامترهای مدار را نشان می‌دهد. فصل پنجم هر یک از بلوک‌های طراحی شده به صورت جداگانه شبیه سازی شده است و نتایج حاصل از شبیه سازی کل ساختار نیز آورده شده است. نتایج شبیه‌سازی‌های مهم از جمله نویز فاز، پهنای باند حلقه و محدوده‌ی فرکانسی ارائه گردیده است. در نهایت نتیجه گیری و راه کارهایی برای ادامه کار در فصل ششم ارائه می‌شود.

فـصل ۲ : حلقه‌های قفل فاز

فصل دوم

۲-۱- پیشگفتار

هدف حلقه‌ی قفل فاز (PLL) در واقع تولید سیگنالی با فاز یکسان اما فرکانسی بالاتر از فرکانس مرجع می‌باشد. سیگنال مرجع معمولا توسط یک اسیلاتور کریستالی با فرکانسی در محدوده‌ی ۱۰ تا ۴۰ مگاهرتز تولید می‌شود. این در حالی است که سیگنال خروجی ممکن است به محدوده‌ی چندین گیگاهرتز برسد [۱۴].

حلقه‌ی قفل فاز معمولا در طراحی مدارات مجتمع پیشرفته برای تولید یک فرکانس کلاک پایدار استفاده می‌شود. نمونه‌هایی از این کاربردها، می‌توان به کاربردهای رادیویی، ارتباطات راه دور و کامپیوترها اشاره کرد. اگر خطای فازی بین سیگنال مرجع و خروجی به وجود آید، یک مکانیزم کنترلی، که همان حلقه‌ی PLL می‌باشد، به گونه‌ای عمل می‌کند که این اختلاف به حداقل برسد.

مرجع [11] برخی از پارامترهای مهم طراحی حلقه‌ی قفل فاز را برای کاربردهای RF توضیح می‌دهد:

- **محدوده‌ی فرکانس**، باند فرکانسی مورد نظر می‌باشد. اغلب کاربردهای RF باند باریک می‌باشند. این بدین معنی است که ۳ تا ۱۰ درصد پهنای باند را پوشش می‌دهد.
- **نویز فاز** نشان‌دهنده‌ی کیفیت سیگنال می‌باشد. نویز فاز[1] و جیتر[2] دارای مفهوم یکسان ولی در حوزه‌های مختلف هستند (حوزه‌ی فرکانس و حوزه‌ی زمان). سیگنال‌های تمیزتر جیتر پایین‌تری دارند، که به معنی آنست که انرژی کل آن در

[1] Phase Noise

[2] Jitter

نزدیکی فرکانس مرکزی آن متمرکز شده است.

- **پهنای باند حلقه**، سرعت دینامیکی حلقه‌ی فیدبک را توصیف می‌کند. بهینه‌سازی نویز فاز، سرعت سوئیچینگ و کاهش سیخک بسیار متناسب با این پارامتر می‌باشد.
- **سرعت سوئیچینگ** یا زمان نشست مدت زمانی است که مدار PLL از یک فرکانس به فرکانس دیگر تغییر حالت می‌دهد.

۲-۲- توسعه‌ی حلقه‌های قفل فاز

حلقه‌های قفل فاز از سال‌های ۱۹۳۲ به بعد در سیستم‌های مخابراتی و کنترلی مطرح شدند و دامنه‌ی کاربرد آنها به سرعت افزایش پیدا کرد و به عنوان یکی از مهم‌ترین اجزای سیستم‌های مخابراتی برای سنکرون سازی فرستنده‌ها و گیرنده‌ها مطرح گردید [۱۴].

اولین حلقه‌های قفل فاز، به حلقه‌های قفل فاز خطی (LPLL[1]) مشهور بودند ومداراتی کاملا آنالوگ داشتند. PLL های آنالوگ در ابتدا بسیار مورد توجه بودند [۱۴]. حلقه‌های قفل فاز آنالوگ بر اساس فیلترهای آنالوگ و تشخیص‌دهنده‌های فاز مبتنی بر ضرب‌کننده‌های گیلبرت بود. سپس روش‌های charge pump مطرح گردید و به تدریج تکنیک‌های دیجیتال در این مدارات ارائه شد.

شکل ۲-۱، بلوک‌های اصلی یک حلقه‌های قفل فاز دیجیتال (DPLL[2]) را نشان می‌دهد. اسیلاتور کنترل شونده با ولتاژ (VCO[3]) سیگنال خروجی fout را که فرکانس آن متناسب با سطح ولتاژ ورودی VCO است، تولید می‌کند. با قرار دادن یک شمارنده که بین VCO و آشکار ساز فاز

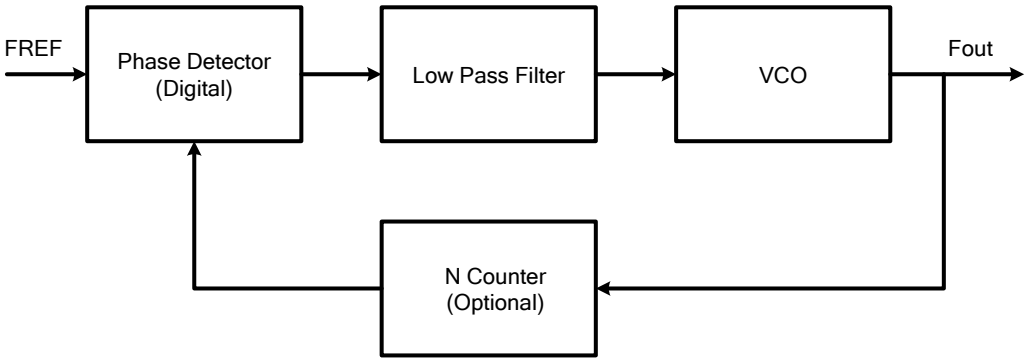
[1] Linear Phase Locked Loop

[2] Digital PLL

[3] Voltage Controlled Oscillator

(PD[1]) قرار می‌گیرد، فرکانس خروجی N برابر فرکانس مرجع (fref) به دست می‌آید. سیگنال مرجع، با سیگنالfout/N در آشکار ساز فاز مقایسه می‌شود. خروجی آشکارساز فاز، توسط یک فیلتر پایین گذر فیلتر می‌شود و به عنوان ورودی VCO استفاده می‌شود و بدین صورت حلقه بسته می‌شود. این حلقه‌های قفل فاز، به عنوان حلقه‌های قفل فاز Integer-N شناخته می‌شوند. رزولوشن فرکانسی این حلقه‌های قفل فاز، برابر فرکانس مرجع می‌باشد.

پیشرفت دیگر در این زمینه، حلقه‌های قفل فاز Fractional-N می‌باشد. همانگونه که از نام آن پیداست، این PLL ها می‌توانند به ضریب کسری از فرکانس مرجع دست پیدا کنند. همچنین رزولوشن فرکانسی بیشتری دارند که مورد نیاز بسیاری از کاربردهای بی‌سیم می‌باشد.



شکل ۱-۱: بلوک دیاگرام کلی حلقه‌ی قفل فاز دیجیتال

در سال‌های اخیر با پیشرفت مدارات دیجیتال، تمایل به گسترش بلوک‌های PLL به حوزه‌ی دیجیتال رو به افزایش بوده است. در مواردی بخش تشخیص دهنده‌ی فاز مدارات سنکرون کننده‌ی گیرنده‌ها را که مبتنی بر PLL ها هستند، در بخش دیجیتال و بر اساس روش‌های تخمین و پردازش تولید کرده و برای کنترل حلقه‌های آنالوگ استفاده می‌کنند.

در راستای دیجیتالی کردن بلوک‌ها، ایده‌ی تمام دیجیتالی کردن PLL ها مطرح شده است [۱]. اسیلاتور کنترل شونده با ولتاژ در ساختار PLL به صورت اسیلاتور کنترل شونده‌ی

[1] Phase Detector

دیجیتالی (DCO[1]) جایگزین شده [۱۵] و برای تشخیص فاز خروجیDCO نیز از مبدل‌های زمان به دیجیتال (TDC[2]) برای انتقال اطلاعات زمانی به حوزه‌ی دیجیتال استفاده شده است [۳, ۱۶].

با ارزان‌تر و سریع‌تر شدن میکروکنترلرها و DSP ها، حلقه‌های قفل فاز نرم افزاری (SPLL[3]) نیز مطرح گردیده‌اند [۱۴]. این ساختار می‌تواند جایگزین هرکدام از ساختارهای فوق گردد، ولی بحث هزینه و همچنین پیچیدگی الگوریتم، توسعه‌ی SPLL ها را محدود می‌سازد.

۲-۳- حلقه‌های قفل فاز تمام دیجیتال

در طراحی حلقه‌ی قفل فاز تمام دیجیتال (ADPLL[4]) سعی می‌شود تک تک المان‌های موجود در یک حلقه‌ی قفل فاز با معادل‌های دیجیتال آنها جایگزین شود. مدارهایی چون VCO و پمپ بار و فیلتر حلقه که المان‌های آنالوگ هستند با نوسان ساز کنترل شونده‌ی دیجیتالی، مبدل زمان به دیجیتال و فیلترهای دیجیتال جایگزین می‌شوند. برای پیاده‌سازی حلقه‌ی قفل فاز دو روش معمول وجود دارد:

- جایگزینی مدارهای آنالوگ با معادل دیجیتالی آنها
- عملیات در حوزه‌ی فاز

هر کدام از روش‌های بالا دارای مزایا و معایب خاص خود هستند. در این قسمت هر کدام از این روش‌ها توضیح داده خواهند شد و مزایا و معایب هر کدام شمرده می‌شوند.

---

[1] Digitally Controlled Oscillator

[2] Time to Digital Converter

[3] Software PLL

[4] All-Digital Phase Locked Loop