دانشگاه تبریز

دانشکده مهندسی برق و کامپیوتر

گروه الکترونیک

پایان نامه

برای دریافت درجه کارشناسی ارشد در رشته مهندسی برق- الکترونیک

عنوان

طراحی پردازنده اصلاح خطا برای مبدل آنالوگ به دیجیتال خط لوله‌ای جهت دریافت سیگنال‌های عصبی

اساتید راهنما

دکتر جواد فرون‌چی

دکتر قادر کریمیان

پژوهشگر

محمد فرداد

تیر ۱۳۸۹

بنام خدا

اگر شایسته تقدیم باشد

تقدیم به همه آنانی که برای اعتلای این مرز و بوم کوشیده اند و می کوشند

تقدیر و تشکر

سپاس و ستایش خداوند را که هر چه هست همه از مهر اوست.

از خانواده ی عزیزم که با حمایت های همیشگی خود زمینه موفقیت را برایم فراهم ساختند تشکر و قدردانی می نمایم.

از کمک های علمی و فکری اساتید راهنمای ارجمندم دکتر فرون چی و دکتر کریمیان که در طول این دوره با صبر و حوصله مرا راهنمایی نموده و همواره پشتیبان من بوده اند کمال تشکر را دارم.

همچنین بر خود لازم می دانم، از زحمات اساتیدی که در تمامی دوران تحصیل در کسب علم و دانش یاریگرم بودند، خصوصاً اساتید محترم گروه الکترونیک دانشکده مهندسی برق و کامپیوتر دانشگاه تبریز تشکر و سپاسگزاری نمایم.

در آخر جا دارد به کلیه دوستانی که مرا در انجام این پروژه یاری داده اند، نهایت سپاس و امتنان را ابراز دارم.

نام خانوادگی دانشجو: فرداد **نام:** محمد

عنوان پایان نامه: طراحی پردازنده اصلاح خطا برای مبدل آنالوگ به دیجیتال خط لوله‌ای جهت دریافت سیگنال‌های عصبی

اساتید راهنما: دکتر جواد فرون‌چی، دکتر قادر کریمیان

مقطع تحصیلی: کارشناسی ارشد **رشته:** مهندسی برق **گروه:** الکترونیک **دانشگاه:** تبریز

دانشکده: مهندسی برق و کامپیوتر **تاریخ فارغ التحصیلی:** ۸۹/۴/۳۰ **تعداد صفحه:** ۱۱۱

کلید واژه‌ها: مبدل آنالوگ به دیجیتال خط‌لوله‌ای، پردازنده‌ی دیجیتال اصلاح خطا، تقریب تابع

چکیده :

مبدل‌های آنالوگ به دیجیتال بخش ضروری سیستم‌هایی است که در آن‌ها پردازش سیگنال انجام می‌گیرد. در کاربردهایی همچون مخابرات بی‌سیم، بازشناسی تصویر و تجهیزات پزشکی نیاز به مبدل‌هایی است که علاوه بر دارا بودن تعداد بیت خروجی بالا بتوانند با سرعت مناسبی از سیگنال ورودی نمونه‌برداری کنند. برای پیاده‌سازی چنین مبدل‌هایی اغلب از ساختار خط‌لوله‌ای استفاده می‌گردد. مبدل‌های آنالوگ به دیجیتال خط لوله‌ای علاوه بر داشتن سرعت و دقت بالا دارای توان مصرفی مناسبی هستند. در فناوری‌های جدید که در آن با کاهش اندازه مشخصه، ترانزیستورهایی با طول کانال کوتاه برای دسترسی به سرعت‌های بالا مورد استفاده قرار می‌گیرند، طراحی مدارات آنالوگ با دقت مطلوب مشکل است. با توجه به این مسأله برای رفع یا بهبود عملکرد مبدل از مدارها و سیستم‌های جبران‌ساز بهره گرفته می‌شود. اغلب روش‌های پیشنهادی تنها تعدادی از خطاهای مبدل را اصلاح می‌کنند و نیاز به سیستمی که بتواند تمام خطاها را جبران نماید همچنان باقی است. در این پایان‌نامه یک روش جدید دیجیتال بر مبنای پردازش بیت‌های خروجی مبدل ارائه شده است. ایده‌ی اصلی پیدا کردن تابعی است که خروجی مبدل را به عنوان ورودی دریافت کرده و مقدار اصلاح شده‌ی آن را تحویل دهد. در واقع این تابع، تقریبی از مدل معکوس خطاهای مبدل است و با اعمال آن بر روی داده‌های خروجی تأثیر خطاها تا حد قابل قبولی جبران می‌شود. برای یافتن تابع مناسب مجموعه‌ای از ورودی‌های از پیش مشخص به مبدل اعمال می‌شوند و خروجی متناظر با هر ورودی به دست می‌آید. سپس این مجموعه‌ی ورودی-خروجی برای تقریب تابع مورد استفاده قرار می‌گیرد. از آنجایی که نمونه‌های ورودی را می‌توان با فواصل زمانی به مبدل اعمال نمود، نیازی به متوقف کردن کار عادی مبدل نیست و عملیات تقریب تابع توسط پردازنده طراحی شده در پس‌زمینه انجام می‌پذیرد. مدل تقریب زده شده به طور مداوم به‌روزرسانی می‌شود تا تغییرات خطاهای مبدل قابل ردگیری باشد. برای بررسی عملکرد ساختار پیشنهادی ابتدا یک مبدل ۱۲ بیت با ۱/۵ بیت در هر طبقه و فرکانس نمونه‌برداری ۱۰۰MS/s در SIMULINK پیاده‌سازی گردید. سپس خطاهایی به میزان ۱ تا ۵ درصد برای بخش‌های مختلف هر طبقه در نظر گرفته شد. پس از این مرحله چند الگوریتم مختلف تقریب تابع بر روی خروجی مبدل اعمال شدند و بهترین الگوریتم از لحاظ عملکرد و حجم محاسبات برای پیاده‌سازی انتخاب گردید. سپس ساختار پیشنهادی با استفاده از الگوریتم انتخابی بر روی تراشه Xilinx virtex-4 LX25 FPGA پیاده‌سازی شده است. نتایج شبیه‌سازی نشان می‌دهد که برای فرکانس ورودی ۵/۳۴ MHz مقدار پارامتر SNDR از ۴۵dB به ۶۹dB بهبود می‌یابد. همچنین مقدار پارامتر SFDR از ۴۵/۵dB به ۹۰dB افزایش می‌یابد. روش پیشنهادی دارای مزایای زیر است: زمان لازم برای جبران‌سازی مبدل کوتاه است. کل خطاهای مبدل همزمان جبران می‌شود و فرآیند جبران‌سازی مستقل از نوع خطاها است. برای انجام جبران‌سازی نیاز به دستکاری ساختار متداول مبدل نیست و اصلاح خطا با پردازش بیت‌های خروجی مبدل بدون اختلال در کار آن انجام می‌پذیرد.

فهرست مطالب

صفحه

فهرست جدول‌ها VII

فهرست شکل‌ها VIII

فهرست اختصارات XI

مقدمه ۱

فصل اول : بررسی منابع و پیشینه تحقیق

۱-۱ ساختار مبدل آنالوگ به دیجیتال خط‌لوله‌ای ۴

۱-۲ منابع خطا در مبدل آنالوگ به دیجیتال خط‌لوله‌ای ۷

۱-۳ خصوصیات استاتیکی و دینامیکی مبدل ۱۱

۱-۴ جبران‌سازی خطاها در مبدل آنالوگ به دیجیتال خط‌لوله‌ای ۱۴

۱-۵ بررسی جزئیات بعضی از روش‌های جبران‌سازی خطا در مبدل خط لوله‌ای ۱۸

۱-۵-۱ یک روش پیش زمینه و تعمیم آن برای حالت پس زمینه ۱۸

۱-۵-۲ روش‌های جبران‌سازی مبتنی بر همبستگی ۲۳

۱-۵-۳ روش‌های جبران‌سازی مبتنی بر برابرسازی ۳۵

۱-۵-۴ روش‌های جبران‌سازی مبتنی بر شیوه‌های آماری ۴۰

۱-۵-۵ روش‌های جبران‌سازی مبتنی بر استفاده از دو مبدل ۴۲

۱-۵-۶ روش‌های جبران‌سازی مبتنی بر محاسبه‌ی اندازه‌ی شکاف ناشی از خطا ۴۳

۱-۶ خلاصه‌ی بررسی منابع ۴۷

فصل دوم: مواد و روش‌ها

۲-۱ ساختار کلی روش پیشنهادی ۴۹

۲-۲ جزئیات بخش تقریب تابع ۵۱

۲-۲-۱ تقریب تابع با استفاده از شبکه عصبی ۵۱

۲-۲-۲ بهبود سرعت همگرایی شبکه عصبی برای جبران‌سازی مبدل ۵۹

۲-۲-۳ مشکلات استفاده از شبکه عصبی در جبران‌سازی مبدل خط‌لوله‌ای ۶۱

۲-۲-۴ تقریب تابع با استفاده از درونیابی ۶۲

۲-۳ تعداد و نحوه‌ی توزیع مجموعه ورودی‌های معلوم ۶۷
۲-۴ پیاده‌سازی سخت‌افزاری ۶۹
۲-۴-۱ ساختار کلی سخت‌افزار طراحی شده ۶۹
۲-۴-۲ جزئیات واحد محاسبه‌ی ضرایب ۷۱
۲-۴-۳ جزئیات واحد جستجو و واحد درونیابی ۷۴
۲-۴-۴ مقدار سخت‌افزار مصرفی برای طراحی پردازنده ۷۵

فصل سوم : بررسی نتایج و پیشنهادها

۳-۱ شبیه‌سازی مبدل آنالوگ به دیجیتال خط‌لوله‌ای و نمودارهای آن ۷۸
۳-۲ اعمال خطا به مبدل و نمودارهای آن ۷۹
۳-۳ نتایج شبیه‌سازی الگوریتم‌های مختلف ۸۳
۳-۴ نتایج پیاده‌سازی بر روی FPGA ۸۶
۳-۵ نتیجه‌گیری ۸۸
۳-۶ پیشنهادها ۹۰

فهرست جدول‌ها

فصل اول

جدول(۱-۱): نویز با دامنه‌های مختلف با توجه به اندازه‌ی سیگنال ورودی ۳۵

فصل دوم

جدول(۲-۱): نحوه‌ی زمان‌بندی سیگنال‌های کنترلی واحد محاسبه‌ی ضرایب ۷۳
جدول(۲-۲): مقدار سخت‌افزار مورد استفاده برای پیاده‌سازی پردازنده ۷۵

فصل سوم

جدول(۳-۱): مشخصات دینامیکی مبدل شبیه‌سازی شده در حالت بدون خطا ۷۹
جدول(۳- ۲): مشخصات دینامیکی مبدل شبیه‌سازی شده در حالت وجود خطا ۸۲
جدول(۳- ۳): نتایج جبران‌سازی با استفاده از روش‌های مختلف تقریب تابع ۸۴
جدول(۳- ۴): نتایج جبران‌سازی با استفاده از توزیع یکنواخت و غیر یکنواخت ۸۴
جدول(۳- ۵): نتایج حاصل از نرم‌افزار و سیستم پیاده‌سازی شده با ۲/۵ درصد ورودی‌ها ۸۶
جدول(۳- ۶): نتایج حاصل از نرم‌افزار و سیستم پیاده‌سازی شده با ۵ درصد ورودی‌ها ۸۶
جدول(۳- ۷): مقایسه‌ی نتایج روش پیشنهادی با نتایج چند روش ارائه شده در مقالات اخیر ۸۷

فهرست شکل‌ها

فصل اول

شکل(۱-۱): ساختار کلی مبدل آنالوگ به دیجیتال خط‌لوله‌ای ۴
شکل(۱-۲): ساختار داخلی هر طبقه مبدل آنالوگ به دیجیتال خط لوله‌ای ۴
شکل(۱-۳): ساختار مدار تاخیر زمانی ۶
شکل(۱-۴): نحوه عملکرد بخش اصلاح دیجیتال ۶
شکل(۱-۵): ساختار جزئی تر مدار داخلی هر طبقه از مبدل خط‌لوله‌ای ۷
شکل(۱-۶): ساختار مدار MDAC ۸
شکل(۱-۷): حالت‌های مختلف مدار a MDAC)حالت نمونه برداریb) حالت تقویت سیگنال ۹
شکل(۱-۸): تأثیر حالت‌های مختلف خطای بهره در منحنی ولتاژ باقیمانده- ولتاژ ورودی ۱۰
شکل(۱-۹): خروجی مبدل با خطای DNL برای ورودی شیب ۱۲
شکل(۱-۱۰): خروجی مبدل با خطای INL برای ورودی شیب ۱۲
شکل(۱-۱۱): نحوه‌ی محاسبه‌ی SFDR ۱۴
شکل(۱-۱۲): مدار مورد استفاده برای استخراج مدل ریاضی یک طبقه ۱۸
شکل(۱-۱۳): مبدلی دارای L طبقه ۱۹
شکل(۱-۱۴): مدار دیجیتال پیشنهاد شده برای هر طبقه ۲۰
شکل(۱-۱۵): مدار کلی پیشنهاد شده برای یکنواختی ساختار دیجیتال ۲۰
شکل(۱-۱۶): مدار داخلی هر طبقه برای پیاده‌سازی الگوریتم Accuracy Bootstarping ۲۱
شکل(۱-۱۷): ساختار کلی پیشنهاد شده برای اجرای الگوریتم Accuracy Bootstarping ... ۲۲
شکل(۱-۱۸): مدار اجرا کننده الگوریتم Accuracy Bootstarping به صورت پس‌زمینه ۲۲
شکل(۱-۱۹): ساختار مورد نیاز برای اعمال ورودی به طبقات مختلف ۲۳
شکل(۱-۲۰): اعمال رشته اعداد شبه تصادفی به یک طبقه از مبدل ۲۴
شکل(۱-۲۱): مدل خطاهای مؤثر در بهره به صورت یک پارامتر ۲۶
شکل(۱-۲۲): انتقال خطای بهره به قبل از تفریق‌گر در مدل خطاهای مؤثر ۲۶
شکل(۱-۲۳): ساختار جبران‌ساز خطای بهره با اعمال نویز شبه تصادفی به مبدل خط‌لوله‌ای ۲۷
شکل(۱-۲۴): ساختار جبران‌ساز کل مبدل با استفاده از نویز شبه تصادفی ۲۹

شکل(۱-۲۵): مدل ارائه شده برای خطاهای هر طبقه از مبدل خط لوله‌ای ۳۰
شکل(۱-۲۶): مدل اصلاح شده برای خطاهای هر طبقه از مبدل خط لوله‌ای ۳۰
شکل(۱-۲۷): سیستم جبران‌ساز اصلاح خطا با استفاده از محاسبه‌ی مبنا ۳۱
شکل(۱-۲۸): سیستم دو کاناله برای کاهش خطای ناشی از ورودی ۳۳
شکل(۱-۲۹): ساختار کلی سیستم جبران‌سازی دو کاناله برای افزایش دقت و سرعت ۳۳
شکل(۱-۳۰): اعمال نویز با دامنه‌های کوچک و بزرگ ۳۴
شکل(۱-۳۱): اعمال نویز با دامنه‌های مختلف با توجه به اندازه‌ی سیگنال ورودی ۳۵
شکل(۱-۳۲): ساختار کلی مورد استفاده در الگوریتم حداقل میانگین ۳۶
شکل(۱-۳۳): جبران‌سازی با استفاده از الگوریتم LMS برای مبدل با یک بیت در هر طبقه ۳۷
شکل(۱-۳۴): جبران‌سازی با استفاده از الگوریتم LMS برای مبدل با چند بیت در هر طبقه ۳۸
شکل(۱-۳۵): سیستم جبران‌سازی تودرتو با استفاده از الگوریتم LMS ۴۰
شکل(۱-۳۶): سیستم جبران‌سازی تودرتو با گام به‌روزرسانی متغیر ۴۰
شکل(۱-۳۷): سیستم جبران‌سازی پیشنهاد شده با استفاده از روش آماری ۴۱
شکل(۱-۳۸): محاسبه‌ی اختلاف بین دو منحنی باقیمانده ۴۱
شکل(۱-۳۹): سیستم جبران‌سازی با استفاده از دو مبدل ۴۲
شکل(۱-۴۰): ساختار مورد استفاده برای کاهش خطا با استفاده از حلقه‌ی LMS ۴۳
شکل(۱-۴۱): تأثیر خطای بهره‌ی طبقه اول بر منحنی تغییرات خروجی-تغییرات ورودی ۴۴
شکل(۱-۴۲): تأثیر خطای بهره‌ی ۲ طبقه اول بر منحنی تغییرات خروجی- تغییرات ورودی ۴۴
شکل(۱-۴۳): سیستم جبران‌سازی با استفاده از محاسبه‌ی شکاف ناشی از خطا ۴۵
شکل(۱-۴۴): منحنی هیستوگرام خروجی برای مبدل با یک بیت در هر طبقه با وجود خطا ۴۶

فصل دوم

شکل(۲-۱): سیستم جبران‌سازی پیشنهادی به همراه مبدل ۴۹
شکل(۲-۲): ساختار یک شبکه عصبی پیش خور ۵۲
شکل(۲-۳): ساختار یک نرون لایه‌ی میانی در شبکه‌ی پیش‌خور ۵۲
شکل(۲-۴): ساختار یک نرون لایه خروجی در شبکه‌ی پیش‌خور ۵۳
شکل(۲-۵): فلوچارت الگوریتم محاسبه‌ی ضرایب ۶۶
شکل(۲-۶): نمودار تغییرات خطا بر حسب کد ورودی ۶۸

شکل(۲-۷): توزیع غیر یکنواخت ورودی‌های از پیش مشخص ۶۸
شکل(۲-۸): ساختار پردازنده‌ی دیجیتال پیشنهادی ۶۹
شکل(۲-۹): جزئیات بخش تقریب تابع ۷۰
شکل(۲-۱۰): جزئیات بخش محاسبه‌ی ضرایب ۷۱
شکل(۲-۱۱): جزئیات بخش جستجو و بخش درونیابی ۷۵

فصل سوم

شکل(۳-۱): تغییرات ولتاژ باقیمانده-تغییرات ولتاژ ورودی در یک طبقه ۱/۵ بیت بدون خطا ۷۸
شکل(۳-۲): نمودار FFT خروجی مبدل در حالت بدون خطا ۷۹
شکل(۳-۳): مدل استفاده شده برای اعمال خطا در شبیه‌سازی ۸۰
شکل(۳-۴): تغییرات V_{res} - تغییرات V_{in} در یک طبقه ۱/۵ بیت با خطای بهره داخلی ۸۰
شکل(۳-۵): تغییرات V_{res} - تغییرات V_{in} یک طبقه ۱/۵ بیت با خطای عدم تطبیق خازن‌ها ۸۱
شکل(۳-۶): تغییرات V_{res} بر حسب تغییرات V_{in} در یک طبقه ۱/۵ بیت با خطای آفست ۸۱
شکل(۳-۷): تغییرات V_{res} بر حسب تغییرات V_{in} در یک طبقه ۱/۵ بیت با خطای غیر خطی ۸۱
شکل(۳-۸): نمودار FFT خروجی مبدل در حالت بدون خطا ۸۲
شکل(۳-۹): نمودار DNL در حالت وجود خطا ۸۳
شکل(۳-۱۰): نمودار INL در حالت وجود خطا ۸۳
شکل(۳-۱۱): نمودار DNL بعد از جبران‌سازی ۸۵
شکل(۳-۱۲): نمودار INL بعد از جبران‌سازی ۸۵

فهرست اختصارات

عنوان اختصار	عبارت کامل
ADC	مبدل آنالوگ به دیجیتال
DAC	مبدل دیجیتال به آنالوگ
RSD	بیت علامت اضافی
MDAC	مبدل آنالوگ به دیجیتال ضرب کننده
INL	غیرخطی‌بودن انتگرالی
DNL	غیرخطی‌بود تفاضلی
SNR	نسبت سیگنال به نویز
SNDR	نسبت سیگنال به نویز و اعوجاج
SFDR	محدوده‌ی دینامیکی فاقد عوامل مزاحم
ENOB	تعداد بیت مؤثر
RNG	تولید کنند نویز تصادفی
LMS	کمترین میانگین مربعات

مقدمه

مبدل‌های آنالوگ به دیجیتال[1] بخش اساسی سیستم‌هایی هستند که در آن‌ها پردازش سیگنال[2] روی داده‌های دیجیتال انجام می‌گیرد [۲،۱]. تعداد بیت‌های خروجی[3]، سرعت تبدیل سیگنال آنالوگ به مقادیر دیجیتال[4] و خطی بودن از جمله مشخصه‌های کلیدی این مبدل‌ها به شمار می‌روند [۳]. اینگونه مبدل‌ها انواع گوناگونی دارند که از جمله مهم‌ترین آن‌ها می‌توان به مبدل‌های سیگما-دلتا[5]، مبدل‌های تقریب متوالی[6]، مبدل‌های خط‌لوله‌ای[7] و مبدل‌های فلش[8] اشاره نمود. هر یک از انواع مبدل‌ها دارای محدودیت تعداد بیت‌های خروجی و محدوده‌ی نرخ نمونه‌برداری[9] منحصر به خود است. به عنوان مثال مبدل فلش سریع‌ترین نرخ نمونه‌برداری را دارد اما اغلب دارای تعداد بیت‌های خروجی کمی است و در نقطه مقابل آن مبدل سیگما-دلتا دارای تعداد بیت خروجی بالا است درحالی‌که سرعت تبدیل در آن نسبتاً پایین است [۴].

در کاربردهایی همچون مخابرات بی‌سیم، بازشناسی تصویر، سیستم‌های ویدیویی با کیفیت بالا و تجهیزات پزشکی نیاز به مبدل‌هایی است که علاوه بر دارا بودن تعداد بیت خروجی بالا بتوانند با سرعت مناسبی از سیگنال ورودی نمونه‌برداری کنند. برای پیاده‌سازی چنین مبدل‌هایی اغلب از ساختار خط‌لوله‌ای استفاده می‌گردد. مبدل‌های آنالوگ به دیجیتال خط لوله‌ای علاوه بر داشتن سرعت و دقت بالا دارای توان مصرفی پایینی هستند [۵،۲]. مجموعه‌ی این خصوصیات موجب شده است این مبدل‌ها درکاربردهای گسترده‌ای مورد استفاده قرار گیرند. برای دستیابی به تعداد بیت خروجی مناسب، در طراحی ساختار مبدل خط‌لوله‌ای باید از تقویت کننده‌های عملیاتی[10] با بهره‌ی بالا و همچنین تطابق خازنی[11] بسیار خوب استفاده نمود. ساخت تقویت کننده با بهره‌ی بالا و همچنین تطابق خوب بین قطعات آنالوگ تشکیل دهنده‌ی مبدل، مخصوصاً در فناوری‌های جدید که در آن با کاهش اندازه مشخصه[12]، ترانزیستورهایی با طول کانال کوتاه برای دسترسی به سرعت‌های بالا مورد استفاده قرار می‌گیرند، بسیار مشکل بوده و مدارات آنالوگ طراحی شده فاقد دقت لازم هستند. عدم دقیق بودن اجزای سازنده‌ی مبدل خط لوله‌ای سبب کاهش تعداد مؤثر بیت‌های خروجی آن می‌گردد [۶-۸].

---

[1] Analog to Digital Converters (ADCs)
[2] Signal Processing
[3] Resolution
[4] Conversion Speed
[5] Sigma-Delta Converters
[6] Successive Approximation Converters
[7] Pipeline Converters
[8] Flash Converters
[9] Sampling Rate
[10] Operational Amplifier (Op-Amp)
[11] Capacitor Matching
[12] Feature Size

برای رفع این مشکل می‌توان از تکنیک‌های مداری استفاده نمود. به عنوان مثال برای رفع مشکل عدم تطبیق بین خازن‌ها می‌توان مقدار خازن‌ها را بزرگ انتخاب کرد. زیرا عدم تطبیق نسبی بین دو خازن با سطح اشغال شده توسط آن‌ها نسبت عکس دارد. اما با بزرگ انتخاب کردن خازن‌ها نیاز به تقویت کننده‌های بزرگ برای دست یافتن به یک فرکانس بهره‌ی واحد ثابت[1] داریم و از طرفی با افزایش اندازه‌ی خازن‌ها توان مصرفی مدار افزایش می‌یابد [۹]. همچنین برای افزایش بهره می‌توان از تقویت کننده‌های عملیاتی چند طبقه[2] [۱۰] یا تکنیک‌های تقویت بهره[3] [۱۱] سود جست که هر دو مصرف کننده‌ی شدید توان هستند [۹].

با توجه به این مسأله برای رفع یا بهبود عملکرد مبدل از مدارها و سیستم‌های جبران‌ساز[4] بهره گرفته می‌شود. در این پایان‌نامه یک روش جدید جبران‌سازی دیجیتال برای بهبود عملکرد مبدل‌های آنالوگ به دیجیتال خط‌لوله‌ای و جبران خطاهای ناشی از عدم دقت و عدم تطابق بخش‌های سازنده‌ی این مبدل‌ها ارائه شده است.

در فصل اول ضمن توضیح درباره ساختار کلی مبدل‌های خط لوله‌ای، منابع اصلی خطا را مورد بحث قرار می‌دهیم. بدین منظور پارامترهایی معرفی می‌شوند تا از طریق آن‌ها بتوان میزان تأثیر کمی خطاها را در عملکرد کلی مبدل مورد بررسی قرار داد. در ادامه این فصل مهم‌ترین روش‌هایی که تا کنون برای جبران‌سازی خطا در مبدل‌های آنالوگ به دیجیتال خط لوله‌ای مورد استفاده قرار گرفته‌اند و روند پیشرفت آن‌ها را مورد بررسی قرار خواهیم داد.

در فصل دوم ساختار روش پیشنهادی و عملکرد آن را مورد بحث قرار می‌دهیم. همچنین در این فصل پیاده‌سازی سخت افزاری سیستم پیشنهاد شده مورد بررسی قرار می‌گیرد.

در نهایت در فصل سوم نتایج شبیه‌سازی ارائه می‌گردد. در این فصل همچنین نتایج انجام پروژه مورد بحث قرار گرفته و پیشنهادهایی برای ادامه‌ی کار ارائه می‌شود.

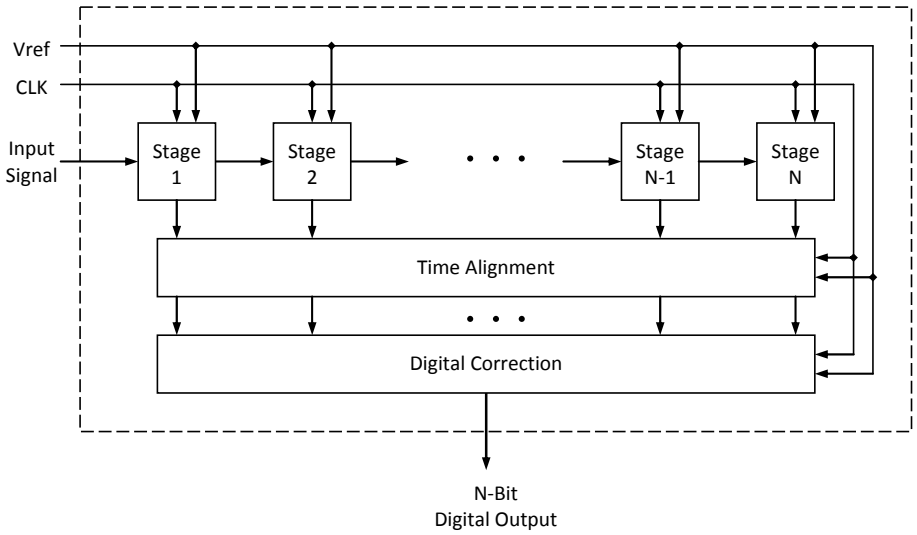
[1] Fixed Unity Gain Frequency
[2] Multi-Stage Op-Amp
[3] Gain Boosting
[4] Calibration Systems

فصل اول

بررسی منابع و پیشینه پژوهش

۱-۱ ساختار مبدل آنالوگ به دیجیتال خط لوله‌ای

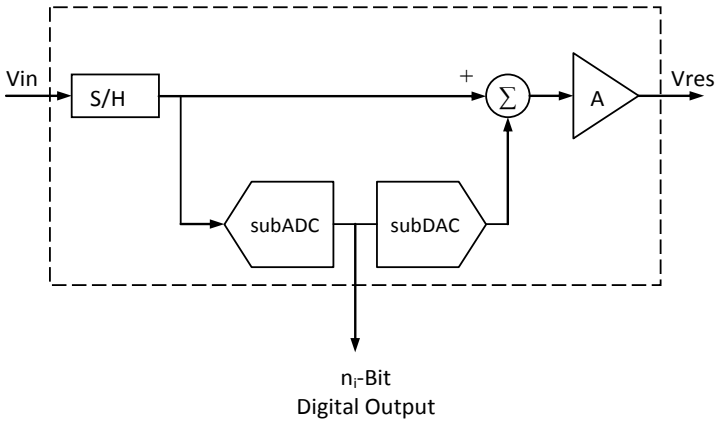
ساختار کلی مبدل خط لوله‌ای در شکل (۱-۱) نشان داده شده است [۱۲].



شکل(۱-۱): ساختار کلی مبدل آنالوگ به دیجیتال خط‌لوله‌ای

که در آن ساختار داخلی هر طبقه به صورت شکل (۱-۲) است [۱۳].

در طبقه‌ی اول با لبه‌ی بالارونده‌ی سیگنال ساعت[1] از سیگنال آنالوگ ورودی توسط مدار نمونه‌بردار/نگهدارنده[2] نمونه برداری می‌شود. سپس خروجی مدار نمونه‌بردار/نگهدارنده وارد مبدل آنالوگ به دیجیتال داخلی[3] هر طبقه می‌گردد. این بخش معمولاً از تعداد مشخصی مقایسه‌گر تشکیل شده است.



شکل(۱-۲): ساختار داخلی هر طبقه مبدل آنالوگ به دیجیتال خط لوله‌ای

[1] Clock Pulse
[2] Sample and Hold circuit (S/H)
[3] SubADC

تعداد این مقایسه‌گرها برابر با تعداد بیت‌های خروجی هر طبقه از مبدل بوده و وظیفه‌ی این بخش تولید مقادیر دیجیتال مربوط به هر طبقه است. در ادامه بیت‌های به دست آمده وارد بخش دیجیتال به آنالوگ داخلی[1] شده و مقدار معادل آنالوگ آن‌ها به دست می‌آید. این قسمت یا به صورت مدارات مقاومتی و یا به صورت مدارهای کلیدزنی خازنی[2] پیاده‌سازی می‌شود. مقدار آنالوگ به دست آمده از این قسمت، از سیگنال نمونه‌برداری شده‌ی ورودی کسر شده و مقدار حاصل توسط تقویت کننده‌ای با بهره A تقویت می‌گردد تا سیگنال باقیمانده[3] این طبقه آماده گردد. این سیگنال به عنوان سیگنال ورودی طبقه بعدی مورد استفاده قرار می‌گیرد.

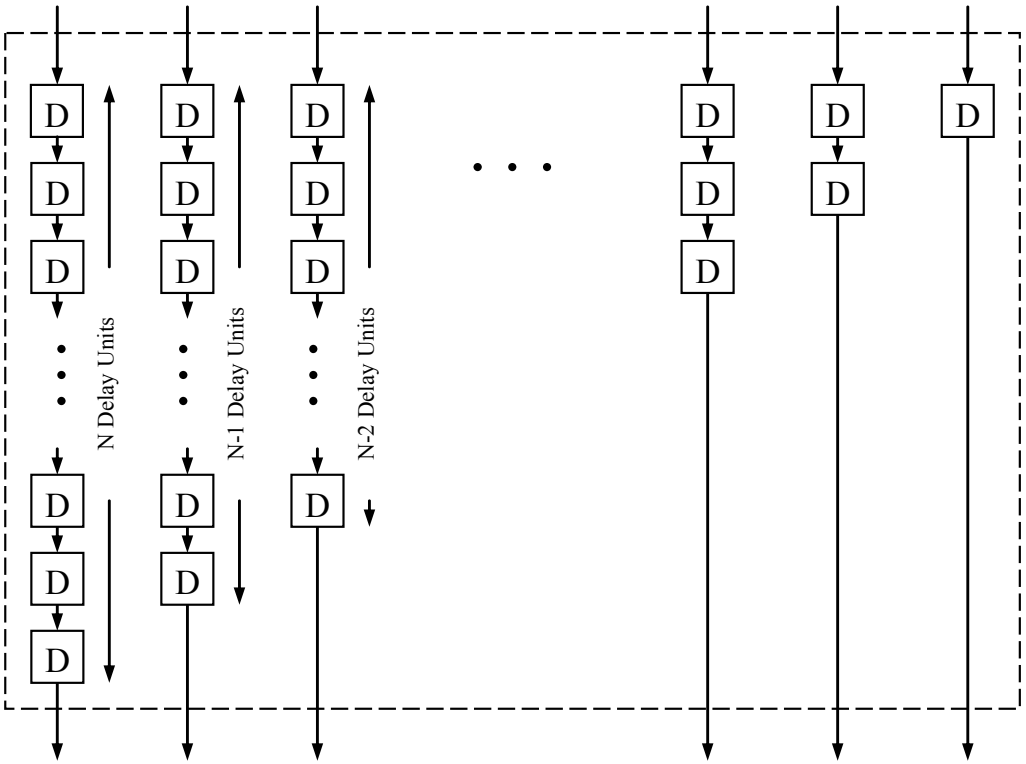
همانطور که در شکل (۱-۱) ملاحظه می‌شود هنگامی که یک طبقه در حال آماده‌سازی ولتاژ باقیمانده است، طبقه بعدی آن در همان لحظه مشغول پردازش ولتاژ باقیمانده‌ی حاصل از لبه‌ی بالارونده‌ی قبلی پالس ساعت در طبقه‌ی پیشین است. این پردازش متوالی نمونه‌ها توسط طبقات پشت سر هم اساس ساختار خط‌لوله‌ای را تشکیل می‌دهد. به عبارت دیگر، مبدل یک عدد N بیتی معادل با هر نمونه‌ی ورودی آنالوگ را در خروجی خود ارائه می‌دهد و هر طبقه وظیفه‌ی تأمین بخشی از این عدد دیجیتال را بر عهده دارد. در واقع، طبقه‌ی اول بیت یا بیت‌های پر ارزش‌تر[4] و طبقات بعدی به ترتیب بیت‌های کم ارزش‌تر[5] مربوط به یک نمونه از سیگنال آنالوگ ورودی را تولید می‌نمایند.

از آنجایی که در هر پالس ساعت، هر طبقه ولتاژ باقیمانده‌ی طبقه‌ی قبلی را پردازش می‌نماید، از زمان ورود یک نمونه سیگنال ورودی به طبقه‌ی اول تا آماده شدن تمام بیت‌های دیجیتال مربوط به آن به اندازه تعداد طبقات پالس ساعت نیاز داریم. بنابراین به جهت اینکه عدد دیجیتال نهایی در خروجی همه طبقات به طور همزمان ظاهر شود، نیاز به مدار تاخیر خواهیم داشت. این وظیفه توسط بلوک تطبیق زمان[6] انجام می‌گیرد. این قسمت از واحدهای تاخیر[7] مطابق شکل (۱-۳) تشکیل شده است.

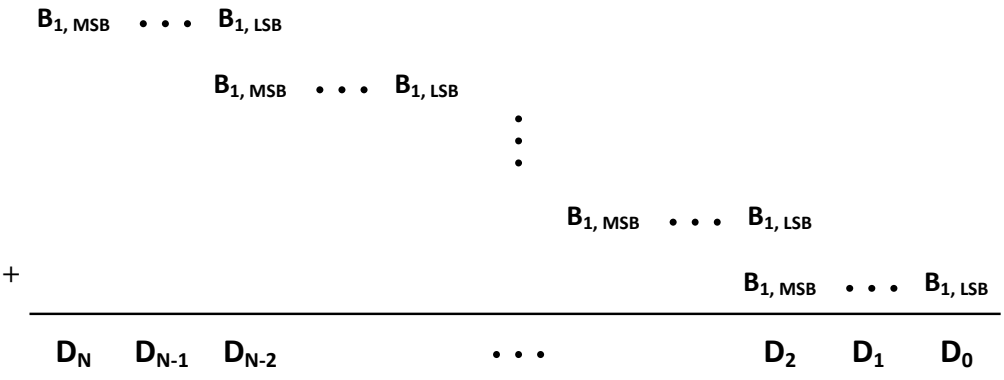
بعد از تنظیم زمانی، خروجی‌های دیجیتال وارد بخش تصحیح دیجیتال[8] می‌شوند. در این بخش از یک روش اصلاح دیجیتالی معروف به RSD[9] استفاده می‌گردد [۱۲]. در واقع این روش استفاده از یک بیت اضافی بی‌اهمیت در هر طبقه برای افزایش دقت کوانتیزاسیون در مشخصات مبدل آنالوگ به دیجیتال داخلی می باشد. نحوه‌ی عملکرد این سیستم در شکل (۱-۴) نشان داده شده است. زمانی

[1] SubDAC
[2] Switched capacitor
[3] Residue
[4] MSB
[5] LSB
[6] Time Alignment
[7] Delay
[8] Digital Correction
[9] Redundant Sign Digit

که تمام بیت‌های طبقات مختلف بدست آمد این بیت‌ها به صورت یک بیت هم‌پوشانی[1] با هم جمع می شوند تا بیت های نهایی بدست آیند. اضافه کردن یک بیت درحقیقت افزایش تفکیک پذیری[2] هر طبقه به اندازه‌ی یک بیت بدون افزودن سطح کوانتیزاسون اضافی می‌باشد. وجود آفست در سطوح مقایسه‌ی مقایسه کننده موجب ایجاد خطا درعملکرد آن خواهد شد که با استفاده از این روش، اثر این خطا به میزان زیادی کاهش می یابد.



شکل(۱-۳): ساختار مدار تاخیر زمانی

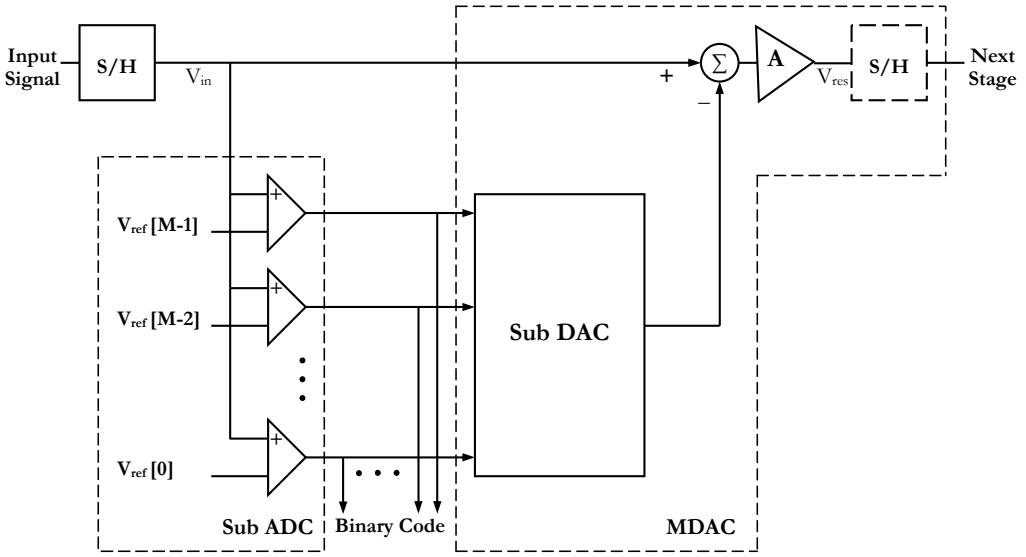


شکل(۱-۴): نحوه عملکرد بخش اصلاح دیجیتال

[1] One-Bit Overlap
[2] Resolution

۱-۲ منابع خطا در مبدل آنالوگ به دیجیتال خط‌لوله‌ای

ساختار داخلی یک طبقه از یک مبدل با جزئیات بیشتر در شکل (۱-۵) نشان داده شده است [۱۴]. عدم دقت مدارهای آنالوگ سازنده‌ی هر طبقه از مبدل آنالوگ به دیجیتال خط‌لوله‌ای، موجب ایجاد خطاهای اجتناب‌ناپذیری در عملکرد کلی مبدل می‌گردد. در این بخش منابع عمده‌ی ایجاد خطا مورد بحث قرار می‌گیرد.



شکل(۱-۵): ساختار جزئی تر مدار داخلی هر طبقه از مبدل خط‌لوله‌ای

۱- خطای مدار نمونه‌بردار/نگهدارنده

بخش نمونه‌بردار/نگهدارنده، اولین بلوک هر طبقه است. این بخش را می‌توان به صورت بخشی از مدار MDAC[1] و یا به صورت جداگانه طراحی نمود. در طراحی این بخش مشکلاتی همچون تزریق بار[2]، درروی پالس ساعت[3] و زمان نشست[4] باعث ایجاد خطا در عملکرد مبدل می‌شوند.

۲- خطای مدار آنالوگ به دیجیتال داخلی هر طبقه

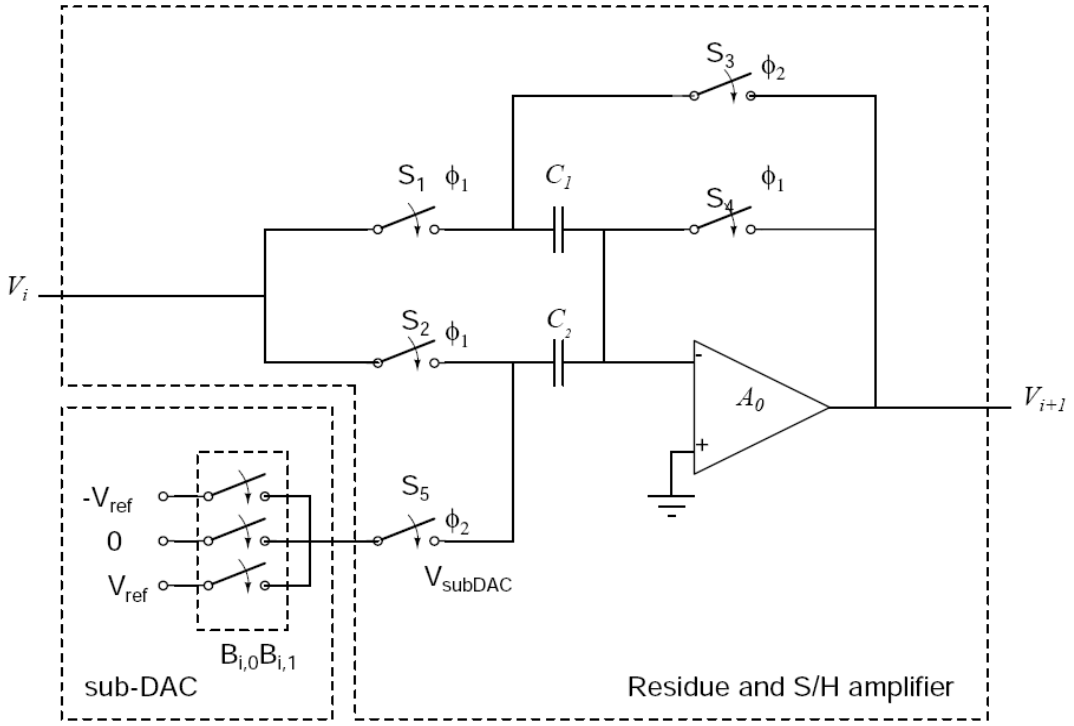
همانطور که در بالا اشاره شد، عمده خطای مربوط به بلوک آنالوگ به دیجیتال داخلی ناشی از آفست مقایسه کننده‌هایی است که مدار آن را تشکیل می‌دهند. در شکل (۱-۵) ساختار داخلی بلوک آنالوگ به دیجیتال داخلی نمایش داده شده است. در صورتی که در مقایسه کننده‌ها خطای آفست وجود داشته باشد، مقدار ولتاژی که با مقادیر مشخص مقایسه می‌شود اشتباه تشخیص داده شده و کد

[1] Multiplying Digital-to-Analog Converter (MDAC)
[2] Charge Injection
[3] Clock Feedthrough
[4] Settling Time

خروجی نادرست تولید خواهد کرد. این خطا با استفاده از روش RSD، به میزان زیادی کاهش می یابد [۱۴].

۳- خطای مدار MDAC

یکی از بخش‌های مهم و اساسی در هر طبقه از مبدل آنالوگ به دیجیتال خط‌لوله‌ای مدار MDAC است. وظیفه‌ی این بلوک تفریق سیگنال ورودی طبقه از سیگنال مرجع و تقویت حاصل این تفریق است. معمولاً این طبقه دارای ساختار کلیدزنی خازنی[1] است [۱۵] و هسته اصلی آن از یک تقویت‌کننده‌ی عملیاتی تشکیل یافته است. در شکل (۱-۶) نمونه‌ای از این مدار برای یک طبقه ۱/۵ بیت آورده شده است [۱۶].



شکل(۱-۶): ساختار مدار MDAC

این مدار در فاز ϕ_1 با استفاده از خازن‌های C_1و C_2 از ورودی نمونه‌برداری کرده و در فاز ϕ_2 خازن C_1 به خروجی تقویت‌کننده متصل شده و خازن C_2 به یکی از ولتاژهای مرجع متصل می‌گردد. انتخاب یکی از ولتاژهای مرجع بستگی به مقدار خروجی بلوک آنالوگ به دیجیتال داخلی دارد. این فرآیند موجب می‌شود که اختلاف ولتاژ ورودی هر طبقه از مقدار خروجی بلوک دیجیتال به آنالوگ داخلی توسط تقویت‌کننده، تقویت گردد. در شکل زیر این دو حالت نشان داده شده است [۱۷].

[1] Switch Capacitor