بسم الله الرحمن الرحيم

١٣٨٥٠

دانشکده فنی

گروه برق

طراحی کنترل کننده فازی دیجیتال با مدار فازی ساز جدید با استفاده از CMOS

میثم عباسی نیا

پایان نامه برای دریافت درجه کارشناسی ارشد

اساتید راهنما :

دکتر عبدالله خویی

دکتر خیرالله حدیدی

تابستان ۱۳۸۸

۱۳۸۹/۴/۸

۱۳۸۸۵۰

پایان نامه خانم/آقای سیم جباسی سا... به تاریخ ۱۸/۱۰/۸۸
شماره.....مورد پذیرش هیات محترم داوران بارتبه بسیار خوب
و نمره ۱۷/ قرار گرفت.

۱ - استاد راهنما و رئیس هیئت داوران :

۲ - داور خارجي :

۳ - داور داخلي :

٤ - نماینده تحصیلات تکمیلی :

حق چاپ و نشر برای دانشگاه ارومیه محفوظ می باشد.

تقدیر و تشکر

به نام خدایی که آفرید انسان را و بزرگترین امانت را به او بخشید و از او امانتداری خواست امانتی به سنگینی کوه که هیچ موجودی تاب به دوش کشیدنش را نداشت. به نام خدایی که مهربانترین مهربانهاست و از دیدن به کمال رسیدن بندگانش شاد می شود که بر خود بالید از آفرینش چنین موجودی.

در این فرصت بر خود لازم می بینم از اساتید راهنمایم آقایان دکتر خویی و دکتر حدیدی و همچنین از اساتید دوره کارشناسی ارشدم به ویژه از آقای دکتر آذرمنش تشکر خاص داشته باشم امید است که شاگرد خوبی بوده و روزی زحمات ایشان را جبران نمایم.

از دوستان بسیار خوبم که با کمک و همدلی این دوستان توانستم سختی دوران تحصیل را آسان نمایم تشکر می کنم. از تمامی دوستان پژوهشکده میکرو الکترونیک و از آقای حجت مجرد سپاس ویژه دارم.

و در پایان ارادت خالصانه ام را به دو فرشته بزرگ ، پدر و مادرم نثار می کنم، که همیشه بزرگواری و کمک آنان به من بزرگی و دلگرمی می دهد. دستتان را می بوسم .

چکیده

در این پایان نامه هدف طراحی کنترلر فازی با ورودی دیجیتال و خروجی آنالوگ ولتاژی است. این کنترلر فازی دو ورودی دیجیتال داشته و یک خروجی آنالوگ دارد که با برنامه ریزی چهار پارامتر مشخصات تابع عضویت پروگرم می شود. این کنترلر دارای ساختاری جدیدی است که با این ساختار بسیاری از مشکلات موجود در ساختار های دیگر حل شده است. این کنترلر از یک مدار MIN-MAX ولتاژی بسیار قابل انعطاف بهره می برد که با یک ساختار هم مینیمم و هم ماکزیمم سیگنال ها را در اختیار قرار می دهد. در ادامه برای بلوک defuzzifier هم ساختار بسیار ساده و مناسبی در مد ولتاژ طراحی شده است که نیاز به مدارات پیچیده خازنی را مرتفع نموده است. این کنترلر در ۹ رول پیاده سازی شد و نتایج شبیه سازی توان مصرفی ۳۶/۴۳ mW را نشان داد و به سرعت ۹/۴ MFLIPS رسیدیم.

شبیه سازی های انجام شده در نرم افزار HSPICE انجام گرفته است و Layout مدارات هم در نرم افزار Cadenc در پروسه CMOS ۰/۳۵μm کشیده شده است. در فصل سوم کل معماری کنترلر آمده است که در این فصل شبیه سازی های انجام گرفته با نرم افزار MATLAB نیز آمده است.

فهرست مطالب

فصل اول: مقدمه ۱

فصل دوم: کنترلر فازی و طراحی بلوک های کنترلر ۳

۲-۱: Fuzzifier ۳

۲-۲: شبیه سازی فازی ساز طراحی شده ۱۲

۲-۳: Inference Engine ۱۸

۲-۴: شبیه سازی مدار MAX-MIN ۲۲

۲-۵: Defuzzifier ۲۵

فصل سوم: کنترلر فازی طراحی شده ۳۴

فصل چهارم: طراحی Layout کل کنترلر فازی ۳۹

فصل پنجم: نتیجه گیری ۴۷

فصل ششم: پیشنهادات ۴۹

مقالات چاپ شده ۵۰

مراجع ۵۰

فهرست شکل ها

فصل دوم

شکل ۲-۱: یک تابع عضویت نمونه و پارامتر های تعیین کننده برای یک تابع عضویت ۴

شکل ۲-۲: تابع عضویت نمونه دیجیتال به همراه ولتاژ های هر پله و پارامتر ها ۵

شکل ۲-۳: تابع عضویت نمونه با اختلاف پارامتر های ۲ و ولتاژ های هر پله ۵

شکل ۲-۴: تابع عضویت نمونه با اختلاف پارامتر های ۳ و ولتاژ های هر پله ۵

شکل ۲-۵: تابع عضویت نمونه با اختلاف پارامتر های ۵ و ولتاژ های هر پله ۶

شکل ۲-۶: بلوک های فازی ساز و ایده اصلی ۷

شکل ۲-۷: بلوک دیاگرام مدار RG ۹

شکل ۲-۸: مدار تولید کننده RG ۹

شکل ۲-۹: مدار دیکدر ۴ به ۱۶ ..... ۱۰

شکل ۲-۱۰: مقایسه کننده دیجیتال ۱۱

شکل ۲-۱۱: تابع عضویت ذوزنقه ای آقای امینی فر ۱۲

شکل ۲-۱۲: تابع عضویت NZP آقای امینی فر ۱۳

شکل ۲-۱۳: تابع عضویت مثلثی با ۷ پله و ولتاژ های هر پله ۱۴

شکل ۲-۱۴: تابع عضویت مثلثی با شیب های متفاوت و قابلیت برنامه ریزی فازی ساز ۱۴

شکل ۲-۱۵: تابع عضویت مثلثی NZP ۱۵

شکل ۲-۱۶: تابع عضویت ذوزنقه ای ۱۵
شکل ۲-۱۷: ساختار کلی مدار طراحی شده برای ماکزیمم و مینیمم گیر ۱۶
شکل ۲-۱۸: تابع عضویت ذوزنقه ای NZP ۱۶
شکل ۲-۱۹: یک مثال از خروجی فازی ساز ۱۷
شکل ۲-۲۰: مدار ماکزیمم گیر مد ولتاژ ۱۸
شکل ۲-۲۱: ساختار کلی مدار طراحی شده برای ماکزیمم و مینیمم گیر ۱۹
شکل ۲-۲۲: بلوک دیاگرام مقایسه کننده ۲۰
شکل ۲-۲۳: شماتیک مدار مقایسه کننده ۲۰
شکل ۲-۲۴: شبیه سازی مقایسه کننده با دو ورودی ۲۲
شکل ۲-۲۵: مدار مولتی پلکسر ۲۳
شکل ۲-۲۶: شبیه سازی در حالت ماکزیمم گیر ۲۳
شکل ۲-۲۷: شبیه سازی در حالت مینیمم گیر ۲۴
شکل ۲-۲۸ : شبیه سازی کامل مدار min-max ۲۴
شکل ۲-۲۹: مقاومت متغییر کنترل شونده با ولتاژ ۲۶
شکل ۲-۳۰: نتیجه شبیه سازی مقاومت متغییر ۲۷
شکل ۲-۳۱: تعریف singleton ها ۲۸
شکل ۲-۳۲: بلوک دیاگرام مدار defuzzifier ۲۹
شکل ۲-۳۳: شبیه سازی defuzzifier ۳۰

شکل ۲-۳۴: ۳۲ عدد دیجیتال ورودی دوم (MATLAB) ۳۱

شکل ۲-۳۵: ۳۲ عدد دیجیتال ورودی اول(MATLAB) ۳۲

شکل ۲-۳۶: دیاگرام مش کنترلر(MATLAB) ۳۳

شکل ۲-۳۷: دیاگرام سطحی کنترلر(MATLAB) ۳۳

فصل سوم

شکل ۳-۱: معماری کامل کنترلر فازی ۳۴

شکل ۳-۲: فازی ساز اول ۳۶

شکل ۳-۳: فازی ساز دوم ۳۶

شکل ۳-۴: آزمایش کنترلر فازی با چهار ورودی متفاوت ۳۸

فصل چهارم

شکل ۴-۱: layout سوئیچ ها و گیت های OR و سوئیچ های قسمت بالای فازی ساز ۳۹

شکل ۴-۲: مقاومت مورد نیاز با اتصال دو مقاومت unit ۴۰

شکل ۴-۳: دیکدرها به همراه آرایه مقاومتی و سوئیچ ها و گیت های فازی ساز ۴۰

شکل ۴-۴: layout قسمت z از فازی ساز ۴۱

شکل ۴-۵: layout کامل فازی ساز NZP ۴۲

شکل ۴-۶: layout قسمت min-max کنترلر فازی ۴۳

شکل ۴-۷: layout یک سلول از defuzzifier ۴۴

شکل ۴-۸: layout قسمت defuzzifier ۴۵

شکل ۴-۹: layout کل کنترلر فازی دیجیتال ۴۶

فهرست جدول ها

فصل دوم

جدول ۲-۱: خلاصه مشخصات بلوک فازی ساز ۱۷

جدول ۲-۲: سایز ترانزیستور های مقایسه کننده ۲۱

جدول ۲-۳: Rules ۲۸

جدول ۲-۴: Rules ۲۸

فصل سوم

جدول ۳-۱: نتایج ماکزیمم گیر ۳۷

جدول ۳-۲: رول های تست شده ۳۷

فصل پنجم

جدول ۵-۱: خلاصه مشخصات کنترلر ۴۷

جدول ۵-۲: مقایسه کارهای انجام شده..... ۴۸

فصل اول

مقدمه

کنترلر های فازی با استفاده از منطق فازی وظیفه کنترل کردن سیستم های گوناگونی را دارند. این کنترلر ها ابتدا اطلاعات crisp ورودی را به اطلاعات فازی تبدیل می کنند و با پردازش و ترکیب این اطلاعات سیگنال کنترلی ایجاد می شود و تصمیم گیری انجام می گیرد و در نهایت این سیگنال تبدیل به crisp شده و به عنوان خروجی به سیستم های تحت کنترل داده می شود.

مطابق آنچه در بالا گفته شد نیاز به دو mapping وجود دارد : تبدیل اطلاعات از محیط crisp به محیط فازی و دیگری تبدیل اطلاعات و سیگنال های فازی به crisp در خروجی. یک سیستم فازی این فرایند را توسط تئوری فازی انجام می دهد که در سال ۱۹۶۵ توسط پروفسور لطفی زاده تعریف شد و ساختار ریاضی آن به صورت کامل پیاده سازی شد. این mapping ها به صورت غیر خطی هستند و اطلاعات crisp را به فازی تبدیل می کنند.

امروزه منطق فازی در طراحی سیستم ها بسیار استفاده می شود ، انعطاف پذیری بالا و نزدیکی این منطق به فکر انسان باعث شده که سیستم ها را بسیار راحت و خوب کنترل کرد.منطق فازی بر روی سیستم های کنترلی الکترونیکی بسیار زیادی پیاده سازی شده و باعث ایجاد یک روش طراحی جدید در این سیستم ها گشته است.

طراحی و ساخت کنترلر های general purpose برای کنترل سیستم های الکترونیکی بسیار مناسب و کم هزینه هستند که با روش های گوناگون و با نقاط ضعف و قوت متنوع طراحی می شوند. این کنترلر ها متناسب با سیستم تحت کنترل برنامه ریزی می شود و با توجه به این قابلیت برنامه ریزی برای هر سیستم ، بسیار مطلوب و مناسب می باشند.

کنترلر های فازی در دو نوع دیجیتال و آنالوگ طراحی می شوند که مفهوم دیجیتال و یا آنالوگ بودن هم در رابطه با ارتباط با دنیای خارجی و Interface آن کنترلر است و هم درالگوریتم و ساختار داخلی آن سیستم فازی مفهوم دارد. کنترلر های فازی دیجیتال توانایی اتصال به ادوات و سنسور های دیجیتال را دارند و توانایی پردازش سیگنال های دیجیتال از نقاط قوت آنها محسوب می گردد و در مقابل کنترلر های فازی آنالوگ توانایی پردازش سیگنال های آنالوگ را دارند و در ورودی ولتاژها و یا جریانات آنالوگ را که از ادوات الکترونیکی و سنسورها می آیند را دریافت می کنند. در هر دو نوع ساختار طراحی های زیادی انجام گرفته است نمونه های آنالوگ کار هایی مثل [۱۰] - [۱۴] است و از مدارات و سیستم های طراحی شده بر پایه VLSI می توان به [۳]-[۷] اشاره نمود. ساختارهای آقایان Watanabe[۴] و Togai[۷] و Sanchez[۵] از مطرح ترین این شاخه از کنترلر های فازی هستند.

بعد از ارائه طرح های بر پایه مدارات VLSI که از گیت های منطقی استفاده می کردند و عموماً برای ساخت آنها از FPGA ها استفاده می کردند مداراتی مطرح شدند که ساختار داخلی آنها mixed analog-digital نام گرفت که دارای interface دیجیتال بودند اما از مدارات آنالوگ هم در داخل ساختار استفاده می کردند. یکی از قوی ترین کار های انجام شده تز آقای امینی فر [۱] از دانشگاه ارومیه بوده است که در سال ۲۰۰۲ ارائه شده است.

کنترلر آقای امینی فر بر پایه مدارات current mode طراحی گردیده است که به توان ۴۹ mW در سرعت ۸/۸۵ MFLIPS رسیده است از معایب این مدار کم بودن دقت ساختار فازی ساز آن است که به علت spike های جریانی است که در step های فازی ساز وجود دارد و شکل تمیز و تیزی از لحاظ مشخصه خروجی فازی ساز وجود ندارد. و لی حجم مدار و سطح مصرفی چیپ بسیار مناسب و کوچک می باشد که در مقایسه با دیگر کارها بسیار ایده آل می باشد حجم مدارات آقای امینی فر $۰/۱۱mm^2$ است. کارهای دیگر مد جریانی مراجع شماره [۱۰] و [۱۳] و [۱۵] از نمونه های بارز هستند.

در مقابل ما سعی بر بهبود مدارارت و اضافه کردن option هایی در Inference engine بوده است که با توجه به مطالعات انجام شده تصمیم بر طراحی مدارات در مد ولتاژ گرفتیم. با طراحی مدارات در مد ولتاژ حجم مدارات افزایش پیدا کرد ولی از لحاظ دقت بسیار بهبود و سرعت نیز افزایش پیدا کرد در ساختار پیشنهادی ما سیگنال های ورودی دیجیتال ولتاژ مد هستند و پروگرم کردن فازی ساز نیز به صورت دیجیتال انجام می شود و در قسمت Inference engine توانایی گرفتن ماکزیمم و مینیمم و هر دو همزمان را اضافه نمودیم که با دقت ۱٪ این کار انجام می گیرد. یکی از مشکلات موجود در مدارات ولتاژ مد طراحی قسمت Defuzzifier است که برای طراحی قسمت تقسیم کننده مدارات switch capacitor نیاز است که بر همگان پیچیدگی این ساختار ها مشخص است. با توجه به این مسئله سعی بر طراحی مدارات با پیچیدگی کمتر و ساده تر داشتیم که جزئیات بیشتر در فصل آینده مطرح می گردد.

هدف ما در این پایان نامه طراحی یک چیپ کنترلر فازی general purpose دیجیتال است. در این کنترلر فازی یک ساختار جدید و بسیار مناسب تر از نمونه های دیگر برای سیستم فازی کننده آن پیشنهاد شده است که با روش mixed mode این بلوک را پیاده سازی کرده ایم. مدارات fuzzifier در مد ولتاژ طراحی شده است که با این طراحی دقت مدار بسیار بهبود یافته است و spike های موجود در مدارات مد جریان در این ساختار به کلی حذف گشته و با سرعت بیشتر به دقت ۹۸/۲٪ رسیده ایم. در قسمت بعدی یعنی بلوک Inference engine نیز مدارات جدید با قابلیت های بهتری ارائه شده است ، مدارات ماکزیمم و مینیمم گیر در مد ولتاژ طراحی شده است که این ساختار نیز دارای دقت مناسب و سرعت خوبی است و در نهایت در قسمت defuzzifier نیز سعی بر ساده کردن مدارات و پرهیز از مدارات پیچیده بوده است. ساختار center of area (COA) برای defuzzifier در نظر گرفته شده است.

مدارات طراحی شده در این کنترلر فازی در پروسه ۰/۳۵ µm تکنولوژی CMOS پیاده سازی شده است. این کنترلر دو ورودی دیجیتال ۴ بیتی ، ۹ rule و یک خروجی آنالوگ برای سیستم های کنترلی دارد. کنترلر فازی به صورت کامل توسط نرم افزار HSPICE شبیه سازی شده است و Layout آن در نرم افزار Cadence کشیده شده و extract شده است.

فصل دوم

کنترلر های فازی و طراحی بلوک های کنترلر

در این فصل طراحی های انجام شده برای بلوک های کنترلر فازی دیجیتال را مطرح خواهیم کرد و همزمان نتایج شبیه سازی ها و مشخصات آن بلوک را بررسی خواهیم کرد. به صورت عمومی کنترلر های فازی دارای سه بلوک اصلی می باشد :Fuzzifier ، Inference engine ، Defuzzifier .

۲-۱ Fuzzifier

این بلوک وظیفه تبدیل دیتای crisp را به دیتای فازی بر عهده دارد به این معنی که اطلاعات را از منطق کلاسیک به منطق فازی تبدیل می کند. فازی ساز ها توسط تابع عضویت این فرآیند را انجام می دهند، این فازی سازها به صورت آنالوگ و دیجیتال طراحی می شوند که کاربرد های خاص و متفاوتی در application ها گوناگون دارند.

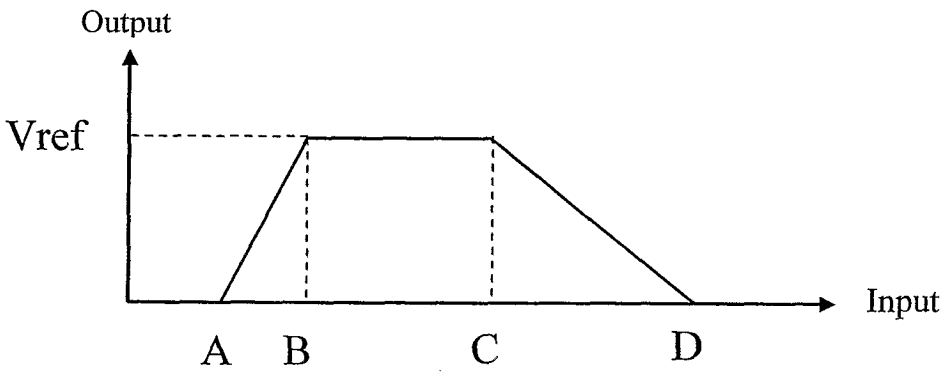
در فازی سازهای آنالوگ سیگنال ورودی باید به صورت آنالوگ باشد و در غیر این صورت نیاز به یک DAC در ورودی خود دارد که این باعث افزایش حجم مدار و توان مصرفی کنترلر می شود اما دارای سرعت بالاتری نسبت به دیگر انواع فازی سازها می باشد و از لحاظ پیچیدگی هم مدارات بسیار ساده تری دارد، این فازی سازها به صورت جریانی و ولتاژی طراحی می شوند.

در فازی سازهای دیجیتال سیگنال ورودی می تواند دیجیتال باشد و به سنسور ها و ادوات دیگر دیجیتال متصل می شوند، اما دارای پیچیدگی و حجم بالای مدار است و سرعت پایین تری نسبت به مدارات آنالوگ دارند و در خروجی سیگنال دیجیتال دارند که برای سیستم های کنترلی مناسب نبوده و باید در خروجی یک DAC قرار دهیم که این سیگنال ها به آنالوگ تبدیل شوند.

در این میان ساختار دیگری وجود دارد که ترکیبی از دیجیتال و آنالوگ به طور همزمان می باشد و مزایای این سیستم ها را دارا می باشد. به این ساختار mixed mode analog-digital می گویند. در این ساختار ها که هم به صورت ولتاژی و هم به صورت جریانی طراحی می شوند می توانند در ورودی سیگنال دیجیتال گرفته و در خروجی ولتاژ یا جریان آنالوگ تحویل دهند.

در این پایان نامه ما ساختار جدیدی از مدارات فازی ساز mixed mode در مد ولتاژ را معرفی کرده ایم که مشکلات و معایب ساختارهای قبلی را که در این مد طراحی شده اند را مرتفع کرده است (چاپ شده در کنفرانس ICM'۰۸). این فازی ساز دارای ورودی دیجیتال وخروجی آنالوگ در مد ولتاژ می باشد که بر خلاف کار آقای امینی فر[۱] که در مد جریان کار شده دارای دقت بسیار زیادتری در تابع عضویت بوده (۹۸/۲٪ دقت) و و بدون هیچگونه spike می باشد و از لحاظ سرعت نیز بسیار بهبود پیدا کرده است.

فازی سازها بطور معمول دارای سه نوع مثلثی، ذوزنقه ای و زنگوله ای هستند که فازی ساز طراحی شده ما دو نوع مثلثی و ذوزنقه ای را تولید می کند. با توجه به شکل ۲-۱ چهار پارامتر تعیین کننده وضعیت یک فازی ساز در حالت کلی است. با تعیین مقادیر پارامتر های A,B,C,D به صورت دیجیتال می توان شکل تابع عضویت را مشخص کرد. برای داشتن یک تابع عضویت مثلثی کافی است که پارامتر B و C را با هم برابر گرفت و این تابع عضویت تبدیل به یک تابع عضویت مثلثی می شود و در غیر اینصورت ما یک تابع عضویت ذوزنقه ای خواهیم داشت. با توجه به شکل ۲-۱ با محاسبه اختلاف دو پارامتر A و B شیب سمت راست و اختلاف دو پارامتر C و D شیب سمت چپ تابع عضویت را تعیین می کند.

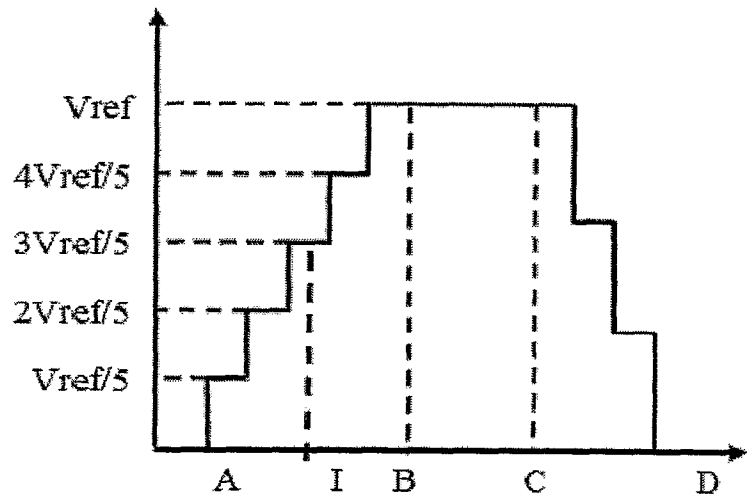


شکل ۲-۱: یک تابع عضویت نمونه و پارامتر های تعیین کننده برای یک تابع عضویت

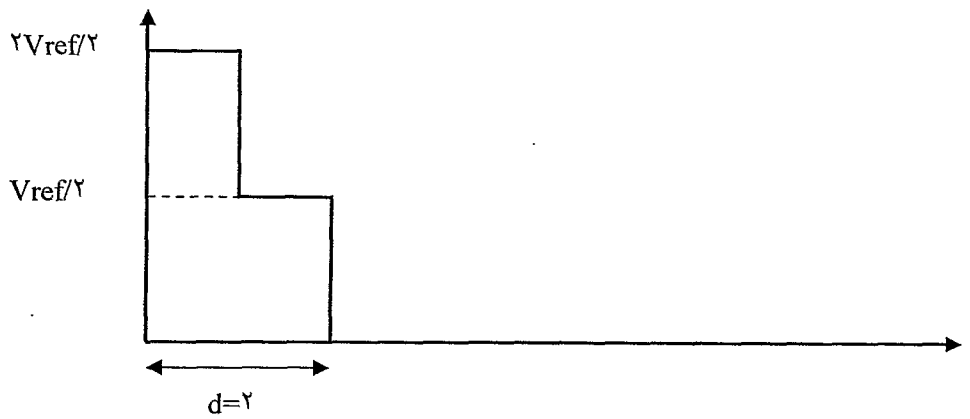
حال با توجه به توضیحات داده شده در رابطه با یک تابع عضویت نمونه در حالت کلی ، به توضیحاتی در رابطه با تابع عضویت های دیجیتال با قابلیت برنامه ریزی بالا می پردازیم.

یک تابع عضویت نمونه دیجیتال در شکل ۲-۲ نمایش داده شده است که چهار پارامتر موجود در این شکل مشخص است ، اختلاف بین دو پارامتر های A و B تعداد پله های مورد نیاز برای ایجاد آن شیب را تعیین می کند و همانطور برای شیب سمت چپ تابع عضویت تعداد پله ها نمایانگر شیب آن خواهد بود.

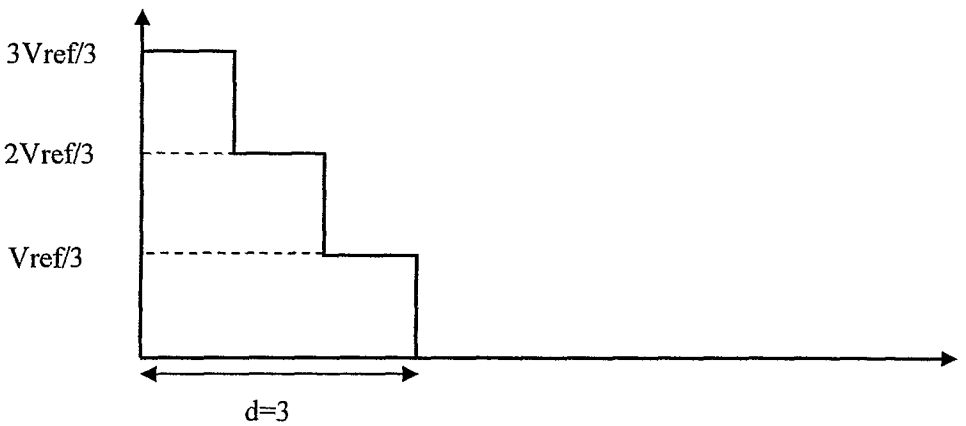
بطور مثال در این تابع عضویت نمونه دیجیتال اختلاف پارامتر های A و B پنج می باشد بنابراین باید مقادیر ولتاژ Vref/۵ و ۲Vref/۵ و ۳Vref/۵ و ۴Vref/۵ و ۵Vref/۵ را تولید کرد. در شکل ۲-۳ تابع عضویت با دو پله نمایش داده شده است که حداکثر شیب این ساختار است، ولتاژهای پله ها نیز در شکل مشخص است.



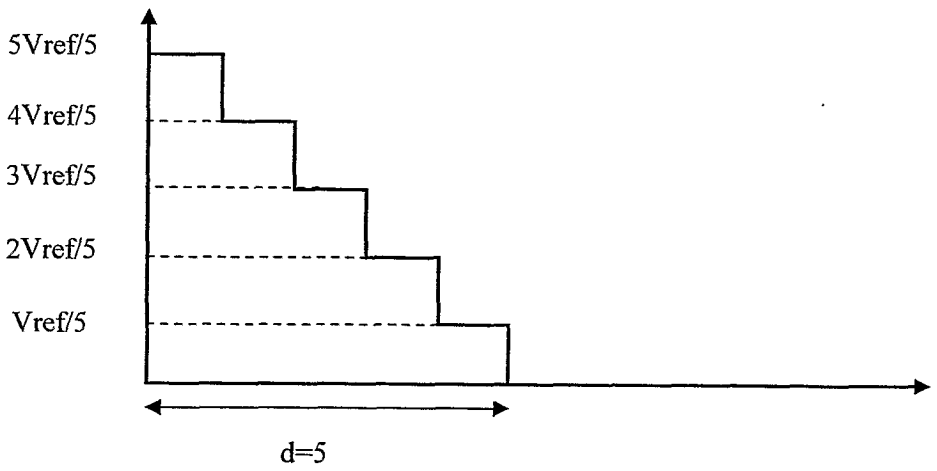
شکل ۲-۲: تابع عضویت نمونه دیجیتال به همراه ولتاژ های هر پله و پارامتر ها



شکل ۲-۳: تابع عضویت نمونه با اختلاف پارامتر های ۲ و ولتاژ های هر پله



شکل ۲-۴: تابع عضویت نمونه با اختلاف پارامتر های ۳ و ولتاژ های هر پله



شکل ۲-۵: تابع عضویت نمونه با اختلاف پارامتر های ۵ و ولتاژ های هر پله

در شکل های بعدی توابع عضویت نمونه با شیب های متفاوت و ولتاژهای هر پله نمایش داده شد.

در این طراحی ورودی های ما ۴ بیت اعداد دیجیتال بوده است و قابلیت ایجاد شیب هایی با تعداد ۱۶ پله را دارا می باشد که در زیر نسبت های ولتاژی آن آمده است.

If d=۱ then steps are: {۱}

If d=۲ then steps are: {۱/۲, ۲/۲}

If d=۳ then steps are: {۱/۳, ۲/۳, ۳/۳}

If d=۴ then steps are: {۱/۴, ۲/۴, ۳/۴, ۴/۴}

If d=۵ then steps are: {۱/۵, ۲/۵, ۳/۵, ۴/۵, ۵/۵}

If d=۶ then steps are: {۱/۶, ۲/۶, ۳/۶, ۴/۶, ۵/۶, ۶/۶}

If d=۷ then steps are: {۱/۷, ۲/۷, ۳/۷, ۴/۷, ۵/۷, ۶/۷, ۷/۷}

If d=۸ then steps are: {۱/۸, ۲/۸, ۳/۸, ۴/۸, ۵/۸, ۶/۸, ۷/۸, ۸/۸}

If d=۹ then steps are: {۱/۹, ۲/۹, ۳/۹, ۴/۹, ۵/۹, ۶/۹, ۷/۹, ۸/۹, ۹/۹}

If d=۱۰ then steps are: {۱/۱۰, ۲/۱۰, ۳/۱۰, ۴/۱۰, ۵/۱۰, ۶/۱۰, ۷/۱۰, ۸/۱۰, ۹/۱۰, ۱۰/۱۰}

If d=۱۱ then steps are: {۱/۱۱, ۲/۱۱, ۳/۱۱, ۴/۱۱, ۵/۱۱, ۶/۱۱, ۷/۱۱, ۸/۱۱, ۹/۱۱, ۱۰/۱۱, ۱۱/۱۱}

If d=۱۲ then steps are: {۱/۱۲, ۲/۱۲, ۳/۱۲, ۴/۱۲, ۵/۱۲, ۶/۱۲, ۷/۱۲, ۸/۱۲, ۹/۱۲, ۱۰/۱۲, ۱۱/۱۲, ۱۲/۱۲}

If d=۱۳ then steps are: {۱/۱۳, ۲/۱۳, ۳/۱۳, ۴/۱۳, ۵/۱۳, ۶/۱۳, ۷/۱۳, ۸/۱۳, ۹/۱۳, ۱۰/۱۳, ۱۱/۱۳, ۱۲/۱۳, ۱۳/۱۳}

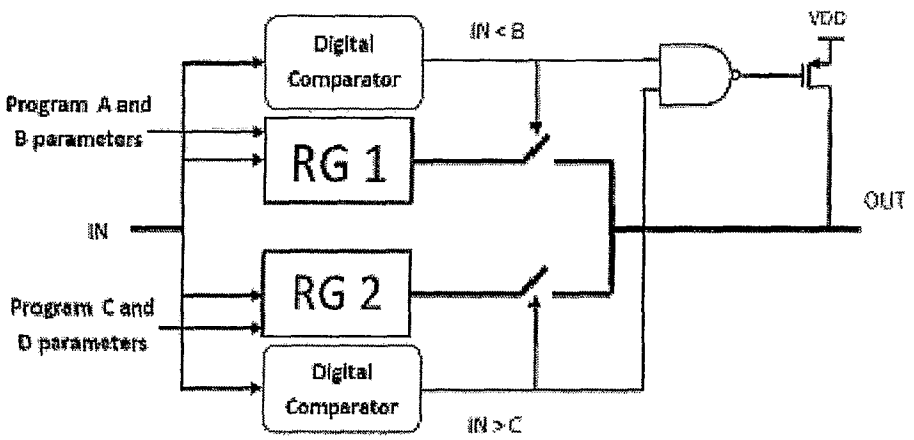
If d=۱۳ then steps are: {۱/۱۳, ۲/۱۳, ۳/۱۳, ۴/۱۳, ۵/۱۳, ۶/۱۳, ۷/۱۳, ۸/۱۳, ۹/۱۳, ۱۰/۱۳, ۱۱/۱۳, ۱۲/۱۳, ۱۳/۱۳}

If d=۱۴ then steps are: {۱/۱۴, ۲/۱۴, ۳/۱۴, ۴/۱۴, ۵/۱۴, ۶/۱۴, ۷/۱۴, ۸/۱۴, ۹/۱۴, ۱۰/۱۴, ۱۱/۱۴, ۱۲/۱۴, ۱۳/۱۴, ۱۴/۱۴}

If d=۱۵ then steps are: {۱/۱۵, ۲/۱۵, ۳/۱۵, ۴/۱۵, ۵/۱۵, ۶/۱۵, ۷/۱۵, ۸/۱۵, ۹/۱۵, ۱۰/۱۵, ۱۱/۱۵, ۱۲/۱۵, ۱۳/۱۵, ۱۴/۱۵, ۱۵/۱۵}

فازی ساز طراحی شده قابلیت برنامه ریزی برای شیب های بالا را دارا می باشد. ولتاژ های هر پله با ضرب این ضرایب در ولتاژ رفرنس به دست می آید و در واقع با این تکنیک ما توانستیم در ورودی سیگنال دیجیتال را که همان word های دیجیتال بود را به عنوان ورودی بپذیریم و در خروجی فازی ساز یک سیگنال آنالوگ از جنس ولتاژ ایجاد کنیم در ادامه به بررسی بلوک دیاگرامی و ایده اصلی این فازی ساز خواهیم پرداخت.

در شکل ۲-۶ ایده اصلی و ساختار کلی فازی ساز آمده است، با توجه به شکل مدار از دو بلوک برای تولید پله های بالا رونده و پایین رونده دیجیتال استفاده می کند که قابلیت برنامه ریزی را دارا می باشد که همان step های ولتاژی ما هستند که با توجه به ورودی ها برنامه ریزی می شوند و شیب ها را ایجاد می کنند ، همچنین از دو مقایسه کننده دیجیتال برای انجام مقایسه نیز استفاده می نماید ، علت استفاده از این مقایسه کننده ها در ادامه مشخص می شود. همچنین از چند سوئیچ برای انتخاب و یک ترانزیستور نوع P در خروجی استفاده کرده ایم.

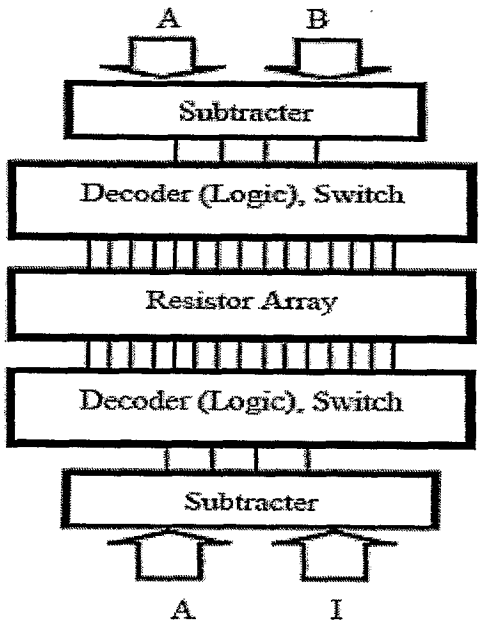


شکل ۲-۶: بلوک های فازی ساز و ایده اصلی

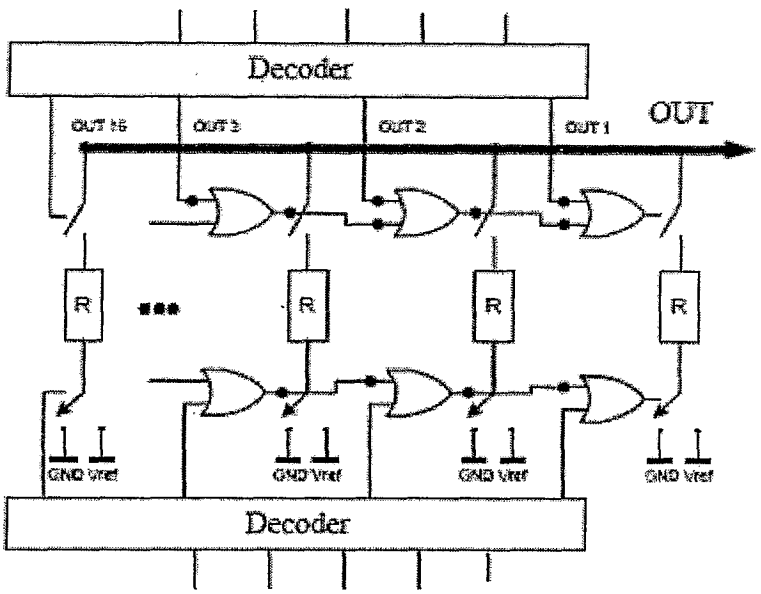
الگوریتم کار به این صورت است که اگر ورودی از پارامتر B کوچکتر باشد RG_1 به خروجی متصل می گردد و اگر ورودی از پارامتر C بزرگتر باشد RG_2 توسط سوئیچ ها به خروجی متصل می شود و در غیر این دو صورت یعنی اگر ورودی از B بزرگتر و از C کوچکتر باشد خروجی Vref می شود (به وسیله ترانزیستور نشان داده شده)، RG_1 تولید کننده شیب بالا رونده و RG_2 تولید کننده شیب پایین رونده است و با توجه به این ساختار تابع عضویت تولید می شود.

حال به صورت جزئی تر به شرح طراحی های انجام شده برای بلوک های تابع عضویت می پردازیم. در ابتدا در رابطه با مدارات تولید کننده شیب (RG) توضیحاتی خواهیم داد. در شکل ۲-۷ ساختار بلوک دیاگرامی RG نمایش داده شده است. با توجه به شکل دو عدد تفریق کننده وجود دارد که تفریق کننده بالا حاصل تفریق دو پارامتر B از A را محاسبه می کند و تفریق کننده پایین حاصل تفریق ورودی از پارامتر A را حساب می نماید. خروجی تفریق کننده بالا به یک دیکدر متصل می گردد که یک دیکدر ۴ به ۱۶ است، این دیکدر به کمک سوئیچ ها و گیت های OR تعداد مقاومت مورد نظر را انتخاب می کند به این صورت که مقاومت متصل به پایه فعال شده دیکدر به همراه تمام مقاومت های قبلی خود همه انتخاب می شوند و به خروجی متصل می گردند که تعیین کننده نسبت ولتاژهای مورد نیاز برای شیب تابع عضویت است، این مقاومت ها به خروجی متصل می گردند. از طرف دیگر حاصل خروجی تفریق کننده پایین به یک دیکدر ۴ به ۱۶ دیگر متصل می گردد که با کمک سوئیچ ها و مولتی پلکسر ۲ به ۱ طرف دیگر مقاومت ها را به GND و یا Vref متصل می نماید به این صورت که پایه فعال شده دیکدر به همراه تمام مقاومت های قبلی به GND متصل می گردند و مقاومت های باقیمانده از کل مقاومت های انتخاب شده توسط دیکدر بالا به Vref متصل می گردد و در نتیجه با یک تقسیم مقاومتی درست آن نسبت مورد نظر برای ولتاژ خروجی فراهم می شود. با این الگوریتم و کارکرد ما توانستیم نسبت ولتاژی درست را ایجاد کنیم.

در شکل ۲-۸ جزئیات کامل بلوک ها نمایش داده شده است. اساس کار همانطور که گفته شد ابتدا انتخاب تعداد مقاومت ها برای نسبت های درست و در ادامه اتصال GND و Vref برای ایجاد تقسیم مقاومتی است.



شکل ۲-۷: بلوک دیاگرام مدار RG

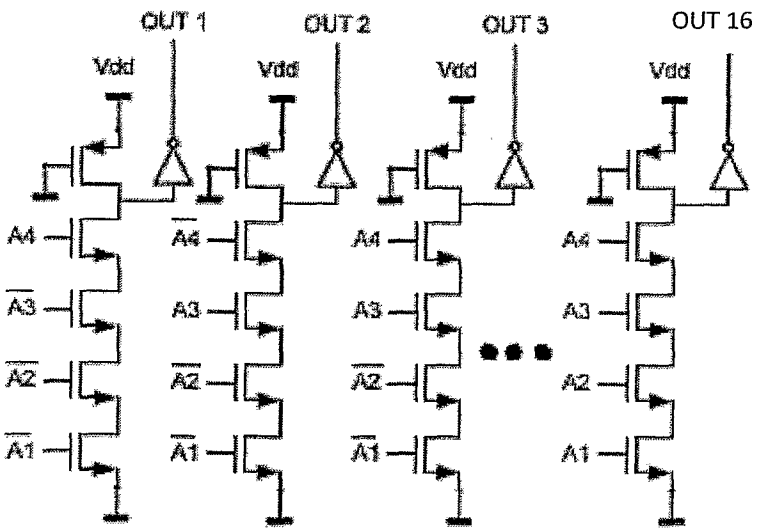


شکل ۲-۸: مدار تولید کننده RG

در ابتدا دیکدر مورد نیاز را طراحی می کنیم ،ساختار های مرسوم استاتیک حجم بالای مدار نیاز داشته و توان مصرفی را نیز بالا می برد بر این اساس ساختار شکل ۲-۹ را پیشنهاد داده ایم که به علت استفاده از ترانزیستور همیشه روشن P توان مصرفی بسیار

پایین تری و حجم بسیار کمتری دارد و همانطور که مشخص است فقط در یک حالت تمامی ترانزیستور ها روشن می شوند و جریان استاتیک داریم.

این دیکدر ۴ به ۱۶ است که وظیفه انتخاب تعداد مقاومت ها در دیکدر بالا و انتخاب GND یا Vref در دیکدر پایین بر عهده این بخش می باشد.



شکل ۲-۹: مدار دیکدر ۴ به ۱۶

مدار شکل ۲-۱۲ مقایسه کننده دیجیتال است که وظیفه مقایسه ورودی با پارامتر ها را به عهده دارد. در این بلوک از یک مقایسه کننده که از گیت های استاتیک استفاده نموده است استفاده کرده ایم این بلوک وظیفه مقایسه ورودی ها را مطابق مدار شکل ۲-۶ بر عهده دارد علت استفاده از مقایسه کننده انتخاب شیب بالارونده و یا پایین رونده است با مینیمم سایز گرفتن ترانزیستورها سرعت مناسبی برای این بلوک به دست می آید.