به‌نام خالق یگانه هستی

۱۲۸۴۹۵

دانشگاه شهید بهشتی
دانشکده مهندسی برق و کامپیوتر

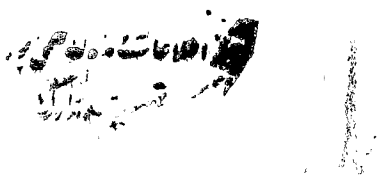
طراحی مدار جمع‌کننده دینامیک

پایان نامه کارشناسی ارشد مهندسی برق
گرایش الکترونیک

شیما رضائی

استاد راهنما:
دکتر کیوان ناوی

۱۳۸۸/۱۰/۲۰



۱۳۸۸

۱۲۸۴۹۳

دانشگاه شهید بهشتی
دانشکده مهندسی برق و کامپیوتر

طراحی مدار جمع‌کننده دینامیک

پایان نامه کارشناسی ارشد مهندسی برق
گرایش الکترونیک

شیما رضائی

استاد راهنما:
دکتر کیوان ناوی

۱۳۸۸

دانشگاه شهید بهشتی

دانشکده مهندسی برق و کامپیوتر

پایان‌نامه کارشناسی ارشد مهندسی برق- گرایش الکترونیک

تحت عنوان:

طراحی مدار جمع‌کننده دینامیک

در تاریخ ۸۸/۶/۱۶ پایان‌نامه دانشجو شیما رضائی توسط کمیته تخصصی داوران مورد بررسی و تصویب نهائی قرار گرفت.

۱- استاد راهنما اول:	آقای دکتر کیوان ناوی	امضاء
۲-استاد داور (داخلی)	آقای دکتر امید هاشمی‌پور	امضاء
۳- استاد داور (خارجی)	آقای دکتر سیروس صدوقی	امضاء
۴- نماینده تحصیلات تکمیلی	خانم دکتر فرح ترکمنی آذر	امضاء

سپاس

در آغاز از حضرت حق‌تعالی به خاطر نگاه بی‌نهایت مهربانش، رحمانیت کبریائیش و بخشش‌های بی‌منتهایش و از اهل‌بیت عصمت و طهارت به خاطر همه عنایت‌ها و توجهاتشان، با توان ناچیزم سپاس‌گزاری می‌کنم و نیز از پدر و مادر عزیزم به خاطر تمام صبرها، شکیبایی‌ها، گذشت‌ها، حمایت‌ها، محبت‌های بی‌پایان، راهنمایی‌ها، تشویق‌ها، همدلی‌ها، مساعدت‌ها و نیز دعای خیرشان که آرام‌بخش قلبم و قوت قدم‌هایم در پیمودن این راه سخت بود، نهایت سپاس و قدردانی را دارم.

در ادامه از استاد ارجمند و بزرگوارم جناب آقای دکتر ناوی که با راهنمایی‌های بسیار مؤثرشان در شکل‌گیری و انجام این پژوهش، صبر و شکیبایی بی‌نظیرشان در مقابل تمام کاستی‌ها، آرامش بسیار و گذشت بی‌پایانشان در طول این مدت همواره مشوق و حامی من بوده‌اند، صمیمانه قدردانی می‌کنم.

و در پایان از تمامی اساتید بزرگوارم، خانواده عزیزم، خویشان همراه و دوستان صمیمی‌ام به خاطر همه دلگرمی‌ها، همدلی‌ها و کمک‌هایشان سپاس‌گزارم و برای همه عزیزان نیل به کمالات والای انسانی و زندگی جاوید در بهشت ابدی پروردگار را آرزومندم.

کلیه حقوق مادی مترتب بر نتایج مطالعات،

ابتکارات و نوآوریهای ناشی از تحقیق موضوع

این پایان نامه متعلق به دانشگاه شهید بهشتی

می باشد.

به نام خدا

نام ونام خانوادگی: شیما رضائی
عنوان پایان نامه: طراحی مدار جمع‌کننده دینامیک
استاد/اساتید راهنما: دکتر کیوان ناوی

اینجانب شیما رضائی تهیه کننده پایان نامه کارشناسی ارشد حاضر خود را ملزم به حفظ امانت‌داری و قدردانی از زحمات سایر محققین و نویسندگان بنا بر قانون Copyright می‌دانم. بدین وسیله اعلام می نمایم که مسئولیت کلیه مطالب درج شده با اینجانب می‌باشد و در صورت استفاده از اشکال، جداول، و مطالب سایر منابع، بلافاصله مرجع آن ذکر شده و سایر مطالب از کار تحقیقاتی اینجانب استخراج گشته است و امانتداری را به صورت کامل رعایت نموده‌ام. در صورتی که خلاف این مطلب ثابت شود، مسئولیت کلیه عواقب قانونی با شخص اینجانب می‌باشد.

نام ونام خانوادگی دانشجو: شیما رضائی

امضاء وتاریخ: ۸۸/۷/۱۶

تقدیم به

خانواده عزیزم

فهرست مطالب

فصل۱- مقدمه ---------- ۱

۱-۱ مقدمه ---------- ۲

۱-۲ طرح کلی ارائه شده در این پژوهش ---------- ۳

۱-۳ ساختار کلی پژوهش ---------- ۴

۱-۴ خلاصه و نتیجه‌گیری فصل ---------- ۴

فصل۲- توان مصرفی و روش‌های کاهش آن در مدارهای دیجیتال ---------- ۶

۲-۱ مقدمه ---------- ۷

۲-۲ توان مصرفی و انواع آن ---------- ۷

۲-۲-۱ توان مصرفی دینامیک ---------- ۷

۲-۲-۱-۱ توان مصرفی ناشی از فعالیت کلیدزنی ---------- ۸

۲-۲-۱-۲ توان مصرفی ناشی از جریان اتصال کوتاه ---------- ۸

۲-۲-۲ توان مصرفی استاتیک ---------- ۸

۲-۲-۲-۱ توان نشتی زیرآستانه ---------- ۹

۲-۲-۲-۲ توان نشتی گیت ---------- ۹

۲-۲-۲-۳ توان نشتی پیوند P-N سورس- زیرلایه و درین- زیرلایه ---------- ۹

۲-۳ تکنیک‌های کاهش توان نشتی ---------- ۱۰

۲-۳-۱ تکنیک‌های زمان طراحی ---------- ۱۰

۲-۳-۲ تکنیک‌های زمان اجرا ---------- ۱۲

۲-۳-۲-۱ تکنیک‌های کاهش توان نشتی در حالت انتظار ---------- ۱۲

۲-۳-۲-۱-۱ کاهش توان نشتی به‌کمک اثر Stack طبیعی ---------- ۱۲

۲-۳-۲-۱-۲ استفاده از ترانزیستور Sleep جهت اعمال اثر stack به مدار ---------- ۱۳

۲-۳-۲-۱-۳ روش ولتاژ آستانه متغیر ---------- ۱۳

۲-۳-۲-۲ تکنیک‌های کاهش توان نشتی در حالت فعال ---- ۱۳
۲-۳-۲-۲-۱ تغییر ولتاژ آستانه به‌طور دینامیک ---- ۱۴
۲-۴ خلاصه و نتیجه‌گیری فصل ---- ۱۴
فصل۳- طراحی مدار تمام جمع‌کننده تک‌بیتی دینامیک کم‌توان ---- ۱۵
۳-۱ مقدمه ---- ۱۶
۳-۲ روش‌های مختلف پیاده‌سازی بلوک تمام جمع‌کننده در سطح منطقی ---- ۱۹
۳-۳ بررسی انواع تمام جمع‌کننده‌های تک‌بیتی استاتیک ---- ۲۱
۳-۳-۱ انواع تمام جمع‌کننده‌های تک‌بیتی استاتیک که تولید بیت جمع آنها وابسته به بیت نقلی خروجی‌شان می‌باشد-- ۲۲
۳-۳-۱-۱ مدار تمام جمع‌کننده تک‌بیتی CMOS مکمل ---- ۲۲
۳-۳-۱-۲ مدار تمام جمع‌کننده تک‌بیتی با ساختار متقارن (آینه‌ای) ---- ۲۳
۳-۳-۱-۳ مدار تمام جمع‌کننده تک‌بیتی ۱۳ ترانزیستوری ---- ۲۵
۳-۳-۱-۴ مدار تمام جمع‌کننده تک‌بیتی ۱۷ ترانزیستوری ---- ۲۵
۳-۳-۲ انواع تمام جمع‌کننده‌های تک‌بیتی استاتیک که تولید بیت جمع آنها مستقل از بیت نقلی خروجی‌شان می‌باشد -۲۶
۳-۳-۲-۱ مدار تمام جمع‌کننده تک‌بیتی با ساختار تفاضلی ---- ۲۶
۳-۳-۲-۲ مدار تمام جمع‌کننده تک‌بیتی متقارن پیاده‌سازی شده با تابع XOR و Majority سه ورودی ---- ۲۹
۳-۳-۲-۳ مدار تمام جمع‌کننده تک‌بیتی CPL ---- ۳۰
۳-۳-۲-۴ مدار تمام جمع‌کننده تک‌بیتی LEAP ---- ۳۱
۳-۳-۲-۵ مدار تمام جمع‌کننده تک‌بیتی TG ---- ۳۳
۳-۳-۲-۶ مدار تمام جمع‌کننده تک‌بیتی TFA ---- ۳۵
۳-۳-۲-۷ مدار تمام جمع‌کننده تک‌بیتی ۱۴ ترانزیستوری ---- ۳۶
۳-۳-۲-۸ مدار تمام جمع‌کننده تک‌بیتی LP ---- ۳۶
۳-۳-۲-۹ مدار تمام جمع‌کننده تک‌بیتی استاتیک با ساختار پل ---- ۳۷
۳-۴ بررسی انواع جمع‌کننده‌های دینامیک ---- ۳۹
۳-۴-۱ مقدمه ---- ۳۹
۳-۴-۲ مدار تمام جمع‌کننده تک‌بیتی دومینوی دوخروجی ---- ۴۱

۳-۴-۳ مدار تمام جمع‌کننده تک‌بیتی دینامیک متعارف پیاده‌سازی شده با ساختار NORA و ترتیب بلوک PN------۴۲
۳-۴-۴ مدار تمام جمع‌کننده تک‌بیتی دینامیک مکمل پیاده‌سازی شده با ساختار NORA و ترتیب بلوک PN-------۴۳
۳-۴-۵ مدار تمام جمع‌کننده تک‌بیتی دینامیک متعارف پیاده‌سازی شده با ساختار دینامیک چند خروجی ----------۴۳
۳-۴-۶ مدار تمام جمع‌کننده تک‌بیتی دینامیک مد جریان----------۴۴
۳-۴-۷ مدار تمام جمع‌کننده تک‌بیتی دینامیک با استفاده از NOR، NAND و Majority-not خازنی سه ورودی،
پیاده‌سازی شده با ساختار NORA و ترتیب بلوک PN ----------۴۵
۳-۵ مدار تمام جمع‌کننده تک‌بیتی دینامیک توان‌پایین پیشنهادی ----------۴۷
۳-۵-۱ مقدمه ----------۴۷
۳-۵-۲ طراحی تابع Majority-not دینامیک خازنی پنج ورودی ----------۴۸
۳-۵-۳ تعیین ولتاژ آستانه ترانزیستور اصلی شبکه پایین‌کشنده مدار Majority-not ----------۴۹
۳-۵-۴ مدار تمام جمع‌کننده تک‌بیتی دینامیک پیشنهادی ----------۵۲
۳-۵-۵ نتایج شبیه‌سازی‌ها و مقایسه ----------۵۳
۳-۶ خلاصه و نتیجه‌گیری فصل ----------۵۴
فصل۴- طراحی مدار نگهدار کم‌توان برای تمام جمع‌کننده تک‌بیتی دینامیک پیشنهادی در فصل ۳ ------ ۵۵
۴-۱ مقدمه----------۵۶
۴-۲ بررسی انواع مدارهای نگهدار----------۵۷
۴-۲-۱ مدار دومینو با نگهدار متعارف----------۵۷
۴-۲-۲ مداردومینوی سرعت‌بالا ----------۵۹
۴-۲-۳ مدار دومینوی سرعت‌بالا با دو ترانزیستور نگهدار----------۶۰
۴-۲-۴ مدار دومینو با نگهدار شرطی ----------۶۱
۴-۲-۵ مدار دومینو با نگهدار کنترل تفاضلی----------۶۲
۴-۲-۶ مدار دومینوی تفاضلی (دوخروجی) با نگهدار تفاضلی ----------۶۳
۴-۲-۷ مدار دومینو با نگهدار کامل ----------۶۴
۴-۲-۸ مدار دینامیک پیش‌شارژ مقاوم نویز ----------۶۴
۴-۳ ارائه طراحی مدار نگهدار کم‌توان برای مدار تمام جمع‌کننده تک‌بیتی دینامیک پیشنهادی در فصل ۳----------۶۵

۴-۳-۱ مقدمه ---- ۶۵
۴-۳-۲ طراحی مدار نگهدار کم‌توان ---- ۶۶
۴-۴ نتایج شبیه‌سازی‌ها و مقایسه ---- ۷۰
۴-۴-۱ شبیه‌سازی مدار جمع‌کننده پیشنهادی با نگهدار متعارف ---- ۷۲
۴-۴-۲ شبیه‌سازی مدار جمع‌کننده پیشنهادی با نگهدار سرعت‌بالا ---- ۷۳
۴-۴-۳ شبیه‌سازی مدار جمع‌کننده پیشنهادی با نگهدار سرعت‌بالا با دو ترانزیستور نگهدار ---- ۷۵
۴-۴-۴ شبیه‌سازی مدار جمع‌کننده پیشنهادی با نگهدار شرطی ---- ۷۷
۴-۴-۵ شبیه‌سازی مدار جمع‌کننده پیشنهادی با نگهدار کنترل تفاضلی ---- ۷۸
۴-۴-۶ شبیه‌سازی مدار جمع‌کننده پیشنهادی با نگهدار کم‌توان طراحی شده ---- ۷۹
۴-۵ خلاصه و نتیجه‌گیری فصل ---- ۸۱
فصل۵- طراحی مدار تمام جمع‌کننده تک‌بیتی کم‌توان به کمک ساختار دینامیک چند خروجی ---- ۸۲
۵-۱ مقدمه ---- ۸۳
۵-۲ Sneak path و روش‌های رفع آن ---- ۸۶
۵-۳ تمام جمع‌کننده تک‌بیتی متعارف با ساختار دینامیک چند خروجی ---- ۸۷
۵-۳-۱ بلوک‌دیاگرام تمام جمع‌کننده تک‌بیتی با ساختار دینامیک چند خروجی ---- ۸۸
۵-۳-۲ تمام جمع‌کننده تک‌بیتی متعارف با ساختار دینامیک چند خروجی ---- ۸۹
۵-۴ طراحی مدار تمام جمع‌کننده تک‌بیتی به کمک NOR، NAND و Majority-not خازنی سه ورودی و ساختار دینامیک چند خروجی ---- ۹۰
۵-۴-۱ مدار تمام جمع‌کننده تک‌بیتی با NOR، NAND و Majority-not خازنی سه ورودی و ساختار NORA ---- ۹۱
۵-۴-۲ طراحی مدار تمام جمع‌کننده تک‌بیتی به کمک NOR، NAND و Majority-not خازنی سه ورودی و ساختار دینامیک چند خروجی ---- ۹۳
۵-۴-۲-۱ طراحی مدار تمام جمع‌کننده تک‌بیتی با ساختار دینامیک چند خروجی پیش‌شارژ و ترکیب بلوک‌های P و N ---- ۹۳
۵-۴-۲-۲ طراحی مدار تمام جمع‌کننده تک‌بیتی با ساختار دینامیک چند خروجی پیش‌دشارژ و ترکیب بلوک‌های P و N ---- ۹۴

۵-۴-۲-۳ طراحی مدار تمام جمع‌کننده تک‌بیتی با ساختار دینامیک چند خروجی پیش‌شارژ و ترکیب بلوک‌های N ---۹۵

۵-۴-۲-۴ طراحی مدار تمام جمع‌کننده تک‌بیتی بهبود یافته با ساختار دینامیک چند خروجی پیش‌شارژ و ترکیب بلوک‌های N---۹۹

۵-۵ شبیه‌سازی و مقایسه ---۱۰۰

۵-۶ خلاصه ونتیجه‌گیری فصل---۱۰۳

فصل۶- خلاصه، نتیجه‌گیری و کارهای آینده ---۱۰۴

۶-۱ خلاصه و نتیجه‌گیری---۱۰۵

۶-۲ کارهای آینده ---۱۰۶

مقاله ارائه شده مستخرج از پایان‌نامه ---۱۰۸

فهرست مراجع ---۱۰۹

چکیده

در این پژوهش ابتدا توان مصرفی و روش‌های کاهش آن در مدارهای دیجیتال استاتیک و دینامیک مورد بررسی قرار گرفته است. در ادامه بسیاری از بلوک‌های تمام جمع‌کننده تک‌بیتی استاتیک و دینامیک در سطح ترانزیستور مطالعه شده و در نهایت با الهام از مطالعات انجام شده یک مدار تمام جمع‌کننده تک‌بیتی دینامیک توان‌پایین به روشی جدید طراحی گردیده است. جمع‌کننده پیشنهادی اخیر به کمک مدار Majority-not خازنی سه و پنج ورودی و به کمک ساختار دینامیک دوطبقه NORA پیاده‌سازی شده است. به منظور عملکرد صحیح مدار Majority-not مقدار ولتاژ آستانه ترانزیستورهای اصلی شبکه پایین‌کشنده آنها به‌طور صحیح طراحی و مقداردهی شده است. مزیت اصلی این جمع‌کننده نسبت به ساختارهای مشابه، توان مصرفی پایین آن می‌باشد. در ادامه انواع مدارهای نگهدار کمکی که به منظور جلوگیری از دشارژ ناخواسته خروجی شناور در مدارهای دینامیک استفاده می‌شود، از نظر میزان تلف توان و تأخیر مورد بررسی قرار گرفته و در نهایت به کمک نگهدار پیش‌شارژ مقاوم نویز یک نگهدار کم‌توان سرعت‌بالا به‌طور خاص برای جمع‌کننده پیشنهادی طراحی گردیده است. دستاورد دیگر این تحقیق ارائه دو مدار تمام جمع‌کننده تک‌بیتی دینامیک کم‌توان دیگر به کمک ساختار دینامیک چند خروجی می‌باشد. این دو جمع‌کننده براساس توابع NAND، NOR و Majority-not ساخته شده به کمک یک ترانزیستور و چهار خازن پیاده‌سازی شده است. همچنین یکی از جمع‌کننده‌های اخیر از تکنیک سوئینگ ولتاژ پایین نیز بهره می برد که در نهایت منجر به مصرف توان ناچیز آن گردیده است.

کلیدواژه: جمع‌کننده، Majority-not، NORA، ولتاژ آستانه، کم‌توان، نگهدار، پیش‌شارژ مقاوم نویز، ساختار دینامیک چند خروجی.

فصل ۱

مقدمه

فصل۱- مقدمه

۱-۱ مقدمه

مدارهای دیجیتال همواره به دلیل سادگی در طراحی، قابلیت پیاده‌سازی با تکنولوژی‌های ارزان، تأثیرپذیری کمتر از نویز و مصرف توان کمتر نسبت به مدارهای آنالوگ مزیت دارند [۱]. در میان مدارهای دیجیتال مدار تمام جمع‌کننده از اهمیت خاصی برخوردار است.

مدار تمام جمع‌کننده یکی از بلوک‌های اساسی تشکیل‌دهنده سیستم‌های VLSI زیادی نظیر میکروپروسسورها و پردازنده‌های DSP پردازش تصویر و ویدئو می‌باشد. همچنین وظیفه اصلی این عملگر که جمع دو عدد باینری است، اساس کار عملگرهای دیگری نظیر تفریق، ضرب، تقسیم، محاسبات آدرسی، MAC[۱] و غیره می‌باشد [۲]-[۱۳]. از آنجا که توان و سرعت بلوک‌های جمع‌کننده، ضرب‌کننده و شیفت‌دهنده‌ها تعیین‌کننده میزان عملکرد یک سیستم VLSI می‌باشد، طراحان مدارهای مجتمع همچنان در تلاش هستند تا حد امکان این بلوک‌ها را بهینه کنند. این بهینه‌سازی می‌تواند در سطح مداری یا سطح منطقی صورت بگیرد [۱۴]-[۱۵]. در سال‌های اخیر سلول تمام جمع‌کننده به کمک انواع مدارهای دیجیتال پیاده‌سازی شده و از نظر سرعت و توان مصرفی بهینه گردیده است. از این میان مدارهای دیجیتال دینامیک در مقایسه با مدارهای دیجیتال استاتیک به دلیل تأخیر کمتر و حجم مداری کوچکتر بیشتر مورد توجه بوده و در میکروپروسسورهای پیشرفته نیز به‌طور گسترده به‌کار می‌روند. هر گیت استاتیک خروجی‌اش را تا زمانی‌که ولتاژ منبع تغذیه اعمال می‌شود، حفظ می‌کند. اما مشکل عمده مدارهای استاتیک افزایش تعداد ترانزیستورهای آن و در نتیجه افزایش قابل‌توجه تأخیر در آن می‌باشد [۱۶]. نتیجه اینکه در کاربردهای دیجیتالی که کارآیی، سرعت و چگالی بیشتر مدنظر می‌باشد، استفاده از مدارهای دینامیک به منظور کاهش تأخیر و مساحت تراشه مزیت‌های بیشتری را در اختیار طراحان قرار می‌دهد. اساس عملکرد مدارهای دینامیک مبتنی بر بار ذخیره شده در خازن‌های گره‌های مدار به‌خصوص گره خروجی می‌باشد. اما از آنجا که بر اثر عواملی همچون جریان‌های نشتی و نویز ورودی امکان تخلیه ناصحیح این بار وجود دارد، نیاز هست که به‌طور متناوب بار الکتریکی

---

[۱] Multiply and accumulate

ذخیره شده در گره‌ها تازه‌سازی[۱] شود. در نتیجه مدارهای دینامیک نیاز به سیگنال کلاک متناوب جهت انجام این عمل دارند. این قابلیت ذخیره موقت یک وضعیت به طراحان این امکان را می‌دهد که مدارهای ترتیبی بسیار ساده‌ای را با توابع حافظه پیاده‌سازی کنند. همچنین استفاده از سیگنال‌های کلاک مشترک به هم‌زمان‌سازی بلوک‌های مختلف مدار با هم کمک می‌کند. نتیجه اینکه تکنیک‌های مدارهای دینامیک برای طراحی منطق همگام بسیار مناسب می‌باشد [۱۶]. همچنین زمانی که توابع منطقی پیچیده توسط مدارهای دینامیک پیاده‌سازی می‌شود، حجم مدار و سطح سیلیکون اشغال شده توسط آنها به میزان مناسبی کاهش می‌یابد. در مقابل مشکل عمده مدارهای دینامیک جریان نشتی بالا، حساسیت زیاد آنها به نویز ورودی، تخریب خروجی و مصرف توان به علت پدیده‌هایی همچون اشتراک بار و جریان‌های نشتی در حالت خروجی شناور می‌باشد [۱۶]-[۱۷]. جهت رفع این معایب انواع مدارهای نگهدار خروجی طراحی گردیده است. با توجه به آنچه گفته شد مدارهای جمع‌کننده دینامیک دارای سرعت بهتری نسبت به جمع‌کننده‌های استاتیک می‌باشند. نکته دیگری که در طراحی مدار جمع‌کننده باید در نظر گرفت، میزان توان مصرفی آن می‌باشد. در سال‌های اخیر رشد سریع تکنولوژی مخابرات سیار، سیستم‌های قابل حمل‌ونقل مانند نوت‌بوک‌ها و کارهای محاسباتی باعث شده ساخت سیستم‌های VLSI توان‌پایین به‌طور چشمگیری پیشرفت داشته باشد [۱۸]. این مسأله به این خاطر است که تکنولوژی ساخت باطری به سرعت قطعات نیمه هادی پیشرفت نکرده است. به‌طور مثال سیستم موبایل با محدودیت شدید توان قابل استفاده مواجه می‌باشد [۱۶]. همچنین به‌دلیل کاهش تکنولوژی ساخت مدارات مجتمع که به منظور دستیابی به چگالی مجتمع‌سازی بالاتر و سطح کارایی بهتر انجام می‌گیرد کاهش منابع تغذیه، ولتاژ آستانه ترانزیستورها و ضخامت لایه اکسید گیت آنها امری اجتناب‌ناپذیر می‌باشد. کاهش ولتاژ آستانه و ضخامت لایه اکسید گیت ترانزیستورها به‌ترتیب باعث افزایش جریان‌های نشتی زیرآستانه و جریان نشتی گیت می‌گردد که به همراه افزایش فرکانس کار سیستم‌های دیجیتال افزایش توان مصرفی مدار را در پی خواهد داشت [۱۹]-[۲۱]. در نتیجه طراحان با محدودیت‌های بیشتری که شامل سرعت بالا، عملکرد بهتر، سطح سیلیکون مورد استفاده کمتر هم‌زمان با مصرف توان کمتر تا حد امکان مواجه هستند [۱۶]. در این تحقیق سعی شده تا با طراحی مدارهای تمام جمع‌کننده دینامیک توان‌پایین گامی مؤثر در این راستا برداشته شود.

۱-۲ طرح کلی ارائه شده در این پژوهش

[۱] Refreshing

در این پژوهش پس از مطالعه بسیاری از مدارهای جمع‌کننده استاتیک و دینامیک و بررسی مزایا و معایب هریک، مطالعه تعداد زیادی از مدارهای نگهدار موجود به همراه مزایا و معایب هریک و نیز بررسی انواع روش‌های کاهش توان مصرفی در مدارهای دیجیتال در نهایت سه مدار تمام جمع‌کننده تک‌بیتی دینامیک بسیار کم‌توان طراحی گردید. یکی از جمع‌کننده‌های ارائه شده به کمک بلوک Majority-not پنج ورودی و دو مدار دیگر به کمک ساختار دینامیک چند خروجی پیاده‌سازی شده‌اند. همچنین به منظور جلوگیری از دشارژ خروجی شناور یک نگهدار کم‌توان به‌طور خاص برای جمع‌کننده‌ی پیشنهادیی که براساس تابع Majority-not پنج ورودی طراحی شده، ارائه گردیده است. جمع‌کننده پیشنهادی براساس تابع Majority-not پنج ورودی به‌دلیل ضرورت تغییر ولتاژ آستانه ترانزیستور اصلی شبکه پایین‌کشنده جهت عملکرد صحیح آن به عنوان بلوک Majority-not، دارای ساختاری مشابه مدارهای دینامیک دوآستانه‌ای، البته با کمی تفاوت، شده است که می‌تواند در کاهش توان مصرفی آن در تکنولوژی‌های نانومتری نقش مؤثری را ایفا کند.

۱-۳ ساختار کلی پژوهش

ساختار این تحقیق به این شرح می‌باشد: فصل اول شامل مقدمه، فصل دوم بررسی توان مصرفی و روش‌های کاهش آن در مدارهای دیجیتال، فصل سوم مروری بر مدارهای تمام جمع‌کننده تک‌بیتی ارائه شده تاکنون و طراحی یک مدار جمع‌کننده توان‌پایین به کمک بلوک Majority-not پنج ورودی و شبیه‌سازی و مقایسه آن با مدارهای قبلی، فصل چهارم شامل بررسی مدارهای نگهدار موجود، طراحی یک نگهدار کم‌توان برای جمع‌کننده پیشنهادی در فصل قبل و شبیه‌سازی و مقایسه آن با مدل‌های قبلی، فصل پنجم مروری بر ساختارهای دینامیک چند خروجی و ارائه دو مدار جمع‌کننده تک‌بیتی با این ساختار . در فصل پایانی نیز خلاصه و نتیجه‌گیری کلی تحقیق به همراه پیشنهاداتی در زمینه کارهای آتی ارائه شده است.

۱-۴ خلاصه و نتیجه‌گیری فصل

با توجه به آنچه گفته شد بهینه‌سازی بلوک تمام جمع‌کننده از نظر سرعت و توان مصرفی به‌دلیل کاربردهای وسیع آن در سیستم‌های VLSI و ضرورت‌های اجتناب‌ناپذیر کاهش توان مصرفی، همواره حائز اهمیت می‌باشد. این نکته به همراه ارجحیت بعضی از مشخصه‌های ساختار دینامیک نسبت به استاتیک انگیزه‌ای شد تا در این تحقیق طراحی بلوک‌های تمام جمع‌کننده‌ی دینامیک توان‌پایین مدنظر قرار گیرد. در ادامه این فصل طرح کلی تحقیق و ترتیب مطالب آن ذکر گردیده است.

فصل ۲

توان مصرفی و روش‌های کاهش آن در مدارهای دیجیتال