بسم الله الرحمن الرحیم

۱۳۰۷
دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق و کامپیوتر

پایان‌نامه دوره کارشناسی ارشد مهندسی برق–الکترونیک

طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال هیبرید پایپ لاین-دلتا–سیگما برای کاربردهای مخابراتی

توسط:
رضا محمدی

استاد راهنما:
دکتر حسین شمسی

بهمن ۱۳۹۱

تأییدیّه هیات داوران

(برای پایان نامه)

هیات داوران پس از مطالعه پایان‌نامه و شرکت در جلسه دفاع از پایان‌نامه تهیه شده تحت عنوان : طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال هیبرید پایپ لاین-دلتا-سیگما برای کاربردهای مخابراتی **توسط آقای** رضا محمدی، **صحت و کفایت تحقیق انجام شده را برای اخذ درجه کارشناسی ارشد رشته** برق **گرایش** الکترونیک **در تاریخ** ۱۳۹۱/۱۱/۲۹ **مورد تایید قرار می‌دهند.**

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱- استاد راهنما	دکتر حسین شمسی	استادیار	
۲- استاد ممتحن داخلی	دکتر امیرمسعود سوداگر	استادیار	
۳- استاد ممتحن خارجی	دکتر امید هاشمی‌پور	دانشیار	
۴- نماینده تحصیلات تکمیلی	دکتر امیرمسعود سوداگر	استادیار	

اظهار نامه دانشجو

موضوع پایان‌نامه:

اینجانب رضا محمدی دانشجوی دوره کارشناسی ارشد مهندسی برق **گرایش** الکترونیک، **دانشکده مهندسی برق دانشگاه صنعتی خواجه نصیرالدین طوسی گواهی می‌نمایم که تحقیقات ارائه شده در این پایان‌نامه با عنوان** طراحی و شبیه‌سازی مبدل آنالوگ به دیجیتال هیبرید پایپ لاین-دلتا-سیگما برای کاربردهای مخابراتی **توسط شخص اینجانب انجام شده است و صحت و اصالت مطالب نگارش شده مورد تائید است و در مورد استفاده از کار دیگر محققان به مرجع مورد استفاده اشاره شده است. بعلاوه گواهی می‌کنم که مطالب مندرج در این پایان‌نامه تاکنون برای دریافت هیچ نوع مدرک یا امتیازی توسط اینجانب یا فرد دیگری در هیچ جا ارائه نشده است و در تدوین متن پایان‌نامه چارچوب (فرمت) مصوب دانشگاه را بطور کامل رعایت کرده‌ام.**

امضاء دانشجو

تاریخ

حق طبع و نشر و مالکیت نتایج

۱) **حق چاپ و تکثیر این پایان‌نامه متعلق به نویسنده آن است. هرگونه کپی برداری به صورت کل پایان‌نامه یا بخشی از آن تنها با موافقت نویسنده یا کتابخانه دانشکده برق دانشگاه صنعتی خواجه نصیرالدین طوسی مجاز است.**

۲) **کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی خواجه نصیرالدین طوسی است و بدون اجازه‌ی کتبی دانشگاه به شخص ثالث قابل واگذاری نیست.**

همچنین استفاده از اطلاعات و نتایج موجود در پایان‌نامه بدون ذکر مرجع مجاز نیست.

ضمنا متن این صفحه نیز باید در نسخه تکثیر شده وجود داشته باشد.

تقدیم به پدر و مادر عزیزم

قدردانی:

در اینجا لازم می‌دانم از استاد بزرگوارم، جناب آقای دکتر حسین شمسی که با راهنمایی‌های ارزنده‌ی خود مرا در پیشبرد این پایان نامه یاری رساندند و همچنین فرصتی را فراهم نمودند تا بتوانم از تجربیات ارزشمندشان استفاده کنم؛ تشکر و قدردانی نمایم. علاوه بر درس‌های پربار‌ی که در خدمت اساتید گرانقدر آقایان دکتر امید هاشمی‌پور و دکتر امیر مسعود سوداگر در دانشگاه شهید بهشتی و خواجه نصیر الدین طوسی گذرانده‌ام؛ از ایشان به خاطر قبول زحمت ارزیابی این پایان نامه کمال تشکر را دارم.

از دوستان خوبم در آزمایشگاه تحقیقاتی مدارات میکروالکترونیک و همه‌ی دوستان دوران تحصیلم در دانشگاه خواجه نصیرالدین طوسی که دوران خاطره‌انگیزی را با ایشان سپری کرده‌ام؛ تشکر می‌کنم. همچنین از تمام کسانی که از تجربیاتشان در انجام این پایان نامه و همچنین دوران تحصیل استفاده نموده‌ام سپاسگذارم.

در نهایت، بر خود واجب می‌دانم از پدر و مادر عزیزم به خاطر تمامی زحماتشان تشکر کنم؛ عزیزانی که دلگرمی‌ها و دلسوزی‌هایشان در تمام مراحل زندگی پشتوانه‌ای بسیار محکم برایم بوده و قطعا تمامی موفقیت‌هایم را مدیون آنها، می‌دانم. همچنین از خواهر و برادر عزیزم که در مدت تحصیل تا حدودی از این عزیزان غافل شده‌ام؛ عذرخواهی می‌کنم. امیدوارم روزی پاسخگوی محبت‌های بی‌دریغشان باشم.

چکیده

در این پایان‌نامه، یک مدولاتوردلتا-سیگمای مرتبه‌ی چهار طراحی و شبیه‌سازی شده است. طرح ارائه شده، روشی برای امکان دستیابی به مدولاتور دلتا-سیگمای مرتبه‌ی بالا با کوانتایزر دقت بالا، بدون نیاز به مدارهای خطی‌ساز را پیشنهاد می‌کند. در ضمن، ساختار ارائه شده مشکل پایداری نیز نداشته و ذاتا پایدار می‌باشد. مدولاتور طراحی شده از دو مدولاتور مرتبه‌ی دوی تک-بیت در طبقات اول و دوم و یک مبدل آنالوگ به دیجیتال پایپ‌لاین ۸ بیت به عنوان کوانتایزر خارجی در طبقه‌ی سوم استفاده می‌کند. همچنین، امکان پیاده‌سازی روش کاهش فرکانس نمونه-برداری کوانتایزر خارجی، بر روی این ساختار مطرح شده است. نحوه‌ی پیاده‌سازی کاهش نرخ نمونه برداری برای ADC ارائه شده به گونه‌ای انجام شده است که منجر به حذف تعدای از فیلترهای دیجیتال شده و صرفه جویی در مقدار توان مصرفی بخش دیجیتال را رقم می‌زند.

به منظور اثبات ایده‌ی مطرح شده، مدولاتور مرتبه‌ی ۲-۲-۰ و همچنین ساختار با نرخ نمونه-برداری کاهش داده شده‌ی آن، با استفاده از نرم افزار MATLAB/SIMULINK به صورت رفتاری شبیه‌سازی شده است.

در نهایت، یک مبدل آنالوگ به دیجیتال ۱۲ بیتی با پهنای باند سیگنال ورودی برابر با ۱۰ مگاهرتز و فرکانس نمونه‌برداری ۱۶۰ مگا نمونه بر ثانیه در تکنولوژی سی‌ماس ۹۰ نانومتر و ولتاژ تغذیه یک ولت به کمک نرم‌افزار H-Spice طراحی و شبیه‌سازی شده است. مقدار سیگنال به نویز به‌دست آمده، با دامنه‌ی ورودی پیک تا پیک ۰/۶۶ ولت و فرکانس ۱۰۰ کیلوهرتز، برابر با ۶۷ دسی‌بل می‌باشد. توان مصرفی این مبدل در حدود ۲۵ میلی‌وات می‌باشد.

کلمات کلیدی: مبدل آنالوگ به دیجیتال، پایپ لاین، نرخ فرانمونه برداری، مدولاتور دلتا-سیگما، دلتا-سیگما-پایپ‌لاین

فهرست

عنوان **صفحه**

فهرست ..... ز

فهرست شکل‌ها ..... ی

فصل ۱- مقدمه ۱

۱-۱- انگیزه‌ی تحقیق ۲

۱-۲- فصل بندی پایان‌نامه ۳

فصل ۲- مبدل‌های آنالوگ به دیجیتال فرانمونه بردار ۵

۲-۱- مقدمه ۶

۲-۲- مبدل‌های آنالوگ به دیجیتال دلتا-سیگما (فرانمونه بردار) ۷

۲-۲-۱- اصول مبدل‌های آنالوگ به دیجیتال دلتا-سیگما ۷

۲-۲-۲- مدولاتورهای دلتا-سیگما ۸

۲-۲-۳- مدولاتور دلتا-سیگمای مرتبه‌ی اول ۹

۲-۲-۴- مدولاتور دلتا-سیگمای مرتبه‌ی دوم ۱۰

۲-۲-۵- مدولاتور دلتا-سیگمای چند طبقه ۱۱

۲-۲-۶- مشکل غیرخطی بودن مبدل‌های دیجیتال به آنالوگ چند بیتی و روش‌های خطی سازی آنها . ۱۳

۲-۲-۷- فیلتر یکدهی ۱۷

۲-۳- انواع مدولاتورها و مبدل‌های دلتا-سیگما پایپ لاین ۲۱

۲-۳-۱- مقدمه ۲۱

۲-۳-۲- اشاره ای به مبدل‌های آنالوگ به دیجیتال پایپ‌لاین (نرخ نایکوئیست) ۲۱

۲-۳-۳- مدولاتورهای دلتا-سیگما پایپ‌لاین (ساختار Lslie-Singh) ۲۵

۲-۳-۴- مبدل آنالوگ به دیجیتال دلتا-سیگما-پایپ‌لاین با نرخ فرانمونه‌برداری کاهش داده شده ۲۷

۲-۳-۵- معماری‌های ارائه شده برای مرتبه‌ی بالای شکل‌دهی وجبران کاهش SNR ۲۸

۲-۳-۶- ساختار هیبرید دلتا-سیگما-پایپ‌لاین با طبقه‌ی اول پایپ لاین مشترک ۲۹

۲-۳-۷- مبدل هیبرید دلتا-سیگما-پایپ لاین با مرتبه شکل‌دهی نویز افزایش یافته ۳۱

۲-۳-۸- ساختار دلتا-سیگما پایپ لاین زمان پیوسته ۳۵

فصل ۳- مبدل آنالوگ به دیجیتال دلتا-سیگما-پایپ‌لاین با مرتبه‌ی ۲-۲-۰ پیشنهادی ۳۶

۳-۱- مقدمه ۳۷

۳-۲- مدولاتور دلتا-سیگما پایپ لاین با مرتبه‌ی ۲-۲-۰ ..... ۳۷

۳-۳- معماری مبدل آنالوگ به دیجیتال دلتا-سیگما-پایپ‌لاین مرتبه‌ی ۲-۲-۰ با نرخ نمونه برداری کاهش داده شده ۳۹

فصل ۴- شبیه‌سازیها وارائه نتایج ۴۲

۴-۱- مقدمه ۴۳

۴-۲- شبیه‌سازی‌های سیستمی با نرم افزار MATLAB ۴۳

۴-۲-۱- شبیه‌سازی‌های سیستمی مدولاتور پیشنهادی ۴۳

۴-۲-۲- معماری مبدل با نرخ نمونه برداری کاهش داده شده و نتایج شبیه‌سازی ۴۷

۴-۲-۳- مقایسه سخت افزاری براساس شبیه‌سازی‌های سیستمی ۴۹

۴-۳- شبیه سازی‌ها با نرم‌افزار H-SPICE ۵۱

۴-۳-۱- مقدمه ۵۱

۴-۳-۲- مدولاتور دلتا –سیگمای مرتبه‌ی دو ۵۱

۴-۳-۳- نویز و تعیین مقادیر خازن‌های استفاده شده ۵۳

۴-۳-۴- طراحی تقویت کننده‌های عملیاتی ۵۵

۴-۳-۵- طراحی کوانتایزر ۵۸

۴-۳-۶- طراحی مدار دیجیتال به آنالوگ ۶۰

۴-۳-۷- مبدل آنالوگ به دیجیتال پایپ‌لاین با دقت ۸ بیت ۶۱

۴-۳-۸- نتایج شبیه‌سازی‌های مداری ۶۲

۴-۳-۹- مقایسه‌ی عملکرد مبدل طراحی شده در این پایان‌نامه با مبدل‌های دیگر ۶۴

فصل ۵- نتیجه گیری و پیشنهادها ۶۶

۵-۱- نتیجه‌گیری ۶۷

۵-۲- پیشنهادها ۶۷

فهرست مراجع ۶۹

فهرست

عنوان **صفحه**

جدول ۲-۱: مقایسه سخت‌افزار مورد نیاز برای خطی سازی DAC با تعداد بیت‌هایB با روش‌های مختلف ۱۷
جدول ۴-۱: ضرایب مقیاس‌بندی برای مدولاتور ارائه شده ۴۴
جدول ۴-۲: مقایسه سخت افزاری مدولاتورهای متداول و ارائه شده و ساختار با نرخ کاهش داده شده ۵۰
جدول ۴-۳: مقادیر خازنهای نمونه بردار و انتگرالگیری برای مدولاتورهای طبقات اول و دوم ۵۵
جدول ۴-۴: اندازه‌ی ترانزیستورهای تقویت‌کننده عملیاتی انتگرالگیر اول و مدار بایاس آن برحسب میکرومتر ... ۵۷
جدول ۴-۵: مشخصات تقویت‌کننده‌های عملیاتی طراحی شده ۵۸
جدول ۴-۶: اندازه‌ی ترانزیستورهای مدار Latch برحسب میکرومتر ۵۹
جدول ۴-۷: اندازه ترانزیستورهای مدار NAND استفاده شده در SR-latch ۵۹
جدول ۴-۸: اندازه‌ی ترانزیستورهای مدار DAC برحسب میکرومتر ۶۰
جدول ۴-۹: مشخصات مبدل‌های آنالوگ به دیجیتال پایپ‌لاین موجود ۶۱
جدول ۴-۱۰: مشخصات مدولاتور شبیه‌سازی شده ۶۲
جدول ۴-۱۱: مقایسه‌ی ADC پیاده‌سازی شده در این پایاننامه با چند مبدل آنالوگ به دیجیتال دیگر ۶۵

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: حذف نویز خارج از باند و عمل یکدهی برای سیگنال فرانمونه برداری شده ۸
شکل ۲-۲: الف)ساختار کلی مدولاتور دلتا-سیگما و ب) مدل خطی آن ۹
شکل ۲-۳: الف) مدلاتور دلتا-سیگمای مرتبهی اول و ب) مدل خطی آن ۱۰
شکل ۲-۴: مدولاتور دلتا-سیگمای مرتبه دوم ۱۱
شکل ۲-۵: مدولاتور مرتبه‌ی چهار متشکل از دو مدولاتور مرتبه‌ی دو ۱۲
شکل ۲-۶: شبکه DEM برای مبدل دیجیتال به آنالوگ B بیت ۱۵
شکل ۲-۷: DEM برای خطی سازی DAC سه بیت به روش‌های مختلف(به منظور سادگی در نمایش، از گراف برای نشان دادن روش مورد نظر استفاده شده و همچنین سیگنال کنترل کلیدها نیز نشان داده نشده‌اند)، الف) به روش BSN ب) روش BSN با سخت افزار بهینه ج) روش IBCN..... ۱۶
شکل ۲-۸: فیلتر یکدهی چند مرحله‌ای : الف) سینک با یک فیلتر IIR دنبال میشود، ب) سینک با فیلترهای نیمه-باند دنبال می‌شود ۱۸
شکل ۲-۹: تحقق فیلتر سینک به صورت سری کردن انتگرال گیرها و مشتق‌گیرها. الف) زیرنمونه‌برداری انجام شده پس از اتمام کردن فیلترها، ب) روش مناسب تر وقتی کاهش نرخ قبل از مشتق‌گیرها انجام می‌شود. ۲۰
شکل ۲-۱۰: ساختار یک مبدل آنالوگ به دیجیتال پایپ لاین ۲۲
شکل ۲-۱۱: افزایش خروجی یک طبقه با تغییر سطح تصمیم گیری در آن ۲۳
شکل ۲-۱۲: طبقه‌ی ۱/۵ بیتی الف) ولتاژ خروجی بر حسب ولتاژ ورودی یک طبقه ۱/۵ بیتی اصلاح شده ب) بیت-های خروجی طبقه ۱/۵ بیتی برحسب ولتاژ ورودی ج) نحوه‌ی عملکرد DAC بر حسب بیت‌های ورودی آن ۲۴
شکل ۲-۱۳: نحوه‌ی اصلاح بیت‌های خروجی یک ADC ی پایپ‌لاین با ساختار ۱/۵ بیت..... ۲۵
شکل ۲-۱۴: مدولاتور دلتا-سیگما با کوانتایزر داخلی از نوع فلش ۲۶
شکل ۲-۱۵: ساختار مدولاتور کاسکد دلتا-سیگما-پایپ‌لاین..... ۲۶
شکل ۲-۱۶: ساختار دلتا-سیگما-پایپ‌لاین الف) به همراه فیلتر یکدهی ، ب) به همراه فیلتر یکدهی و با نرخ فرانمونه برداری کاهش داده شده..... ۲۸
شکل ۲-۱۷: ساختار با نرخ نمونه‌برداری کاهش داده شده‌یSNR بالا ۲۹
شکل ۲-۱۸: ساختار دلتا-سیگما پایپ‌لان با طبق اول پایپ لاین مشترک..... ۳۰
شکل ۲-۱۹: ساختار مبدل آنالوگ به دیجیتال دلتا-سیگما پایپ‌لاین ۳۱
شکل ۲-۲۰: مدولاتور دلتا-سیگما با کوانتایزر از نوع مبدل پایپ لاین ۳۲
شکل ۲-۲۱: خارج کردن نویز کوانتیزاسیون پایپ لاین به صورت آنالوگ ۳۳
شکل ۲-۲۲: جایگذاری DAC فیدبک در مدولاتور دلتا-سیگما با مبدل پایپ لاین به عنوان کوانتایزر..... ۳۳
شکل ۲-۲۳: دیرکرد اولیه در مدولاتوردلتا-سیگما با ADCی پایپ‌لاین به عنوان کوانتایزر..... ۳۴

شکل ۲-۲۴:مدولاتور هیبرید دلتا-سیگما پایپ‌لاین با NTF اصلاح شده ۳۵
شکل ۳-۱: معماری مدولاتور با مرتبه‌ی ۲-۲-۰ ..... ۳۸
شکل ۳-۲: نحوهی پیاده‌سازی معماری ارائه شده با نرخ نمونه برداری کاهش داده شده ۴۱
شکل ۴-۱: ساختار مدولاتور دلتا-سیگما پایپ لاین با مرتبه‌ی ۲-۲-۰ ..... ۴۴
شکل ۴-۲: SNR خروجی برحسب تعداد بیت‌های مبدل پایپ‌لاین، الف) OSR=16 ب)OSR=8 ..... ۴۵
شکل ۴-۳: نمودار رنج دینامیکی مدولاتور با مرتبه‌ی ۲-۲-۰ ..... ۴۶
شکل ۴-۴: طیف سیگنال خروجی مدولاتور برحسب فرکانس نمونه برداری نرمالیزه ۴۶
شکل ۴-۵: نمودار SNR خروجی مدولاتور برحسب بهره محدود آپمپ و عدم تطابق بین ضرایب ۴۷
شکل ۴-۶: ساختار ارائه شده با نرخ فرانمونه‌برداری کاهش داده شده به همراه ضرایب مقیاس‌بندی ۴۸
شکل ۴-۷: نمودار رنج دینامیکی با نرخ نمونه برداری کاهش داده شده بعد از اولین فیلتر یکدهی ۴۸
شکل ۴-۸: طیف فرکانسی با SNR بیشینه بانرخ نمونه‌برداری کاهش‌دادهشده بعد از اولین فیلتر یکدهی ۴۹
شکل ۴-۹: الف)ساختار مداری مدولاتور دلتا-سیگمای مرتبه‌ی دوی استفاده شده، ب) نمودار زمان‌بندی کلاک ۵۲
شکل ۴-۱۰: تقویت‌کننده عملیاتی طراحی شده ۵۵
شکل ۴-۱۱: الف، ب) مدارهای بایاس، ب) مدار فیدبک مد مشترک ۵۶
شکل ۴-۱۲: نحوه‌ی محاسبه خازن بار برای انتگرال‌گیر اول، الف) فاز نمونه‌برداری ب) فاز انتگرال‌گیری ۵۷
شکل ۴-۱۳: نمودار بهره و فاز تقویت‌کننده‌ی عملیاتی طراحی شده برای انتگرال‌گیر اول ۵۸
شکل ۴-۱۴: مدار مقایسه کننده (بخش latch) ۵۹
شکل ۴-۱۵: الف) ساختار SR-latch. ب) مدار NAND ۶۰
شکل ۴-۱۶: مدار DAC استفاده شده ۶۰
شکل ۴-۱۷:طیف فرکانسی خروجی با FFT ۸۱۹۲ نقطه‌ای ۶۳
شکل ۴-۱۸: طیف فرکانسی خروجی با FFT ۸۱۹۲ نقطه‌ای و ورودی سینوسی برای ساختار با نرخ نمونه‌برداری کاهش داده شده پس از اولین فیلتر یکدهی ۶۳
شکل ۴-۱۹: نمودار تحلیل توان مصرفی مبدل طراحی شده ۶۴

فصل ۱– مقدمه

۱–۱– انگیزه‌ی تحقیق

مبدل‌های آنالوگ به دیجیتال[۱](ADC) از جمله قسمت‌های اصلی در اکثر مدارهای الکترونیکی می‌باشند. امروزه با افزایش استانداردهای مخابراتی باند وسیع، طراحی مبدل‌های داده‌ای که این استانداردها را پوشش می‌دهند، ارزشمند بوده و تحقیقات گسترده‌ای در این زمینه صورت می-پذیرد. در میان انواع مبدل‌های آنالوگ به دیجیتال موجود، مبدل‌های پایپ‌لاین[۲] و مبدل‌های دلتا-سیگما[۳] از جمله‌ی پر اهمیت‌ترین آنها برای کاربرد مذکور می‌باشند. مبدل‌های آنالوگ به دیجیتال پایپ‌لاین برای کاربردهای با دقت متوسط و سرعت نسبتاً بالا کاربرد دارند. این نوع از مبدل‌ها برای دستیابی به دقت‌های بالا، نیازمند کالیبراسیون و مدارهای جانبی آن می‌باشند که توان اضافی را به مدار تحمیل می‌کنند [۱].

مبدل‌های دلتا-سیگما از جمله مبدل‌های با نرخ فرانمونه‌بردار[۴] برای کاربردهای با دقت بالا (عموما برای دقت‌های بالای ۱۶ بیت)، و نرخ فرانمونه‌برداری[۵](OSR) بالای ۳۲ می‌باشند. OSR بالا منجر به کاهش پهنای باند ورودی می‌شود، لذا برای افزایش سرعت، باید OSR را کاهش داد که این امر موجب کاهش دقت این نوع مبدل‌ها می‌شود[۲].

ساختار پیوندی[۶](هیبرید) دلتا-سیگما-پایپ‌لاین ترکیبی از دو مبدل یاد شده می‌باشد. این نوع از مبدل‌ها که مصالحه‌ای بین چالش‌های یاد شده برقرار می‌کنند، با توجه به جذابیت‌های خاص خود اخیرا مورد توجه طراحان قرار گرفته‌اند[۱]،[۳]،[۴]. این ساختارها انتخاب خوبی برای کاربردهای باند پهن (OSR کم) و دقت بالا می‌باشند. با توجه به مزایای مبدل‌های دلتا-سیگما-پایپ‌لاین[۷] که به تفصیل در متن پایان‌نامه به آنها اشاره می‌شود، این ساختار برای انجام این پروژه انتخاب شده است.

در این پایان‌نامه یک مدولاتور دلتا-سیگما با مرتبه‌ی شکل‌دهی نویز[۸] چهار، طراحی و شبیه-سازی می‌شود. برخلاف ساختارهای متداول که اکثرا مرتبه‌ی شکل‌دهی نویز پایینی دارند، روشی برای امکان دستیابی به مدولاتورهای مرتبه‌ی بالا با کوانتایزرهای با تعداد بیت‌های بالا بدون نیاز به

---

[1] Analog-to-Digital Converter
[2] Pipeline
[3] Delta-Sigma
[4] Oversampling Data Converters
[5] Oversampling Ratio
[6] Hybrid
[7] Delta-Sigma-Pipeline
[8] Noise Shaping Order

مدارهای DEM ارائه و به صورت رفتاری و همچنین در سطح ترانزیستور شبیه‌سازی می‌شود، که البته مشکل پایداری نیز نداشته و ذاتا پایدار باشد.

۱-۲- فصل بندی پایان‌نامه

این پایان‌نامه از پنج فصل تشکیل شده است. پس از فصل اول که مقدمه‌ای بر موضوع پایان‌نامه است، فصل دوم نحوه‌ی عملکرد مبدل‌های آنالوگ به دیجیتال فرانمونه بردار را تشریح می‌کند. در بخش اول از این فصل، ابتدا اصول مبدل‌های فرانمونه‌بردار دلتا-سیگما بررسی شده و سپس اجزای تشکیل دهنده‌ی این نوع مبدل، مانند انواع مدولاتورهای دلتا-سیگما (تک‌طبقه[۱] و چندطبقه[۲]) و فیلتر یک‌دهی[۳](دسیمیشن) آن، مورد بررسی قرار می‌گیرد. در بخش دوم، انواع مبدل‌های دلتا-سیگما-پایپ‌لاین و ساختارهای مختلف آن، به تفصیل ارائه شده و مورد بحث قرار می‌گیرد.

در فصل سوم، یک مدولاتور دلتا-سیگما-پایپ‌لاین با مرتبه‌ی شکل‌دهی نویز ۲-۲-۰ پیشنهاد می‌شود. همچنین امکان پیاده‌سازی کاهش نرخ نمونه‌برداری در قسمت پایپ‌لاین برای معماری پیشنهادی، ارائه شده و مزایا و معایب ساختار مطرح شده مورد بررسی قرار می‌گیرد.

در فصل چهارم، نتایج شبیه‌سازی‌های انجام شده ارائه می‌شود. این فصل متشکل از دو بخش مجزا می‌باشد. بخش اول شامل شبیه‌سازی‌های رفتاری[۴] با استفاده از نرم‌افزار MATLAB/SIMULINK می‌باشد. در این بخش، اثرات محدودیت‌های مداری بررسی شده و ساختار بهینه برای کم کردن این اثرات انتخاب می‌گردد. در بخش دوم، طراحی تک‌تک اجزای تشکیل‌دهنده‌ی سیستم طراحی شده، اعم از تقویت‌کننده‌ی‌های عملیاتی[۵]، مقایسه گر[۶]ها، انتگرال-گیر[۷]ها و ... در سطح ترانزیستور[۸] ارائه شده و در نهایت، مبدل پیشنهادی با استفاده از نرم افزار H-Spice پیاده‌سازی شده و نتایج شبیه‌سازی‌ها پس از پردازش توسط نرم‌افزار MATLAB گزارش می‌شود.

---

[1] Single Stage
[2] Multi Stage
[3] Decimation Filter
[4] Behavioral Simulations
[5] OPerational AMPlifier(op-amp)
[6] Comparator
[7] Integrator
[8] Transistor Level

نهایتا، در فصل آخر از کارهای انجام شده نتیجه‌گیری می‌شود و پیشنهادهایی برای کارهای آتی و بهبود عملکرد مبدل ارائه شده، بیان می‌گردد.

فصل ۲–مبدلهای آنالوگ به دیجیتال فرانمونه بردار

۲-۱- مقدمه

مبدل‌های آنالوگ به دیجیتال براساس نرخ نمونه‌برداری آن‌ها، به دو دسته مبدل‌های با نرخ نایکوئیست[۱] و مبدل‌های فرانمونه‌بردار[۲] تقسیم‌بندی می‌شوند. در مبدل‌های نوع اول، نمونه‌برداری با حداقل نرخ ممکن یا همان نرخ نایکوئیست که دو برابر پهنای باند سیگنال آنالوگ ورودی است، صورت می‌پذیرد. مبدل‌های فرانمونه بردار، با سرعت چندین برابر نرخ نایکوئیست از سیگنال آنالوگ ورودی نمونه‌برداری می‌کنند. همان‌گونه که قبلا نیز اشاره، نسبت نرخ نمونه‌برداری به نرخ نایکوئیست را در این نوع مبدل‌ها نرخ فرانمونه‌برداری یا OSR می‌نامند. مقدار OSR بسته به پهنای باند سیگنال ورودی و دقت مورد نیاز از ۴ تا ۱۰۲۴ متغیر می‌باشد[۵]. به دلیل نرخ نمونه-برداری بالا، این نوع مبدل‌ها به فیلترهای ضد تداخل[۳] بسیار ساده‌تری نسبت به مبدل‌های با نرخ نایکوئیست نیاز دارند. در مبدل‌های با نرخ نایکوئیست هر کد دیجیتال خروجی متناظر با یک نمونه از سیگنال ورودی می باشد. بنابراین هر نمونه از سیگنال ورودی باید با دقت کل مبدل به کد دیجیتال تبدیل شود. به دلیل محدودیت‌های مداری، دستیابی به دقت‌های بالا در این نوع مبدل‌ها بدون استفاده از روش‌های کالیبراسیون میسر نخواهد بود. در مقابل مبدل‌های فرانمونه-بردار با نمونه‌برداری بیش‌تر از نرخ نایکوئیست و همچنین شکل‌دهی نویز کوانتیزاسیون[۴] به دقت های بالا در ازای کاهش پهنای باند سیگنال آنالوگ ورودی دست می‌یابند. مبدل‌های آنالوگ به دیجیتال دلتا-سیگما از انواع مبدل‌های فرانمونه‌بردار می‌باشند. بخش آنالوگ این نوع مبدل‌ها از مدولاتور[۵]های دلتا-سیگما تشکیل شده است[۶].

در این فصل ابتدا اصول کلی مبدل‌های آنالوگ به دیجیتال فرانمونه‌بردار دلتا-سیگما مورد بررسی قرار می‌گیرد. سپس، ساختار مدولاتورهای دلتا-سیگمای تک طبقه و چندطبقه بررسی شده و مزایا و معایب آن‌ها مورد بحث قرارمی‌گیرد. همچنین ساختارهای مختلف موجود برای مبدل‌های دلتا-سیگما-پایپ‌لاین پس از اشاره‌ای جزئی به مبدل‌های آنالوگ به دیجیتال پایپ‌لاین بررسی می‌شود.

---

[1] Nyquist Rate
[2] Over sampling
[3] Anti Aliasing Filters
[4] Quantization Noise
[5] Modulator

۲–۲–مبدلهای آنالوگ به دیجیتال دلتا–سیگما (فرانمونه بردار)

۲–۲–۱– اصول مبدلهای آنالوگ به دیجیتال دلتا–سیگما

مبدل‌های آنالوگ به دیجیتال فرانمونه‌بردار با نرخی بیش از نرخ نایکوئیست، نمونه‌برداری را انجام می‌دهند و با این کار نویز کوانتیزاسیون را به فرکانس‌های بالاتر انتقال می‌دهند. از آن‌جا که توان نویز کوانتیزاسیون مقداری ثابت است، بنابراین مقدار آن در پهنای باند مورد نظر کم شده و با استفاده از یک فیلتر دیجیتال می‌توان نویز کوانتیزاسیون خارج از باند را حذف کرد و با این کار (شکل‌دهی نویز به فرکانس‌های بالاتر و حذف نویز در فرکانس‌های خارج از باند) به دقت‌های بالاتری دست یافت. لذا با افزایش مرتبه‌ی شکل‌دهی و یا نرخ فرانمونه برداری می‌توان به دقت موردنظر دست پیدا کرد. شکل ۲-۱ طیف خروجی یک مبدل فرانمونه‌بردار را در هر مرحله از پردازش، اعم از مدولاسیون، فیلتر دیجیتال و فیلتر یک‌دهی را نشان می‌دهد. طیف شماره‌ی۱، طیف سیگنال ورودی با پهنای‌باند f_B و فرکانس نمونه‌برداری f_N را نشان می‌دهد. طیف شماره‌ی ۲، طیف خروجی بعد از مدولاسیون دلتا-سیگما می‌باشد. همان‌طور که مشاهده می‌شود، نویز کوانتیزاسیون به فرکانس‌های بالاتر از فرکانس ورودی انتقال داده شده است. در طیف شماره‌ی ۳، با استفاده از فیلتر دیجیتال، نویز خارج از باند حذف شده و نهایتا همان‌طور که در طیف آخر قابل مشاهده می‌شود، فرکانس نمونه‌برداری توسط فیلتر یک‌دهی[1] به نرخ نایکوئیست می‌رسد. معماری فیلتر یک‌دهی در بخش بعد به تفصیل ارائه می‌شود. بنابراین، در این نوع مبدل‌ها توان نویز کوانتیزاسیون در پهنای‌باند مورد نظر کاهش داده شده و بدین‌ترتیب امکان رسیدن به نسبت سیگنال به نویز[2](SNR) بیشتر یعنی دقت و تعداد بیت‌های بالا میسر می‌شود[۷].

همان‌طور که توضیح داده شد، استفاده از فیلتر دیجیتال ایده‌آل، نویز را از f_B تا $\frac{f_S}{2}$ حذف می‌کند و به طور قابل ملاحظه‌ای توان نویز را با ضریب $f_s/2f_B$ کاهش می‌دهد. این مقدار، همان نرخ فرانمونه برداری (OSR) می‌باشد، لذا همان‌طور که در رابطه‌ی (۲-۱) مشخص است توان نویز با ضریب عکس OSR کاهش می‌یابد.

$$V_{n,B}^2 = \frac{\Delta^2}{12}\frac{2f_B}{f_s} = \frac{V_{ref}^2}{12.2^{2n}}\frac{1}{OSR} \qquad (۱-۲)$$

در رابطه بالا، Vref مقدار ولتاژ مرجع و n تعداد بیت‌ها می‌باشد[۷].

[1] Decimation
[2] Signal-to-Noise Ratio