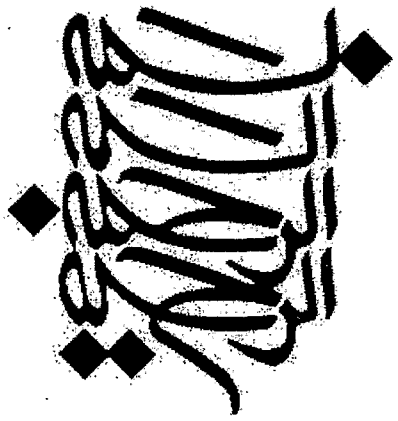

١١٢٣٨٤

۸۷/۱/۱۰۸۴۹۹
۸۸/۱۳۰

دانشگاه شهید بهشتی
دانشکده مهندسی برق و کامپیوتر

طراحی مدار های تمام جمع کننده کم توان در مد ولتاژ

پروژه کارشناسی ارشد مهندسی کامپیوتر
گرایش معماری کامپیوتر

نام دانشجو
مریم ابراهیم پور

استاد راهنما:
جناب آقای دکتر کیوان ناوی

۱۳۸۸/۱/۲۱

سال ۱۳۸۷

۱۱۲۳۸۴

دانشگاه شهید بهشتی

دانشکده مهندسی برق و کامپیوتر

پروژه کارشناسی ارشد مهندسی کامپیوتر گرایش معماری کامپیوتر

تحت عنوان:

طراحی مدار های تمام جمع کننده کم توان در مد ولتاژ

در تاریخ ۸۷/۱۱/۸ پایان نامه دانشجو، (نام دانشجو)، توسط کمیته تخصصی داوران مورد بررسی و تصویب نهائی قرار گرفت.

۱- استاد راهنما اول:	نام ونام خانوادگی دکتر کیوان ناوی	امضاء
۴-استاد داور (داخلی)	نام ونام خانوادگی دکتر قاسم جابری پور	امضاء
۵- استاد داور (خارجی)	نام ونام خانوادگی دکتر سعادت پور مظفری	امضاء
۶- نماینده تحصیلات تکمیلی	نام ونام خانوادگی دکتر فرح ترکمنی آذر	امضاء

با سپاس فراوان از استاد ارجمندم

جناب آقای دکتر ناوی

که همواره مشوق و روشنگر راهم بودند

کلیه حقوق مادی مترتب بر نتایج مطالعات،

ابتکارات و نوآوریهای ناشی از تحقیق موضوع

این پایان نامه متعلق به دانشگاه شهید بهشتی

می باشد.

به نام خدا

نام ونام خانوادگی: مریم ابراهیم پور

عنوان پایان نامه: طراحی مدار های تمام جمع کننده کم توان در مد ولتاژ

استاد/اساتید راهنما: جناب آقای دکتر کیوان ناوی

اینجانب مریم ابراهیم پور تهیه کننده پایان نامه کارشناسی ارشد/دکتری حاضر خود را ملزم به حفظ امانت داری و قدردانی از زحمات سایر محققین و نویسندگان بنا بر قانون Copyright می دانم. بدین وسیله اعلام می نمایم که مسئولیت کلیه مطالب درج شده با اینجانب می باشد و در صورت استفاده از اشکال؛ جداول، و مطالب سایر منابع، بلافاصله مرجع آن ذکر شده و سایر مطالب از کار تحقیقاتی اینجانب استخراج گشته است و امانتداری را به صورت کامل رعایت نموده ام. در صورتی که خلاف این مطلب ثابت شود، مسئولیت کلیه عواقب قانونی با شخص اینجانب می باشد.

نام ونام خانوادگی دانشجو: مریم ابراهیم پور

امضاء و تاریخ: ۸۷/۱۱/۲۹

تقدیم به پدر و مادر مهربانم

و

خواهر عزیزم لاله

فهرست

فصل اول: مقدمه ۱

فصل دوم: طراحی مدار های کم توان ۵

۲-۱- عوامل مصرف توان در مدار های دیجیتال ۶

۲-۲- انواع منطق کم توان ۱۰

۲-۳- ویژگی های منطق مناسب برای طراحی کم توان ۱۰

۲-۴- منطق پویا و ایستا ۱۲

فصل سوم : سلول تمام جمع کننده ۱۳

۳-۱- دلایل اهمیت سلول تمام جمع کننده ۱۴

۳-۲- ساختار تمام جمع کننده ۱۵

۳-۳- انواع جمع ۱۷

۳-۳-۱- جمع ترتیبی ۱۷

۳-۳-۲- مکانیزم تولید و انتشار ۱۸

۳-۳-۲- جمع کننده انتخاب رقم نقلی ۱۹

۳-۳-۳- جمع کننده ی جهش رقم نقلی ۲۰

۳-۳-۴- جمع کننده پیش بینی رقم نقلی ۲۱

فصل چهارم: بررسی تعدادی از مدار های موجود برای سلول تمام جمع کننده ۲۳

۴-۱- سلول های تمام جمع کننده ی موجود ۲۴

۴-۲- تمام جمع کننده CMOS متعارف با ۲۸ ترانزیستور ۲۴

۴-۳- تمام جمع کننده مکمل تراتنزیستور عبور (CPL) ۲۶

۴-۴- تمام جمع کننده ۱۴ ترانزیستوری کم توان..... ۲۶
۴-۵- تمام جمع کننده ۱۶ ترانزیستوری کم توان..... ۲۹
۴-۶- تمام جمع کننده کم توان با استفاده از مدار تولید همزمان XOR و XNOR ۳۰
۴-۷- مدار تمام جمع کننده با ۱۰ ترانزیستور با استفاده از مدار جدید XOR/XNOR ۳۳
۴-۸- مدار تمام جمع کننده با ویژگی مکملی و بازیابی سطح رقم نقلی..... ۳۶
۴-۹- تحلیل سلول های تمام جمع کننده کم توان CMOS..... ۳۸
۴-۱۰- تمام جمع کننده با استفاده از منطق پل..... ۴۴

فصل پنجم : تمام جمع کننده های مد ولتاژ ارائه شده ۴۹

۵-۱- طراحی مدار های NAND , NOR وMAJORITYNOT بر اساس معکوس کننده..... ۵۰

۵-۱-۱- با استفاده از مقاومت و معکوس کننده..... ۵۰

۵-۱-۲- استفاده از مقاومت و معکوس کننده با اندازه ترانزیستور اصلاح شده..... ۵۲

۵-۱-۳- استفاده از خازن و معکوس کننده با اندازه ی ترانزیستور اصلاح شده..... ۵۳

۵-۱-۴- استفاده از خازن و معکوس کننده با ولتاژ آستانه ی تغییر یافته..... ۵۴

۵-۲- شبیه سازی گیت های مطرح شده و مقایسه ی نتایج آنها..... ۵۵

۵-۳- مدار تمام جمع کننده کم توان مدولتاژ با استفاده از XOR و مالتی پلکسر(مدار ارائه شده ۱)..... ۶۰

۵-۴- مدار تمام جمع کننده کم توان مد ولتاژ ارائه شده ۲ (Full Swing) ۶۵

۵-۵- مدار تمام جمع کننده کم توان مد ولتاژ ارائه شده ۳ با استفاده از گیت انتقال..... ۶۸

فصل ششم: شبیه سازی و نتیجه گیری..... ۷۰

۶-۱-نتایج شبیه سازی..... ۷۱

۶-۲-نتیجه گیری..... ۷۷

مراجع..... ۷۸

چکیده

تمام جمع کننده عنصر اساسی در بسیاری از مدار های محاسباتی پیچیده است. به همین دلیل ارائه ساختار های جدید برای این مدار مورد توجه بسیاری از طراحان مدارهای مجتمع بسیار فشرده است. هدف اصلی بیشتر این طراحی ها افزایش سرعت و کاهش مصرف توان است. در این پایان نامه سه طراحی جدید برای سلول تمام جمع کننده در مد ولتاژ ارائه شده که براساس جمع سطوح ولتاژ ورودی ها با استفاده از ساختار معکوس کننده طراحی شده است. با استفاده از این ساختار سه دروازه ی NAND و NOR وMAJORITYNOT قابل پیاده سازیست که مدار های تمام جمع کننده ی ارائه شده بر اساس آنها ساخته شده اند. از بین منابع متعدد موجود در زمینه طراحی مدار های تمام جمع کننده، تعدادی از آنها با توجه به تعداد مراجعات در مقالات دیگر و سال انتشار برای مقایسه انتخاب شده اند و همگی در شرایط یکسان توسط نرم افزار HSPICE شبیه سازی شده اند. نتایج شبیه سازی نشان می دهد که مدار های ارائه شده توانایی کار کردن در منابع تغذیه پایین را دارند و در این مقادیر دارای کارایی خوبی نسبت به مدار های قبلی هستند.

عبارات کلیدی: تمام جمع کننده، مدارهای مجتمع بسیار فشرده، ترانزیستور عبور، دروازه انتقال، مدار های کم توان.

فصل اول

مقدمه

با پیشرفت تکنولوژی مدار های مجتمع بسیار فشرده بسیاری از کاربردهای محاسباتی مثل پردازش تصویر، ارتباطات دیجیتالی، پردازش سیگنال های دیجیتال و ... از لحاظ سخت افزاری به دنبال کاهش مصرف توان و انرژی و افزایش سرعتند. در سیستم های دیجیتال مدرن, فاکتور های دیگری علاوه بر سرعت و هزینه اهمیت پیدا کرده اند. به طور مثال کامپیوتر های قابل حمل در وزن, حجم و مصرف توان نیز محدودیت دارند. وزن و حجم به پیچیدگی مدار یا هزینه, و بیشتر از این فاکتور ها به فاکتور های خارج از مدار مثل سیستم خنک کننده و منبع تغذیه وابسته هستند. در مورد مصرف توان نیز تنها بخشی از توان هدر شده را می توان با بهینه سازی مدار کاهش داد. به هر حال کاهش مصرف توان با هر روش ممکن بسیار مهم است. در وسایل الکترونیکی قابل حمل توان یک عامل اساسی است. اگر روی وسایل ارتباطی و محاسباتی شخصی تمرکز کنیم, راهبری توان حساس تر نیز می شود. پیشرفت فناوری و تولید باطری های جدید تر شرایط را فقط کمی بهتر می کند. این توان محدود را باید بین قسمت محاسبات, ذخیره, نمایش و ارتباط تقسیم کرد. سهم قسمت محاسبات در این بین زیاد نخواهد بود.

در سال های اخیر که دستگاه های الکترونیکی قابل حمل مثل موبایل و لپ تاپ کاربرد زیادی پیدا کرده است، اهمیت طراحی مدارات کم توان نیز بیشتر شده است. در این دستگاه ها اولویت اصلی افزایش طول عمر باطری و عدم نیاز به شارژ مجدد آن است چرا که تکنولوژی برای ساخت باطری با قدرت زیاد و عمر طولانی به اندازه تکنولوژی ساخت مدار رشد نکرده است. طراحی یک مدار کم توان به راحتی میسر نیست و در تمام مراحل ساخت مدار از توصیف عملکرد سیستم تا مرحله ساخت باید در نظر گرفته شود. در بعضی از این مراحل راهبرد های مشخصی برای کاهش مصرف توان وجود دارد، در حالی که در سایر مراحل راه حل مشخصی وجود ندارد و از روش های آمار و احتمال برای مصرف توان طراحی ارائه شده استفاده می شود.

رشد مصرف توان در میکروپروسسورهای امروزی با ضرب مساحت در فرکانس کلاک نسبت خطی دارد. کاهش مصرف توان در پردازنده ها و سیستم های موازی که قابل حمل و مبتنی بر باطری هم نیستند مهم است. چرا که مصرف توان بیشتر به معنی نیاز به سیستم های خنک کننده ی پیچیده تر و پر هزینه تر از لحاظ تولید, عملکرد و نگهداری است. وسایل الکترونیکی در دما های بالا قابلیت اطمینان کمتری دارند. این مسئله انگیزه دیگریست برای کار بر روی طراحی های کم توان.

مدارهایی با سرعت بیشتر و مساحت بالاتر نتیجه افزایش تقاضا برای دستگاه هایی با عملکرد بالا و کاربرد های پر مصرفی مثل سیستم های چند رسانه ای هستند. این سیستم ها همچنین به ذخیره، بازیابی و تحلیل حجم بالایی از اطلاعات نیازمند هستند. روش های طراحی کم توان با بیشتر شدن عمومیت مصرف سیستم های دیجیتال قابل حمل و سوپر کامپیوتر ها مهم تر شده اند.

سلول تمام جمع کننده هسته اصلی محاسبات دیجیتالی و پردازنده های حسابی که بخش مهمی از واحد منطق و محاسبات را تشکیل می دهد. همچنین نقش مهمی در واحد تولید آدرس حافظه ایفا می کند. ساخت یک جمع کننده با ساختاری ساده که سرعت بالا و مصرف توان کم داشته باشد می تواند در ساده کردن مدار های دیجیتالی نقش عمده ای داشته باشد. . به طور کلی معیارهای مشخصی برای کارایی بهتر و ارزیابی یک طراحی سلول تمام جمع کننده وجود دارد. اولویت این معیار ها را کاربرد مدار مشخص می کند. این معیارها عبارتند از مصرف توان، سرعت، حاصلضرب توان در تاخیر، پیچیدگی و مساحت مدار و پایداری آن در مقابل تغییرات که بر روی هم اثر متقابل دارند.

ساختار های مختلفی برای سلول تمام جمع کننده در انواع مختلف منطق ها مثل CMOS , دروازه انتقال و منطق ترانزیستور عبور مکمل در مقالات و کتاب ها وجود دارد. اگر چه همه این مدارها عمل یکسانی را انجام می دهند ولی نحوه بدست آمدن گره های داخلی وخروجی ها، بار ورودی ها و گره های داخلی وتعداد ترانزیستورها متفاوتند. انواع مختلف منطق ها تعدادی از ویژگی های مثبت مدار را تقویت می کنند در حالی که احتمالا ویژگی دیگری نادیده انگاشته می شود. در سالهای اخیر هدف اصلی این طراحی ها کاهش مصرف توان است. یکی از مهم ترین روش های کاهش مصرف توان کاهش منبع ولتاژ است. از طرف دیگر مدار های کم توان ارائه شده در گذشته اکثرا با استفاده از منطق ترانزیستور عبور ساخته شده اند تا تعداد ترانزیستور ها کاهش یابد و پیچیدگی طراحی و مصرف توان کم شود. این مدار ها با کاهش ولتاژ کارایی خود را از دست می دهند[۱].

در اینجا روش جدیدی برای طراحی گیت های NAND، NOR و MAJORITYNOT ارائه شده است که بر اساس معکوس کننده است. این مدار ها این ویژگی را دارند که در ولتاژ های پایین تر از ۱ ولت به خوبی کار می کنند. با استفاده از این گیت ها سه مدار جدید تمام جمع کننده ارائه شده که در ولتاژ های پایین کارایی بسیار خوبی دارند و دارای کمترین مصرف توان در بین مدار های موجود در ولتاژهای کمتر از ۱ ولت هستند.

در فصل دوم نگاهی خواهیم داشت به ویژگی های طراحی کم توان. در فصل سوم ساختار سلول تمام جمع کننده و تعدادی از روشهای مرسوم جمع اعداد باینری توضیح داده شده است و در فصل چهارم بعضی از طراحی های مرسوم برای سلول تمام جمع کننده بررسی خواهد شد. طراحی های جدید برای گیت های NAND، NOR و MAJORITYNOT و سه مدار تمام جمع کننده در فصل پنجم آورده شده است و در فصل ششم نتایج شبیه سازی مورد بررسی قرار خواهد گرفت.

فصل دوم

طراحی مدارهای کم توان

۲-۱- عوامل مصرف توان در مدار های دیجیتال

برای طراحی یک مدار کم توان, باید بدانیم عوامل مصرف توان چیست و چه رابطه ای بین مصرف توان و دیگر پارامتر های مهم مدار برقرار است. بعضی از تکنولوژی ها مثل TTL اصلا برای طراحی کم توان مناسب نیستند. چرا که توان مصرفی متوسط بسیار بالایی دارند. در صورتی که تکنولوژی CMOS ذاتا کم توان است و مناسب برای طراحی با هدف طراحی مبتنی بر مصرف توان کم است. برای همین بحث ما در طراحی مدار های کم توان, اصولا بر اساس تکنولوژی CMOS است که در حال حاضر تکنولوزی غالب برای پیاده سازی سیستم های کم هزینه و با بازدهی بالا است.

در کنار مصرف توان که محدود به بخشی از توان کل سیستم است که برای زیر سیستم یا عمل خاص منظور شده است, حداکثر مصرف توان نیز بسیار مهم است. چون بر روی توزیع توان و صحت سیگنال اثر می گذارد. معمولا هدف طراحی کم توان کاهش توان متوسط و حداکثر توان است. مصرف توان در در مدار های دیجیتال CMOS به دو بخش پویا و ایستا طبقه بندی می شود. مصرف توان ایستا به دلیل جریان نشتی در ترانزیستور MOS به دلیل سوییچ غیر ایده آل اتفاق می افتد. به جز بعضی از خانواده های CMOS, مثل شبه NMOS [1] که کلا برای طراحی های کم توان استفاده نمی شود, مصرف توان ایستا معمولا کمتر از 10% کل توان مصرفی مدار را تشکیل می دهد.

توان مصرفی پویا در مدار CMOS ناشی از نحوه سوییچینگ مدار است. بخش کوچکی از مصرف توان پویا در هنگام اتصال کوتاه زودگذری مصرف می شود که به دلیل روشن شدن لحظه ای دو قطعه ی PMOS و NMOS که بین منبع تغذیه و زمین هستند ایجاد می شود. این قسمت از مصرف توان می تواند با تغییر طراحی مدار و تنظیم زمان صعود و سقوط سیگنال کاهش یابد. عمده ی تلاش ما برای کاهش قسمتی از توان است که به دلیل شارژ و دشارژ خازن های پارازیتی مدار مصرف می شود[۲].

تغییر از زمین (۰) به منبع تغذیه (V) و بازگشت به حالت صفر باعث مصرف توان به اندازه ی CV^2 می شود. (C

---

[1] Pseudo NMOS

مقدار خازن است). پس متوسط مصرف توان در مدار CMOS برای سوییچینگ مدار برابر معادله ی (۲-۱) است.

$$P=\alpha f CV^2 \qquad (۱-۲)$$

است در اینجا f فرکانس ساعت و α متوسط تعداد تغییر حالت ها از صفر به یک در یک دوره ی ساعت است, که فعالیت سوییچینگ[1] نامیده می شود. با توجه به این رابطه در صورت مشخص بودن میزان f سه راه برای کاهش توان وجود دارد.

۱- استفاده از منبع تغذیه کمتر Vdd

۲- کاهش خازن پارازیتی C

۳- کم کردن فعالیت سوییچینگ مدار α

چون مصرف توان متناسب با توان دو منبع تغذیه است, یکی از موثر ترین راه ها برای طراحی کم توان کاهش منبع تغذیه است. ولی با کاهش منبع تغذیه سرعت کم می شود و تاخیر بیشتری خواهیم داشت. همچنین ممکن است در اتصال به وسایل جانبی دچار مشکل شویم. با این روش ها می توان ولتاژ منبع تغذیه را تا پایین تر از ۱ ولت نیز رساند.

خازن پارازیتی را می توان با کم کردن تعداد قطعات و کوچکتر کردن آنها, همچنین با اتصالات کوتاه تر و کمتر کاهش داد. البته هم کوچک کردن اندازه قطعه و هم جایگذاری اتصالات به آسانی انجام پذیر نیست. قطعات کوچک تر توان راه اندازی کمتری دارد که باعث کم شدن سرعت می شود. اثر متقابل سرعت و خازن و همچنین اثر کم کردن منبع ولتاژ روی کارایی مدار باعث می شود مسئله طراحی کم توان تبدیل به یک مسئله ی پیچیده ی بهینه سازی شود.

روش های زیر برای کاهش فعالیت سوییچینگ α وجود دارد:

۱- جلوگیری از اتلاف: اعوجاج, گذر کردن سیگنال از حالت های مختلف قبل از رسیدن به مقدار نهایی, کلاک خوردن پیمانه در حالت ثابت و استفاده از سخت افزار های قابل برنامه ریزی به جای سخت افزار مخصوص بعضی از مثال های اتلاف توان هستند که قابل اجتناب هستند.

---

[1] Switching activity

۲- کارایی در مقابل توان: مدار های کندتر، توان کمتری مصرف می کنند برای همین مدار های کم توان سرعت کمتری دارند.

۳- بهره برداری از محلیت[1]: تقسیم بندی طراحی به صورتی که سیگنال های مورد نیاز محلی باشد، مصرف توان و همچنین سرعت را بهبود می دهد.

۴- کم کردن حالات گذار سیگنال: بهینه سازی نوع و ترتیب کار بر روی سیگنال ها و دقت در رمز گشایی و حالات آنها، می توان تعداد متوسط گذار سیگنال را در هر سیکل ساعت کاهش دهد. این روش در حالتی که الگوریتم محاسبه نقش مهمی داشته باشد می تواند مصرف توان را کاهش دهد.

۵- تطبیق گری پویا: تغییر دادن محیط عملیات بر اساس خصوصیات ورودی، پیش محاسبه انتخابی مقادیر منطقی پیش از آنکه واقعا به آنها نیاز باشد و ارزیابی دیر هنگام (محاسبه نکردن مقادیر تا قبل از وقتی که واقعا مورد نیاز باشد) می تواند بر روی مصرف توان اثر بگذارد[۳].

توان در یک مدار CMOS می توان به سه بخش تقسیم کرد که در معادله (۲-۲) نشان داده شده است.

$$P_{total} = P_{switching} + P_{short\text{-}circuit} + P_{leakage} \qquad (۲-۲)$$

می توان مشاهده کرد که سه عامل جز اصلی مصرف توان در مدارهای CMOS عبارتند از:

۱- توان سوییچینگ($P_{switching}$): توانی که در هنگام شارژ و دشارژ خازن های مدار در هنگام تغییر حالت در ترانزیستور های مدار مصرف می شود.

۲- توان اتصال کوتاه($P_{short\text{-}circuit}$): توانی است که به دلیل رسانایی هم زمان شبکه PMOS وNMOS مصرف می شود و به دلیل جریانی است که وقتی در هنگام تغییر حالت، مدار در حالت اتصال زمین به منبع تغذیه قرار می گیرد، از منبع کشیده می شود.

۳- توان نشت ($P_{leakage}$): توان مصرفی وقتی مدار در حالت پایدار و ایستا قرار دارد. این توان مربوط به جریان های نشتی در مدار است. مثلا جریان نشت زیر آستانه[2] یا تغذیه معکوس[1] پیوند PN .

---

[1] Locality
[2] Sub-threshold

دو جز اول توان مصرفی پویا هستند. توان مصرفی پویا بخش اعظم توان مصرفی مدار CMOS را در مدارات مجتمع بسیار فشرده تشکیل می دهد. این توان توانیست که در هنگام شارژ و دشارژ خازن های بار مدار مورد نظر مصرف می شود. این مقدار به الگوی ورودی وابسته است که آیا در هر سیکل ساعت باعث تغییر حالت در ترانزیستور می شود (مصرف توان پویا) یا باعث سوییچ نمی شود (عدم مصرف توان پویا)[۴].

فعالیت که در یک مدار در اثر دو نوع انتقال سیگنال رخ می دهد. فعالیت مفید در اثر سیگنال های ورودی است که باعث تغییر حالت های داخلی مدار می شود تا خروجی تولید شود. فعالیت زاید یا فعالیت در اثر اعوجاج[۲] به دلیل تاخیرهای متفاوت ورودی هایی که مربوط به یک خروجی یکسان و ایراد های مدار ایجاد می شود. انواع خاصی از مدار ها یا جایگذاری دقیق دروازه ها می تواند اعوجاج را کاهش دهد. همینطور بهینه سازی الگوریتم می تواند منجر به کاهش قابل ملاحظه ای در فعالیت مفید مدار شود.

معادله(۲-۲) را به شکل دقیق تری می توان به صورت معادله (۲- ۳) بازنویسی کرد.

$$P_{total} = V_{dd} \cdot F_{clk} \cdot \Sigma_i V_{swing} \cdot C_{load} \cdot P_i + V_{dd} \cdot \Sigma_i I_{isc} + V_{dd} \cdot I_i \qquad (۳-۲)$$

در این معادله V_{dd} ولتاژ منبع تغذیه، F_{clk} فرکانس ساعت سیستم، V_{swing} سوییینگ ولتاژ خروجی که در حالت ایده آل با ولتاژ منبع تغذیه برابر است، C_{load} بار خازنی خروجی در گره i، P_i توان سوییچینگ در گره i، I_{isc} جریان اتصال کوتاه و I_i جریان نشتی است.

جمع بر تمام گره های مدار اعمال می شود. کاهش در هر کدام از پارامتر های معادله بالا می تواند منجر به کاهش توان مصرفی می شود. Vdd و Cload پارامترهای تاثیر گذار جهت کاهش مصرف توان می باشند که باید مورد بررسی بیشتر قرار بگیرند.

با توجه به معادله (۲-۳) تخمین زدن مصرف توان در یک مدار بزرگ کار بسیار دشواریست. برای این کار از روش های آمار و احتمال و الگوریتم های اکتشافی[۳] استفاده می شود. این روش ها با پیچیده شدن مدار دقت خود را از دست می دهند. بهتر است که یک مدار بزرگ را به واحد های کوچکتر تقسیم کنیم و مصرف توان را در این واحد ها بررسی کنیم.

---

[1] Reverse-biased
[2] Glitch
[3] heuristic

وقتی اندازه واحد مورد نظر به اندازه کافی کوچک باشد می توان روش های دقیقی را برای بهینه کردن کارایی آن استفاده کرد.

۲-۲- انواع منطق کم توان

نوع منطقی که در مدار استفاده می شود, بر روی اندازه, سرعت, مصرف توان و پیچیدگی سیم بندی اثر می گذارد. تاخیر مدار با تعداد سطوح معکوس کننده, تعداد ترانزیستور های سری, سایز ترانزیستور ها (عرض کانال) و خازن های داخلی و خارجی سلول مشخص می شود. اندازه مدار بستگی به تعداد ترانزیستور ها و اندازه ی آنها و پیچیدگی سیم بندی دارد. مصرف توان با فعالیت سوییچینگ و مقدار خازن گره ها (متشکل از خازن گیت و خازن نفوذ[1] و خازن سیم) تعیین می شود. پیچیدگی سیم بندی به تعداد اتصالات و طول آنها و dual rail وsingle rail بودن نوع منطق بستگی دارد.

به همین اندازه که تکنیک طراحی بر اساس سلول (با استفاده از سلول های استاندارد) و سنتز مدار اهمیت دارد, سادگی استفاده و عمومیت منطق گیت ها نیز مهم اند. پایداری (یعنی مداری که تحت طیف وسیعی از حالت های مشخص خروجی صحیح تولید کند.) با توجه به ولتاژ و سایز ترانزیستور ها و همین طور شرایط کار و قابلیت هماهنگی با مدار های دیگر هم از نکات مهم برای منطق مورد استفاده است.

---

[1] Diffusion