بسم الله الرحمن الرحيم

دانشکده مهندسی برق و رباتیک

پایان‌نامه دوره کارشناسی ارشد مهندسی برق-الکترونیک

پیاده سازی ساختار کلاسه بند ماشین بردار پشتیبان بر روی FPGA

نگارش:

داود محمودی

استاد راهنما:

دکتر سید علی سلیمانی ایوری

استاد مشاور:

دکتر حسین خسروی

خرداد ۱۳۹۰

تأییدیّه هیات داوران

اعضای هیئت داوران، نسخه نهائی پایان نامه آقای: **داود محمودی**

را با عنوان: **پیاده سازی ساختار کلاسه بند ماشین بردار پشتیبان بر روی FPGA**

از نظر فرم و محتوی بررسی نموده و پذیرش آن را برای تکمیل درجه کارشناسی ارشد تأیید می‌کند.

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱- استاد راهنما			
۲- استاد مشاور			
۳- استاد مشاور			
۴- استاد ممتحن			
۵- استاد ممتحن			
۶- نماینده گروه			

تقدیم

به خانواده ام

تشکر و قدردانی

سپاس بیکران ایزد یکتا را که مهربانیش، یادش و همراهی پیوسته اش، همواره انگیزه من برای حرکت به سمت هدف بوده است.

ارج می نهم زحمات بی دریغ استاد راهنمای بزرگوارم، دکتر سید علی سلیمانی، که بدون راهنمایی های دلسوزانه ایشان این اثر به انجام نمی رسید. ایشان با داشتن پیشینه اطلاعاتی غنی از طراحی و پیاده سازی سخت افزاری، ایده ها، نظرات و پیشنهادهای موثری در طول تحقیق به من ارائه نمودند.

همچنین از استاد مشاور گرانقدر خود دکتر حسین خسروی به خاطر کمک های ارزشمند ایشان در تهیه دیتابیس و راهنمایی های مفید و موثر در زمینه اجرای نرم افزاری ماشین بردار پشتیبان کمال تشکر دارم.

از تمامی اساتید گروه الکترونیک دانشگاه صنعتی شاهرود نیز سپاسگزاری و تشکر نموده و برای همه این بزرگواران آرزوی موفقیت و سلامت دارم.

در پایان جا دارد از حمایتها و همراهی های دلسوزانه خانواده ام که کاستی های مرا در طول مدت انجام پروژه تحمل نمودند، تشکر و قدردانی نمایم.

چکیده

ماشین بردار پشتیبان یکی از الگوریتمهای مورد اعتماد و با کارآیی فوق العاده بالا در تشخیص الگو است که در سالهای اخیر به طور وسیعی در مسائل کلاسه بندی و رگرسیون خطی و غیرخطی مورد استفاده قرار گرفته است. از آنجا که یکی از روشهای حل مسائل چند کلاس، استفاده از کلاسه بندهای دوتایی است، پیاده سازی همزمان کلاسه بندهای دوتایی ماشین بردار پشتیبان بر روی FPGA به صورت موازی، می تواند کاربرد خوبی مخصوصاً در کاربردهای بلادرنگ داشته باشد.

در این پایان نامه یک ساختار سخت افزاری ساده برای پیاده سازی کلاسه بندهای دوتایی ماشین بردار پشتیبان بر روی FPGA ارائه می شود. از بخش آموزش ماشین بردار پشتیبان که به صورت نرم افزاری اجرا می گردد، پارامترهای لازم استخراج شده و برای اجرای بخش تست بر روی سخت افزار به کار گرفته می شود. در ساختار سخت افزاری طراحی شده، عملیات ضرب برداری و همچنین کل عملیات کلاسه بندی دوتایی چند کلاس به صورت موازی و به طور همزمان انجام می شود. به منظور واقعی کردن طرح، از داده های مربوط به سیستم تشخیص ارقام دستنوشته فارسی در سه کلاس مختلف، برای آموزش و تست ماشین بردار پشتیبان استفاده شده است. شبیه ساز گرافیکی System Generator برای شبیه سازی طرح سخت افزاری مورد نظر مورد استفاده قرار گرفته است. پیاده سازی کلاسه بند ماشین بردار پشتیبان خطی و غیرخطی با توابع و بلوکهای ساده، امکان افزایش ابعاد بردارهای ویژگی، امکان تعمیم به چندین کلاسه بند دوتایی همزمان، عدم پیچیدگی در طراحی سخت افزاری و ساده بودن سایر بلوک ها و عملیات استفاده شده در طرح مورد نظر، از خصوصیات بارز این تحقیق به شمار می رود. طبق نتایج شبیه سازی بر روی FPGA، ماکزیمم فرکانس کاری ۲۰۲/۸۴۰MHz برای کلاسه بند خطی، و نرخ بازشناسی ۹۸/۶۷٪ برای کلاسه بند غیرخطی به دست آمده است. این نتایج نشان از عملکرد فوق العاده سیستم طراحی شده دارد.

کلید واژه: FPGA، پردازش بلادرنگ، ماشین بردار پشتیبان، System Generator.

فهرست مطالب

عنوان **صفحه**

فهرست اصطلاحات اختصاری ..... د
فهرست جدول‌ها ..... ه
فهرست شکل‌ها ..... ز

فصل ۱- مقدمه ۱
۱-۱- پیشگفتار ۱
۱-۲- انگیزه ۱
۱-۳- اهداف پایان نامه ۲
۱-۴- ساختار پایان نامه ۳

فصل ۲- ماشین بردار پشتیبان ۴
۲-۱- ماشین بردار پشتیبان خطی ۴
۲-۲- ماشین بردار پشتیبان در سیستم های خطی جداناپذیر ۱۰
۲-۳- ماشین بردار پشتیبان در سیستم های غیر خطی ۱۳
۲-۳-۱- حیله کرنل ۱۴
۲-۳-۲- توابع کرنل ۱۵
۲-۴- ماشینهای بردار پشتیبان چند کلاس ۱۶

فصل ۳- کاربرد FPGAها در پردازش سیگنال دیجیتال ۱۸
۳-۱- ساختار FPGA ۱۸
۳-۲- اصول یک طراحی دیجیتال ۲۰
۳-۳- ویژگیهای برتر FPGA ها در پردازش سیگنال دیجیتال ۲۱
۳-۴- روند طراحی ۲۲
۳-۴-۱- ورود طرح ۲۲
۳-۴-۲- سنتز ۲۳
۳-۴-۳- مکان یابی و سیم کشی ۲۳
۳-۴-۴- تولید BitStream ۲۳
۳-۵- محاسبات ممیز ثابت ۲۴
۳-۶- محاسبات ممیز شناور ۲۵
۳-۷- تکنیکهای بهینه سازی در طراحی سخت افزاری ۲۷
۳-۷-۱- تکنیک بافرکردن ۲۷
۳-۷-۲- تکنیک تکرارکردن رجیسترها ۲۸

۳-۷-۳- تکنیک توازن رجیسترها ۲۸
۳-۷-۴- تکنیک Pipelining ۲۹
۳-۷-۵- تکنیک زمان چندگانه ۳۰
۳-۸- الگوریتم CORDIC ۳۰
۳-۹- اصول CORDIC ۳۱
۳-۹-۱- مد دوران ۳۳
۳-۹-۲- مد برداری ۳۴
۳-۱۰- محاسبه سینوس و کسینوس ۳۴
۳-۱۱- محاسبه تانژانت معکوس ۳۵
۳-۱۲- کاربردهای مختلف الگوریتم CORDIC ۳۵

فصل ۴- مروری بر مطالعات و تحقیقات گذشته ۳۶

۴-۱- مقدمه ۳۶
۴-۲- پیاده سازی ماشین بردار پشتیبان کرنل خطی بر روی FPGA ۳۶
۴-۳- پیاده سازی ماشین بردار پشتیبان بر روی FPGA بر اساس سیستم تشخیص ارقام مجزا ۳۹
۴-۴- پیاده سازی ماشین بردار پشتیبان بر روی FPGA برای شناسایی اشیاء ۳ بعدی ۴۱
۴-۵- پیاده سازی ماشین بردار پشتیبان بر روی FPGA برای آشکارسازی مرز نما در تصاویر ویدئویی ۴۳

فصل ۵- الگوریتم پیشنهادی جهت پیاده سازی ماشین بردار پشتیبان ۴۵

۵-۱- معرفی سیستم تشخیص ارقام فارسی دستنوشته ۴۵
۵-۲- اجرای نرم افزاری ماشین بردار پشتیبان برای تشخیص ارقام فارسی ۴۷
۵-۲-۱- اجرای ماشین بردار پشتیبان با تابع کرنل خطی ۴۸
۵-۲-۲- اجرای ماشین بردار پشتیبان با تابع کرنل گوسی ۵۱
۵-۳- پیاده سازی سخت افزاری ماشین بردار پشتیبان ۵۴
۵-۳-۱- اعمال تکنیک تعادل قبل از پیاده سازی سخت افزاری ۵۵
۵-۳-۲- استفاده از تکنیک Pipelining برای افزایش فرکانس ۵۸
۵-۳-۳- طراحی تابع تصمیم کلاسه بند خطی برای دو کلاس ۶۳
۵-۳-۴- کلاسه بندی همزمان سه کلاس ۶۸
۵-۳-۵- تغییر ابعاد بردار ویژگی ۷۷
۵-۳-۶- ماشین بردار پشتیبان غیرخطی ۸۰

فصل ۶- نتایج شبیه سازی و آنالیز ۸۳

۶-۱- انتخاب نوع FPGA ۸۳
۶-۲- انتخاب نوع کوانتیزاسیون و تعداد بیت ۸۳
۶-۳- نتایج شبیه سازی کلاسه بندی خطی ۷ بعدی بر روی Virtex4 ۸۴
۶-۳-۱ نتایج با دقت Q64.40 ۸۴

۶-۳-۲- نتایج با دقت Q32.20 ..... ۸۶
۶-۳-۳- نتایج با دقت Q24.16 ..... ۸۷
۶-۴- نتایج شبیه سازی کلاسه بندی خطی ۷ بعدی بر روی Spartan3 ..... ۸۸
۶-۵- نتایج شبیه سازی کلاسه بند خطی ۲۴ بعدی با دقت Q24.16 بر روی Virtex4 ..... ۸۹
۶-۶- نتایج شبیه سازی کلاسه بند ۲۴ بعدی غیرخطی با دقت Q24.14 ..... ۹۰
فصل ۷- نتیجه گیری و پیشنهاد ۹۲
فهرست مراجع ۹۵
واژه نامه انگلیسی به فارسی ۹۷

فهرست اصطلاحات اختصاری

عنوان	علامت اختصاری
Support Vector Machine	SVM
Field Programmable Gate Array	FPGA
Digital Signal Processing/Processor	DSP
COordinate Rotation DIgital Computer	CORDIC
Karush-Kuhn-Tucker	KKT
Supprot Vectors	SVs
Global Positioning System	GPS
Fast Fourier Transform	FFT
Discrete Cosine Transform	DCT
Finite Impulse Response	FIR
Infinite Impulse Response	IIR
Clock	CLK
Most Significant Bit	MSB
Hardware Description Language	HDL
Very-High-Speed Integrated Circuits Hardware Description Languages	VHDL
Electrically Erasable Programmable Read-Only Memory	EEPROM
Institute of Electrical and Electronics Engineers	IEEE
Radial Basis Function	RBF
Magnetic Response Imaging	MRI
Mel-Frequency Cepstral Coefficient	MFCC
Linear Predictive Coding	LPC
Self Organized Feature Mapping	SOFM
System Generator	Sys Gen

فهرست جدول‌ها

عنوان **صفحه**

جدول ۲-۱: توابع کرنل ۱۵
جدول ۴-۱: ماتریس مقایسه عملکرد کلاسه بند SVM1 در محیط نرم افزاری MATLAB و بر روی VirtexII ۳۷
جدول ۴-۲: ماتریس مقایسه عملکرد کلاسه بند SVM2 در محیط نرم افزاری MATLAB و بر روی VirtexII ۳۸
جدول ۴-۳: منابع سخت افزاری استفاده شده برای پیاده سازی SVM2 بر روی VirtexII ۳۸
جدول ۴-۴: عملکرد کلاسه بند تشخیص ارقام مجزا در MATLAB با تابع کرنل خطی و اندازه های مختلف SOFM ۴۰
جدول ۴-۵: عملکرد کلاسه بند تشخیص ارقام مجزا در MATLAB با توابع کرنل مختلف و اندازه های ۱۲×۱۲ برای SOFM ۴۰
جدول ۵-۱: نتایج حاصل از کلاسه بندی خطی ارقام فارسی ۷ بعدی با مقدار C=۱۰۰ ۵۰
جدول ۵-۲: نتایج حاصل از کلاسه بندی خطی ارقام فارسی ۲۴ بعدی با مقدار C=۶۲ ۵۱
جدول ۵-۳: نتایج حاصل از کلاسه بندی ارقام فارسی ۷ بعدی با تابع کرنل گوسی و ۳۰ =γ ۵۲
جدول ۵-۴: نتایج حاصل از کلاسه بندی ارقام فارسی ۲۴ بعدی با تابع کرنل گوسی و ۰/۹۵ =γ ۵۳
جدول ۵-۵: مقایسه روشهای کلاسه بندی خطی و غیرخطی در تشخیص ارقام فارسی ۷ و ۲۴ بعدی .. ۵۴
جدول ۶-۱: نتایج شبیه سازی کلاسه بندی خطی ۷ بعدی – مقایسه با MATLAB ۸۵
جدول ۶-۲: منابع سخت افزاری استفاده شده در Virtex4 برای کلاسه بندی خطی ۷ بعدی با دقت Q64.40 ۸۵
جدول ۶-۳: نتایج شبیه سازی کلاسه بندی خطی ۷ بعدی با محاسبات ممیز ثابت Q32.20 ۸۶
جدول ۶-۴: منابع سخت افزاری استفاده شده در Virtex4 برای کلاسه بندی خطی ۷ بعدی با دقت Q32.20 ۸۷
جدول ۶-۵: نتایج شبیه سازی کلاسه بندی خطی ۷ بعدی با محاسبات ممیز ثابت Q24.16 ۸۷
جدول ۶-۶: منابع سخت افزاری استفاده شده در Virtex4 برای کلاسه بندی خطی ۷ بعدی با دقت Q24.16 ۸۸
جدول ۶-۷: منابع سخت افزاری استفاده شده در Spartan3 برای کلاسه بندی خطی ۷ بعدی با دقت Q24.16 ۸۹
جدول ۶-۸: نتایج شبیه سازی کلاسه بندی خطی ۲۴ بعدی با محاسبات ممیز ثابت Q24.16 و مقایسه با MATLAB ۸۹
جدول ۶-۹: منابع سخت افزاری استفاده شده در Virtex4 برای کلاسه بندی خطی ۲۴ بعدی با دقت Q24.16 ۹۰

جدول ۶-۱۰: نتایج شبیه سازی کلاسه بندی غیرخطی ۲۴ بعدی با محاسبات ممیز ثابت Q24.14 و مقایسه با MATLAB ۹۱
جدول ۶-۱۱: منابع سخت افزاری استفاده شده در Virtex4 برای کلاسه بندی خطی ۲۴ بعدی با دقت Q24.16 ..... ۹۱

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: داده های آموزشی در دو کلاس جدایی پذیر خطی ۴
شکل ۲-۲: ابر صفحه های مجزاساز ۵
شکل ۲-۳: ابر صفحه مجزاساز بهینه با حداکثر مقدار حاشیه. ۵
شکل ۲-۴: ابر صفحه های مجزاساز: حاشیه ایجاد شده توسط خط ضخیم تر بیشتر از حاشیه ایجاد شده توسط خط باریک است. ۷
شکل ۲-۵: صفحه مجزاساز بهینه و حاشیه های آن ۷
شکل ۲-۶: بردارهای پشتیبان کلاسهای ۱ و ۲ بر روی ابر صفحه های حاشیه ای ۱۰
شکل ۲-۷: سیستم های خطی جدا ناپذیر با میزان خطای ξ ۱۱
شکل ۲-۸: انتقال فضای ورودی (سمت چپ) به فضای ویژگی (سمت راست) با تبدیل هیلبرت ۱۳
شکل ۲-۹: نواحی طبقه بندی نشده در روش کلاسه بندی یک کلاس در برابر همه ۱۶
شکل ۲-۱۰: ناحیه طبقه بندی نشده در کلاسه بندی دوتایی ۱۷
شکل ۳-۱: ساختار داخلی یک FPGA نوعی ۱۹
شکل ۳-۲: ساختار پایه یک طراحی دیجیتال در FPGA ۲۰
شکل ۳-۳: مقاسیه پیاده سازی یک فیلتر FIR بر روی دو سخت افزار: سمت راست:FPGA ، سمت چپ:DSP ۲۱
شکل ۳-۴: انعطاف پذیری FPGA در انتخاب بین سرعت و هزینه ۲۲
شکل ۳-۵: نمایش مکمل دو ممیز ثابت اعداد علامت دار با ۳ بیت صحیح و ۵ بیت اعشاری ۲۴
شکل ۳-۶: قطع کردن و روند کردن در نمایش ممیز ثابت ۲۵
شکل ۳-۷: نمایش ممیز شناور ۲۵
شکل ۳-۸: اضافه کردن اتوماتیک بافر در FPGA: سمت چپ: قبل از بافرکردن، سمت چپ: بعد از بافرکردن ۲۸
شکل ۳-۹: تکرار رجیسترها به طور اتوماتیک: سمت چپ: قبل از تکرار، سمت راست: بعد از تکرار ۲۸
شکل ۳-۱۰: تکنیک توازن رجیسترها: بالا: قبل از توازن، پایین: بعد از توازن ۲۹
شکل ۳-۱۱: تکنیک Pipelining: بالا: قبل، پایین: بعد از Pipelining ۲۹
شکل ۳-۱۲: تکنیک زمان چندگانه همراه با تکرار رجیسترها ۳۰
شکل ۳-۱۳: دورن بردار (۰و۱) به اندازه φ درجه ۳۱
شکل ۳-۱۴: دورن بردار (x,y) به اندازه Φ درجه ۳۲
شکل ۳-۱۵: چرخش بردار (x_{in},y_{in}) با استفاده از دورانهای کوچک و رسیدن به بردار (x_f,y_f) ۳۴
شکل ۴-۱: الگوریتم پیاده سازی کلاسه بند ماشین بردار پشتیبان خطی [۲۰] ۳۷
شکل ۴-۲: بلوک دیاگرام کلی سیستم تشخیص صوتی ارقام ۰ تا ۹ ..... ۳۹

شکل ۴-۳: بلوک دیاگرام کلی ساختار سخت افزاری کلاسه بند ماشین بردار پشتیبان ۴۱
شکل ۴-۴: بلوک دیاگرام کلی ساختار کلاسه بند ماشین بردار پشتیبان خطی برای آشکارسازی مرز نما در تصاویر ویدئویی[۲۶] ۴۴
شکل ۵-۱: الف)نمونه فرمهای ثبت نام نوع ۱، ب)نمونه فرمهای نوع ۲، ج و د) نمونه تصاویر باینری استخراج شده از ارقام دستنوشته مورد نظر [۲۷] ۴۶
شکل ۵-۲: مراحل استخراج ارقام دستنوشته، پیش پردازش و تشخیص آنها ۴۶
شکل ۵-۳: نمودار حاصل از تغییرات نرخ خطا در مقابل تغییر C در کلاسه بندی خطی ارقام فارسی ۷ بعدی ۴۹
شکل ۵-۴: نمودار حاصل از تغییرات نرخ خطا در مقابل تغییر C در کلاسه بندی خطی ارقام فارسی ۲۴ بعدی ۵۰
شکل ۵-۵: نمودار تغییرات نرخ خطا در مقابل تغییر گاما در یک بازه عددی محدود در کلاسه بندی غیرخطی ارقام فارسی ۷ بعدی ۵۲
شکل ۵-۶: نمودار تغییرات نرخ خطا در مقابل تغییر گاما در یک بازه عددی محدود در کلاسه بندی غیرخطی ارقام فارسی ۲۴ بعدی ۵۳
شکل ۵-۷: فرم ماتریسی کلی تابع تصمیم ماشین بردار پشتیبان خطی ۵۵
شکل ۵-۸: فرم ماتریسی تابع تصمیم ماشین بردار پشتیبان خطی در کلاسه بندی کلاسهای ۱ و ۲ ارقام فارسی ۷ بعدی ۵۶
شکل ۵-۹: نمودار تغییرات مقدار $\sum_{i=1}^{SV} \alpha_i y_i \mathrm{x}_i \mathrm{x}$ از مرحله ۱ تا SV ، در کلاسه بندی خطی کلاسهای ۱ و ۲ ارقام فارسی ۷ بعدی، در حالتی که بردارهای پشتیبان کلاسهای ۱ و ۲ پشت سر هم در ماتریس SV قرار گرفته اند. ۵۷
شکل ۵-۱۰: نمودار تغییرات مقدار $\sum_{i=1}^{SV} \alpha_i y_i \mathrm{x}_i \mathrm{x}$ از مرحله ۱ تا SV ، در کلاسه بندی خطی کلاسهای ۱ و ۲ ارقام فارسی ۷ بعدی، در حالتی که بردارهای پشتیبان کلاسهای ۱ و ۲ به صورت یک در میان در ماتریس SV قرار گرفته اند. ۵۸
شکل ۵-۱۱: طرح سخت افزاری ضرب بردار تست ورودی در ماتریس SV و بردار yα (رابطه $\alpha_i y_i \mathbf{x}_i \mathbf{x}$) ۵۹
شکل ۵-۱۲: مشخص شدن طولانی ترین مسیر سیستم طراحی شده پس از تجزیه و آنالیز زمان ۶۱
شکل ۵-۱۳: استفاده از تکنیک pipelining برای افزایش فرکانس کاری سیستم ۶۲
شکل ۵-۱۴: طراحی سخت افزاری تابع تصمیم کلاسه بند خطی برای تشخیص کلاسهای ۱ و ۲ ارقام فارسی ۶۴
شکل ۵-۱۵: سیگنالهای زمانی خروجی بلوکهای مختلف مربوط به ساختار شکل ۵-۱۴ از کلاک ۶۸تا۸۰ ..... ۶۵
شکل ۵-۱۶: سیگنالهای زمانی خروجی بلوکهای مختلف مربوط به ساختار شکل ۵-۱۴ از کلاک ۷۸تا۹۰ ..... ۶۷

شکل ۵-۱۷: سیگنالهای زمانی خروجی بلوکهای مختلف مربوط به ساختار شکل ۵-۱۴ از کلاک ۱۵۴تا۱۶۱..... ۶۷
شکل ۵-۱۸: تبدیل یک مجموعه از بلوکهای طرح سخت افزاری (شکل سمت چپ) به زیر سیستم معادل آن (شکل سمت راست) جهت فشرده کردن طرح گرافیکی..... ۶۹
شکل ۵-۱۹: ساختار تابع تصمیم کلاسه بند ماشین بردار پشتیبان خطی برای کلاسه بندی دوتایی ارقام فارسی ۷ بعدی ۷۰
شکل ۵-۲۰: طرح سخت افزاری برای مشخص کردن کلاس ۱ و ۲ ..... ۷۱
شکل ۵-۲۱: ساختار کلاسه بند ماشین بردار پشتیبان خطی بعد از اضافه کردن زیر سیستم های Classxx..... ۷۲
شکل ۵-۲۲: زیر سیستم Class1..... ۷۳
شکل ۵-۲۳: زیر سیستم Class2..... ۷۳
شکل ۵-۲۴: زیر سیستم Class3..... ۷۴
شکل ۵-۲۵: ساختار کلی طرح کلاسه بندی سه کلاس، بعد از اضافه شدن زیر سیستمهای Class x... ۷۵
شکل ۵-۲۶: اضافه شدن بلوکهای Addsub0 و Addsub1 برای یکسو کردن مسیرهای کلاسه بندیهای دوتایی..... ۷۶
شکل ۵-۲۷: ساختار نهایی کلاسه بند ماشین بردار پشتیبان خطی برای کلاسه بندی موازی ارقام فارسی ۱ ، ۴ و ۸ با بردارهای ویژگی ۷ بعدی ۷۷
شکل ۵-۲۸: ساختار کلاسه بند ماشین بردار پشتیبان خطی برای کلاسه بندی ارقام فارسی ۲۴ بعدی ۷۹
شکل ۵-۲۹: زیر سیستم X_Test*SVxx*YAlpha xx برای پیاده سازی ماشین بردار پشتیبان غیرخطی..... ۸۲
شکل ۷-۱: بلوک دیاگرام کلی ساختار کلاسه بند ماشین بردار پشتیبان برای کلاسه بندی بین ۳ کلاس ۹۲

فصل ۱– مقدمه

۱–۱– پیشگفتار

ماشین بردار پشتیبان (SVM)[1] در دهه ی نود میلادی توسط آقای وپنیک[۱] معرفی شد و تا کنون به دلیل قابلیت اعتماد، عمومیت و برتری کارآیی اش نسبت به دیگر الگوریتمهای کلاسه بند مانند شبکه های عصبی چند لایه، به طور گسترده ای در انواع کاربردهای کلاسه بندی مورد استفاده قرار گرفته است[۲] .

با توجه به اینکه طراحی ماشین بردار پشتیبان شامل یک پروسه بهینه سازی درجه دوم است، بنابراین محاسبات آن به خصوص در طول مرحله آموزش[2] بسیار پیچیده خواهد بود. علاوه بر این کاربردهای عملی چنین کلاسه بندی به دلیل فضا و توان محاسباتی زیادی که از مشخصه های مدل آموزشی به دست می آید، نیز محدود خواهد شد. واضح است که کاربردهای برخط[3] مفید ماشین بردار پشتیبان نیازمند پیاده سازی سخت افزاری مناسب برای فاز آموزش[4] و تست[5] می باشد، اما باتوجه به نوع کاربرد (به عنوان مثال کاربردهایی که در آن حافظه ضروری نیست) فاز آموزش ماشین بردار پشتیبان می تواند به صورت خارج خط[6] در یک کامپیوتر انجام شود و بنابراین در این گونه موارد منحصراً فاز تست کلاسه بند ماشین بردار پشتیبان بر روی سخت افزار پیاده سازی می شود. فاز تست ماشین بردار پشتیبان فقط شامل یک تابع تصمیم برای هدف کلاسه بندی است که بسیار سریع اجرا خواهد شد.

۱–۲– انگیزه

امروزه الگوریتمهای زیادی در مباحث پردازش صوت و تصویر، بینایی ماشین، داده کاوی[7] و تشخیص الگو[8] به صورت توسعه یافته بر روی نرم افزار اجرا می شود و هر روز نیز پیشرفت های جدیدی در توسعه آنها حاصل می گردد. بسیاری از این الگوریتمها هنگام پیاده سازی نرم افزاری به دلیل پیچیدگی های محاسباتی با نرخ فریم[9] پایینی اجرا می شوند، بنابراین برای پردازش سریع و بلادرنگ[10] نیاز به اجرای این الگوریتمها بر روی سخت افزار است. با این حال پیاده سازی این الگوریتمها بر روی سخت افزارهایی مانند میکروپروسسورها، پردازنده های DSP [11]و یا FPGA [12]ها همچنان چالش مهمی محسوب می شود.

---

[1] Support Vector Machine
[2] Training phase
[3] Online
[4] Training phase
[5] Testing phase
[6] Offline
[7] Data mining
[8] Pattern recognition
[9] Frame rate
[10] Real-time
[11] Digital Signal Processor
[12] Field Programmable Gate Array

پردازش سریع اطلاعات از زمان ظهور پردازش سیگنال دیجیتال[1] به عنوان یک چالش برای محققان محسوب می شود. در این زمینه محققان سعی کرده اند با ارائه سخت افزارها و الگوریتمهای مناسب و روشهای برنامه نویسی خاص گامی در جهت توسعه پردازش بلادرنگ بردارند. یکی از سخت افزارهایی که اخیراً در پردازش بلادرنگ سیگنالهای دیجیتال کاربرد عملی پیدا کرده و نتایج قابل قبول ارائه داده است، FPGA ها هستند. در این سخت افزار ها با ارائه الگوریتم های مناسب به روش پردازش موازی، سرعت پردازش سیگنال چندین برابر می شود.

از طرفی روش ماشین بردار پشتیبان یک روش مورد اعتماد و با کارآیی فوق العاده بالا در کلاسه بندی الگو است که در سالهای اخیر به طور وسیعی در مسایل کلاسه بندی و رگرسیون[2] خطی و غیرخطی نیز مورد استفاده قرار گرفته است و نتایج بسیار بهتری نسبت به روش های مشابه ارائه می دهد. از آنجا که ماشین بردار پشتیبان ذاتاً یک کلاسه بند باینری است، برای کلاسه بندی مسائلی با چند کلاس باید از چند کلاسه بند ماشین بردار پشتیبان استفاده کرد. بنابراین به نظر می رسد پیاده سازی همزمان چند کلاسه بند ماشین بردار پشتیبان به صورت موازی بر روی FPGA، کارآیی خوبی برای کاربردهای پردازش بلادرنگ داشته باشد.

این تحقیق با بیان محدودیت های موجود در طراحی، یک ساختار مناسب مبتنی بر ترکیب نرم افزار- سخت افزار برای پیاده سازی الگوریتم ماشین بردار پشتبان ارایه و شبیه سازی می کند، به طوری که صحت عملکرد کلاسه بند را در حد نرم افزار برآورده کند. برای واقعی کردن طراحی انجام شده، با بکارگیری داده های سیستم تشخیص ارقام دستنوشته فارسی، نتایج کلاسه بندی خطی و غیرخطی ماشین بردار پشتیبان بر روی ساختار سخت افزاری، با نتایج متناظر آن صرفاً بر روی نرم افزار مقایسه خواهد شد.

۱-۳-اهداف پایان نامه

در این پایان نامه از تکنیک ترکیبی نرم افزار- سخت افزار برای اجرای فاز تست الگوریتم ماشین بردار پشتیان استفاده شده است، بدین صورت که یک سیستم تشخیص الگوی واقعی انتخاب می گردد و داده های آن در محیط نرم افزاری MATLAB به صورت الگو های ورودی، وارد الگوریتم آموزش ماشین بردار پشتیبان می شود. پس از اجرای مرحله آموزش الگوریتم ماشین بردار پشتیان، مقادیر پارامترهایی به دست می آید که از آنها برای اجرای فاز تست الگوریتم ماشین بردار پشتیان استفاده می شود.

برای پیاده سازی سخت افزاری فاز تست ماشین بردار پشتیان بر روی FPGA ، از شبیه ساز System Generator استفاده می شود. روش کار در این مرحله بدین صورت است که مقادیر پارامترهای به دست آمده از مرحله آموزش با انتخاب تعداد بیت مناسب صحیح و اعشاری، به طوری که نویز کوانتیزاسیون[3] به حداقل برسد، از محیط نرم افزاری MATLAB خوانده شده و با استفاده از توابع و الگوریتمهای مناسب

[1] Digital Signal Processing
[2] Regression
[3] Quantization

در شبیه ساز System Generator، ساختار سخت افزاری فاز تست ماشین بردار پشتیان طراحی و اجرا می شود.

۱-۴-ساختار پایان نامه

پس از مقدمه، در فصل دوم این پایان نامه ماشین بردار پشتیبان معرفی می شود. روشهای SVM [۱] خطی و غیرخطی، به طور مفصل شرح داده خواهد شد و در بخش غیرخطی توابع کرنل معروف، معرفی خواهند شد. عملکرد ماشین بردار پشتیبان در کلاسه بندهای چند کلاسه نیز مورد بررسی قرار می گیرد.

در فصل سوم کاربرد FPGAها در پردازش سیگنال دیجیتال مرور می شود. در این فصل تکنیکهای بهینه سازی طرح های سخت افزاری بوسیله FPGA و الگوریتم مهم CORDIC [۲] برای پیاده سازی توابع مثلثاتی تشریح می شود.

فصل چهارم مطالعات و تحقیقات انجام شده در زمینه پیاده سازی ماشین بردار پشتیبان بر روی FPGA را مرور می کند.

در فصل پنجم ابتدا ماشین بردار پشتیبان در محیط نرم افزاری اجرا می شود و سپس ساختار طراحی شده برای پیاده سازی سخت افزاری فاز تست ماشین بردار پشتیبان خطی و غیرخطی با ابعاد بردارهای ویژگی متفات ارائه می شود.

فصل ششم نتایج شبیه سازی ساختار طراحی شده در فصل پنجم را برای تشخیص ارقام دستنوشته فارسی نشان می دهد و نتایج به دست آمده را با اجرای نرم افزاری ماشین بردار پشتیبان مقایسه می کند.

فصل هفتم به جمع بندی و نتیجه گیری از کار انجام شده، به همراه پیشنهاد برای ادامه کار و محدویت های موجود اختصاص دارد.

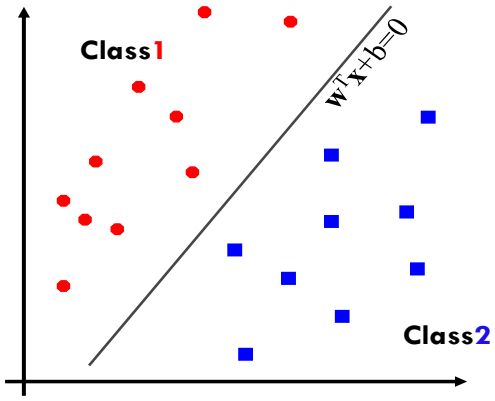
[1] Support Vector Machine
[2] COrdinate Rotation DIgital Computer

فصل ۲– ماشین بردار پشتیبان

ماشین بردار پشتیبان یک تکنیک کلاسه بندی و رگرسیون است که اولین بار در سال ۱۹۹۵ توسط وپنیک [1] و گروهش در آزمایشگاه AT&T Bell پیشنهاد شد و در حال حاضر در بسیاری از زمینه های پردازش صوت و تصویر کاربرد دارد و نتایج بسیار خوبی ارائه می دهد. این کلاسه بند در واقع یک کلاسه بند دیجیتال (دوتایی) است که توانایی کلاسه بندی نمونه های چند کلاس را نیز داراست، و برای حل مسائل خطی و غیرخطی به کار می رود. ویژگی اصلی ماشین بردار پشتیبان در یافتن ابر صفحه بهینه برای کلاسه بندی داده های دو کلاس می باشد.

۲–۱– ماشین بردار پشتیبان خطی

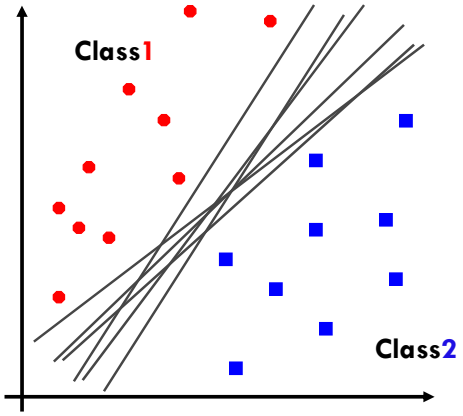
یک مسئله کلاسه بندی خطی برای جدا سازی داده های آموزشی دو کلاس در نظر بگیرید. فرض کنید $\mathbf{x}_i \quad , i = 1, 2, \ldots, N$ مجموعه بردارهای ویژگی مربوط به داده های آموزشی باشد که به صورت خطی از هم جداپذیرند و در دو کلاس ۱ و ۲ به صورت شکل ۲-۱ طبقه بندی شده اند.



شکل ۲-۱: داده های آموزشی در دو کلاس جدایی پذیر خطی

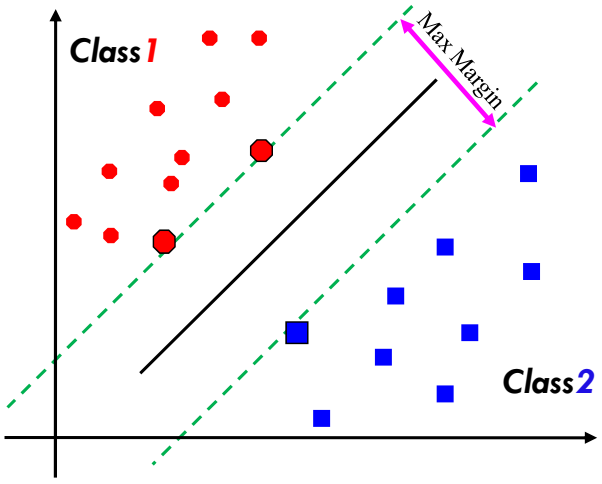
هدف بدست آوردن ابر صفحه[1] $g(\mathbf{x}) = \mathbf{w}^{\mathrm{T}}\mathbf{x} + b = 0$ به نحوی است که تمامی داده های آموزشی به طور صحیح کلاسه بندی شود. به صورت کلی این ابر صفحه یکتا نبوده و می توان مقادیر مختلفی برای $\mathbf{w}$ و b بدست آورد. شکل ۲-۲ چند نمونه از ابر صفحه هایی را که می توان به منظور کلاسه بندی صحیح خطی داده های دو کلاس در نظرگرفت، نشان می دهد.

[1] Hyperplane



شکل ۲-۲: ابر صفحه های مجزاساز

همه ابر صفحه های نشان داده شده در شکل ۲-۲ عمل جداسازی را به درستی انجام می دهند، اما تنها یک ابر صفحه وجود دارد که بیشترین فاصله نسبت به داده های هر دو کلاس دارد، که به آن ابرصفحه مجزاساز بهینه[1] گفته می شود و انتظار می رود بتواند مرز به دست آمده را به تمام محدوده های ممکن تعمیم دهد[۳]. ابر صفحه مجزاساز بهینه در شکل ۲-۳ مشاهده می شود. این ابر صفحه به دلیل اینکه بیشترین فضا تا نزدیک ترین داده از هر کلاس را در دو طرف خود ایجاد می کند، بهترین کلاسه بندی با کمترین میزان خطا را ارائه می دهد. بنابراین این نوع کلاسه بندی، در زمان اجرا بر روی نمونه های آزمایشی نتایج بهتری را از خود نشان می دهد. این نتیجه موضوعی مهم در طراحی کلاسه بند ها می باشد که آنرا قدرت تعمیم کلاسه بند می نامند.



شکل ۲-۳: ابر صفحه مجزاساز بهینه با حداکثر مقدار حاشیه.

[1] Optimal separating hyperplane