فهرست مطالب

فصل اول 11

مقدمه 11

1-1) مشخصات جریان-ولتاژ ترانزیستور اثر میدان *MOSFET* 12

1-1-1) مشخصات کانال ترانزیستور *MOSFET* 13

2-1) کاربردهای ادوات قدرت 17

3-1) انواع ترانزیستورهای قدرت 19

فصل دوم 23

بررسی ولتاژ شکست و مقاومت حالت روشن در افزاره های *LDMOS* 23

1-2) بررسی مشخصات ترانزیستور قدرت *LDMOS* 25

1-1-2) اثر خود گرمایی 26

2-2) ولتاژ شکست 27

1-2-2) کاهش میدان سطحی (*RESURF*) 27

2-2-2) مافوق پیوند 39

3-2) مقاومت ویژه حالت روشن ترانزیستور *LDMOS* 41

1-3-2) محاسبه‌ی مقاومت حالت روشن افزاره‌های *LDMOS* 42

4-2) معیار شایستگی (*FOM*) 47

5-2) ایجاد چاه اکسیدی در ناحیه رانشی در افزاره *LDMOS* 47

5-2) تاثیر چگالی ناخالصی ناحیه‌ی رانشی بر ولتاژ شکست 50

6-2) ایجاد پنجره‌های سیلیسیمی در لایه‌ی اکسید مدفون 53

1-6-2) مشخصات ساختار *DWP-SOI* 54

7-2) ساختار *LDMOS* با دو لایه‌ی انباشتگی 57

8-2) نتیجه‌گیری 59

فصل سوم 61

روش‌های نوین افزایش ولتاژ شکست و کاهش مقاومت حالت روشن افزاره *LDMOS* 61

1-3) وارد کردن یک لایه نوع P در چاه اکسیدی ناحیه‌ی رانشی به منظور افزایش ولتاژ شکست 64

1-1-3) ساختار افزاره *IPT-LDMOS* و نحوه‌ی شبیه سازی 65

2-1-3) نتایج و بحث بر روی ساختار *IPT-LDMOS* 66

2-3) ساختاری جدید در ترانزیستور *LDMOS* با تکنولوژی *SOI* جزئی (*PSOI*) 73

3-2-1) ساختار نوین ترانزیستور *LDMOS* با بارهای سطحی روی فصل مشترک لایه‌ی اکسید مدفون (*ICBO-PSOI*) 74
3-2-2) نتایج حاصله و بحث و بررسی ساختار *ICBO-PSOI* 75
3-3) معرفی ساختاری جدید از ترانزیستور *LDMOS* با عایقی *U* شکل 82
3-3-1) ساختار افزاره جدید *UOX-LDMOS* 82
3-3-2) نتایج و بحث بر روی ساختار *UOX-LDMOS* 83
3-4) نتیجه‌گیری 90
فصل چهارم 91
مدلسازی نوین ولتاژ شکست در ترانزیستور *RESURF* 91
4-1) مدلسازی ساختار *IC-RESURF* 93
4-1-1) مدلسازی میدان الکتریکی سطحی 95
4-1-2) مدلسازی ولتاژ شکست 97
4-2) نتایج حاصل از شبیه سازی و بحث و بررسی نتایج 98
4-3) نتیجه‌گیری 102
فصل پنجم 103
تکنیکی جدید برای کنترل اثرات نامطلوب ترانزیستور دوقطبی پارازیتی در افزاره *LDMOS* 103.
5-1) ساختار ترانزیستور *SW-SOI* 107
5-2) نتایج بدست آمده و بحث و بررسی ساختار *SW-SOI* 110
5-2-1) بررسی ترانزیستور اثر پیوند دو قطبی (*BJT*) پارازیتی 110
5-2-2) مشخصات الکتریکی ساختار *SW-SOI* 116
5-3) بررسی اثر خودگرمایی در افزاره *SW-SOI* 116
5-4) نتیجه‌گیری 119
فصل ششم 121
ترانزیستور قدرت با تکنولوژی چاه گیت و روشی نوین برای بهبود پارامترهای الکتریکی 121
6-1) بررسی ساختاری جدید از ترانزیستور اثر میدان با چاه گیت 124
6-1-1) ساختار افزاره *SZ-TG* 125
6-2) نتایج بدست آمده از شبیه‌سازی *SZ-TG* 129
6-2-1) ملاحظات در نظر گرفته شده در طراحی *SZ-TG* 133
نتیجه‌گیری و پیشنهادات 137

مراجع 142
واژه نامه (انگلیسی-فارسی) 150
واژه نامه (فارسی-انگلیسی) 153
لیست مقالات مستخرج از رساله‌ی دکتری 156

فهرست جدول‌ها

جدول (3-1)- پارامترهای مورد استفاده در شبیه‌سازی ساختارهای *IPT-LDMOS* و *C-LDMOS* 66
جدول (3-2)- مقایسه‌ی ولتاژ شکست ساختار *IPT-LDMOS* با سایر ساختارها 71
جدول (3-3)- پارامترهای مورد استفاده در شبیه‌سازی ساختار *ICBO-PSOI* 75
جدول (3-4)- مقایسه‌ی ولتاژ شکست و مقاومت حالت روشن برای ساختارهای مختلف ترانزیستور *LDMOS* 81
جدول (4-1)- پارامترهای مورد استفاده برای آنالیز ساختار *IC-RESURF* 94
جدول (5-1)- مقادیر پارامترهای بکار گرفته شده در شبیه‌سازی افزاره *SW-SOI* 108
جدول (5-2)- نحوه‌ی تغییرات مقادیر ولتاژ شکست بر حسب درصد مول ژرمانیوم در پنجره‌ی *SiGe* 115
جدول (6-1)- پارامترهای ساختار *SZ-TG* که در شبیه سازی استفاده شده است 126
جدول (6-2)- پارامترهای الکتریکی ساختار *SZ-TG* بدست آمده از شبیه ساز *ATLAS* 133

فهرست شکل‌ها

شکل (1-1)- مشخصه جریان-ولتاژ ترانزیستور *MOSFET* [4]..... 12

شکل(1-2)- کانال ترانزیستور *MOSFET*: الف) $V_D \leq V_G - V_T$ ب) $V_D = V_G - V_T$ ج) $V_D \geq V_G - V_T$ [4]..... 13

شکل (1-3)- محدوده‌ی کاربردهای ادوات قدرت..... 17

شکل (1-4)- نمایی از ترانزیستور *MOSFET*..... 19

شکل (1-5)- ساختار ترانزیستور *DMOS* افقی..... 19

شکل (1-6)- الف) ترانزیستور *D-MOS* عمودی، ب) ترانزیستور *U-MOS*..... 19

شکل (2-1)- نمایی از ترانزیستور *LDMOS* که در تکنولوژی *SOI* شکل گرفته است..... 26

شکل (2-2)- ساختار *RESURF* تحت بررسی..... 29

شکل (2-3)- ساختار *RESURF* در تکنولوژی *SOI* [45]..... 29

شکل (2-4)- خطوط هم‌تراز پتانسیل در ولتاژ بایاس معکوس ساختار *SOI-RESURF* [45]..... 33

شکل (2-5)- ولتاژ شکست بر حسب ضخامت لایه‌ی *SOI* [45]..... 39

شکل (2-6)- ساختار دیود در روش مافوق پیوند [53]..... 40

شکل (2-7)- توزیع پتانسیل در دیودی که با روش مافوق پیوند شکل گرفته است [53]..... 41

شکل(2-8)- نمایی از ترانزیستور *LDMOS* تحت بررسی و مقاومت‌های معادل هر بخش [58]..... 43

شکل (2-9)- ساختار ترانزیستور *LDMOS* با چاه اکسیدی در ناحیه‌ی رانشی [64]..... 48

شکل (2-10)- مشخصه‌ی جریان-ولتاژ ترانزیستور *LDMOS* با چاه اکسیدی در ناحیه‌ی رانشی [64]..... 49

شکل (2-11)- مقایسه‌ی ولتاژ شکست ترانزیستور *LDMOS* متداول با ساختار چاه اکسیدی در ناحیه‌ی رانشی [64]..... 49

شکل (2-12)- ولتاژ شکست 440 ولت در ترانزیستور *LDMOS* با چاه اکسیدی در ناحیه‌ی رانشی [64]..... 50

شکل (2-13)- تغییرات میدان الکتریکی ترانزیستور *LDMOS* بر حسب چگالی ناخالصی ناحیه‌ی رانشی [60]..... 51

شکل (2-14)- ولتاژ شکست ترانزیستور *LDMOS* بر حسب چگالی ناخالصی ناحیه رانشی [60]..... 52
شکل (2-15)- ساختار ترانزیستور *LDMOS* دو پنجره‌ای [13]..... 54
شکل (2-16)- توزیع میدان الکتریکی در هر سه ساختار الف) در طول خط برش *DD'* ب) در طول خط برش *EE'* [13]..... 55
شکل (2-17)- توزیع میدان الکتریکی در ساختار *DWP-SOI* [13]..... 56
شکل (2-18)- مشخصه‌ی خروجی سه ساختار *DWP-SOI*، *CF-SOI* و *C-SOI* [13]..... 56
شکل (2-19)- سطح مقطعی از ساختار *DCAL-PSOI* [10]..... 57
شکل (2-20)- میدان الکتریکی سطحی برای سه ساختار *DCAL-PSOI*، *C-PSOI* و *C-SOI* [10]..... 58
شکل (2-21)- تغییرات مقاومت روشن بر حسب تزریق ناحیه رانشی [10]..... 59
شکل (3-1)- نمایی از ترانزیستور *IPT-LDMOS*..... 65
شکل (3-2)- توزیع چگالی الکترون‌ها در ناحیه رانشی (الف) ساختار *IPT-LDMOS* (ب) ساختار *C-LDMOS*..... 67
شکل (3-3)- مقایسه منحنی میدان الکتریکی افقی در طول خط برش *AA'* برای دو ساختار مورد بررسی..... 68
شکل (3-4)- تغییرات ولتاژ شکست بر حسب طول ناحیه رانشی برای ساختارهای *IPT-LDMOS* و *C-LDMOS*..... 69
شکل (3-5)- ولتاژ شکست دو ترانزیستور مورد بررسی بر حسب تابعی از میزان چگالی ناخالصی ناحیه‌ی رانشی..... 70
شکل (3-6)- مقایسه ولتاژ شکست بر حسب ضخامت لایه‌ی سیلیسیمی برای *IPT-LDMOS* و *C-LDMOS*..... 71
شکل (3-7)- مقاومت ویژه حالت روشن بر حسب ضخامت لایه‌ی سیلیسیم برای ساختارجدید و ساختار متداول..... 71
شکل (3-8)- ولتاژ شکست ساختار *IPT-LDMOS* برای نسبت D_T/D_P های مختلف..... 72
شکل (3-9)- مقاومت ویژه حالت روشن بر حسب تابعی از طول لایه‌ی نوع P برای طول‌های چاه اکسیدی متفاوت..... 73

شکل (3-10)- نمایی از ساختار *ICBO-PSOI* مورد شبیه‌سازی با نرم افزار *ATLAS*..... 74
شکل (3-11)- میدان الکتریکی ساختارهای *ICBO-PSOI* و *C-PSOI* در طول خط برش *AA'*..... 77
شکل (3-12)- میدان الکتریکی عمودی در راستای مسیر عمودی، ولتاژ اعمال شده به درین و سورس برابر با ولتاژ شکست هر ساختار می‌باشد..... 78
شکل (3-13)-وابستگی ولتاژ شکست به طول ناحیه‌ی رانشی برای ساختارهای *ICBO-PSOI* و *C-PSOI*..... 78
شکل (3-14)- ولتاژ شکست بر حسب چگالی ناخالصی ناحیه‌ی رانشی برای چگالی بارهای تزریق شده در ساختار *ICBO-PSOI*..... 79
شکل (3-15)- چگالی جریان برای ساختارهای *ICBO-PSOI* و *C-PSOI* در طول خط برش *BB'*..... 80
شکل (3-16)-مقاومت حالت روشن بر حسب چگالی بارهای تزریق شده به فصل مشترک لایه‌ی اکسید مدفون برای ساختار *ICBO-PSOI*..... 81
شکل (3-17)- مقایسه‌ی خاصیت کلیدزنی ساختارهای *ICBO-PSOI* و *C-PSOI*..... 81
شکل (3-18)- نمایی از ساختار ترانزیستور *UOX-LDMOS*..... 83
شکل (3-19)- ناحیه‌ی تخلیه تشکیل شده در دو طرف اکسید بین سورس و گیت *UOX-LDMOS*..... 85
شکل (3-20)- مقایسه‌ی میدان‌های الکتریکی افقی ساختارهای *UOX-LDMOS* و *C-PSOI*..... 85
شکل (3-21)- میزان گستردگی خطوط میدان الکتریکی ترانزیستور *UOX-LDMOS*..... 85
شکل (3-22)- تغییرات ولتاژ شکست بر حسب طول ناحیه‌ی رانشی ترانزیستورهای *UOX-LDMOS* و *C-PSOI*..... 86
شکل (3-23)- مقایسه‌ی ولتاژ شکست ساختار جدید با ساختار متداول بر حسب ضخامت لایه‌ی سیلیسیم..... 87
شکل (3-24)- میدان الکتریکی عمودی ساختار *UOX-LDMOS* در راستای افقی برای $L_{ox\text{-}gs}$های متفاوت..... 88
شکل (3-25)- میدان الکتریکی عمودی ساختار *UOX-LDMOS* در راستای عمودی برای ضخامت‌های مختلف لایه‌ی اکسید مدفون..... 88
شکل (3-26)- وابستگی (الف) ولتاژ شکست (ب) مقاومت ویژه حالت روشن به $t_{ox\text{-}gs}$ در ترانزیستور *UOX-LDMOS*..... 89
شکل (3-27)- مقایسه‌ی مشخصه‌ی خروجی *SOI-LDMOS* شبیه‌سازی شده با نتایج آزمایشگاهی مرجع [95]..... 90

شکل (4-1)- نمایی از ساختار *IC-RESURF* تحت بررسی..... 94
شکل (4-2)- اثرتغییرات N_d بر روی میدان الکتریکی برای ساختار *IC-RESURF*..... 99
شکل (4-3)- پتانسیل سطحی در طول سطح سیلیسیم برای چگالی‌های ناخالصی متفاوت در ناحیه‌ی رانشی..... 99
شکل (4-4)- نحوه‌ی تغییرات بارهای تزریق شده در فصل مشترک لایه‌ی اکسید مدفون بر روی میدان الکتریکی سطحی..... 100
شکل (4-5)- اثر تغییرات ضخامت اکسید میدان بر روی میدان الکتریکی سطحی ساختار *IC-RESURF*..... 101
شکل (4-6)- مقایسه‌ی نتایج مدلسازی با نتایج شبیه‌سازی شده پتانسیل سطحی برای مقادیر مختلف ضخامت اکسید مدفون..... 101
شکل (4-7)- ماکزیمم ولتاژ شکست شبیه‌سازی شده *IC-RESURF* با نتایج مدلسازی مقایسه شده است..... 102
شکل (5-1)- نمایی از ساختار *SW-SOI* تحت بررسی در این مطالعه..... 107
شکل (5-2)- پروسه‌ی پیشنهادی برای ساخت افزاره *SW-SOI*..... 109
شکل (5-3)- ترانزیستور پارازیتی دوقطبی ایجاد شده در ترانزیستور *SOI*..... 110
شکل (5-4)- مقایسه‌ی چگالی حفره‌ها در افزاره‌های *SW-SOI* و *C-SOI*..... 111
شکل (5-5)- دیاگرام باند انرژی بین سیلیسیم و سیلیسیم-ژرمانیوم..... 111
شکل (5-6)- منحنی جریان درین برای ولتاژ رفت و برگشت گیت، الف) ساختار *C-SOI* ب) ساختار *BC-SOI* و ج) ساختار *SW-SOI*..... 113
شکل (5-7)- مقایسه‌ی مشخصه‌ی خروجی ساختارهای *SW-SOI* و *C-SOI*..... 114
شکل (5-8)- ولتاژ شکست ساختار *SW-SOI* بر حسب عمق پنجره‌ی *SiGe* برای دو طول مختلف ناحیه‌ی رانشی..... 115
شکل (5-9)- میدان الکتریکی افقی در طول محور افقی ساختارهای *SW-SOI* و *C-SOI*..... 116
شکل (5-10)- مقایسه‌ی دمای افزاره‌های *SW-SOI* و *C-SOI* در ولتاژ درین 50 ولت..... 118
شکل (5-11)- وابستگی خازن گیت-درین به دما برای دو افزاره *SW-SOI* و *C-SOI*..... 118
شکل (6-1)- نمایی از ساختار ترانزیستور *U-MOS* که دارای چاه گیت می‌باشد..... 124
شکل (6-2)- نمایی از ساختار *SZ-TG* تحت بررسی..... 126
شکل (6-3)- مقایسه نتایج آزمایشگاهی بدست آمده در مرجع [113] با شبیه سازی انجام شده با نرم افزار *ATLAS*..... 127
شکل (6-4)- مراحل پروسه ساخت پیشنهادی ساختار *SZ-TG*..... 128
شکل (6-5)- میدان الکتریکی ساختارهای *SZ-TG* و *C-TG* در راستای عمودی..... 130
شکل (6-6)- مقایسه‌ی مشخصه‌های خروجی ساختارهای *SZ-TG* و *C-TG*..... 130

شکل (6-7)- ساختار ناهمگون بکار گرفته شده بین ناحیه‌ی *N-SiGe* و ناحیه‌ی سیلیسیمی نوع *P*..... 131
شکل (6-8)- جریان درین بر حسب ولتاژ گیت (الف)؛ ساختار *C-TG* (ب) ساختار *SZ-TG*..... 132
شکل (6-9)- مقاومت حالت روشن بر حسب ولتاژ گیت برای دو ساختار *C-TG* و *SZ-TG*..... 132
شکل (6-10)- مقاومت حالت روشن ساختار *SZ-TG* بر حسب ضخامت ناحیه‌ی *SiGe*..... 134
شکل (6-11)-ولتاژ شکست بر حسب طول ناحیه‌ی *SiGe* ساختار *SZ-TG* برای L_Sهای مختلف..... 134

فصل اول

مقدمه

کارایی ادوات نیمه هادی در مصارف مختلف، به چگونگی ساختار آن‌ها و پارامترهای مختلف الکتریکی وابسته است. در میان افزاره‌های مختلف نیمه هادی، ترانزیستورهای اثر میدان توجه صنعت الکترونیک را به خود جلب کرده است. کارایی بالای این افزاره‌ها، موارد استفاده آن‌ها را از نانوتکنولوژی تا ترانزیستورهای قدرت گسترش داده است [1-3]. در افزاره‌های قدرت، پارامترهایی از قبیل ولتاژ شکست، مقاومت حالت روشن[1]، سرعت کلیدزنی[2] و فرکانس کاری، از ویژگی‌های مهم‌تر می‌باشند. بنابراین، برای بهبود کارایی این دسته از افزاره‌ها می‌بایست ضمن بررسی عملکرد دقیق هر ساختار، روش‌های نوینی را ارائه و مورد ارزیابی قرار داد.

در این فصل به بررسی مشخصه‌ی ترانزیستور اثر میدان پرداخته می‌شود تا با درک مفهوم کلی و نحوه‌ی سازوکار این ترانزیستورها، بتوان ترانزیستورهای قدرت را مورد ارزیابی قرار داد. در ادامه‌ی این فصل نیز به کاربردهای افزاره‌های قدرت و انواع آن‌ها اشاره شده است.

1-1) مشخصات جریان-ولتاژ ترانزیستور اثر میدان *MOSFET*

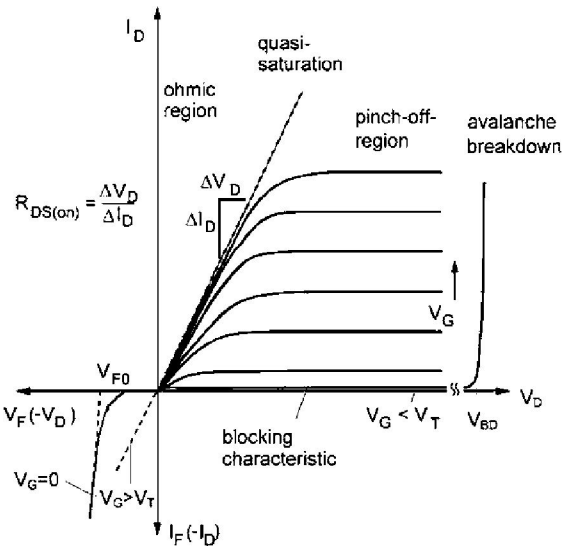
مشخصه‌ی جریان- ولتاژ ترانزیستور *MOS* در شکل (1-1) نشان داده شده است. چنانچه ولتاژ مثبت V_D بین درین و سورس و ولتاژ V_G کمتر از ولتاژ آستانه به گیت اعمال شود، افزاره در حالت انسداد[3] قرار می‌گیرد. این ولتاژ انسداد *MOSFET* با شکست بهمنی[4] محدود می‌شود. با توجه به شکل (1-1)، در ولتاژهای V_D پایین، مشخصه‌ی جریان-ولتاژ شبیه یک خط راست می‌باشد که به این قسمت، ناحیه‌ی اهمی ترانزیستور می‌گویند.

با توجه به شیب خط راست و برای یک ولتاژ گیت معیّن V_G، مقاومت حالت روشن بدست می‌آید. همچنین در این مشخصه، گذر بین ناحیه اهمی و ناحیه سوراخ شدگی[5]، شبه اشباع[6] نامیده می‌شود.

---

[1] on-resistance
[2] switching
[3] blocking
[4] avalanche
[5] pinch off
[6] quasi saturation

همان‌طور که در شکل مشاهده می‌شود، این ناحیه به صورت سهمی‌وار است.



شکل (1-1)- مشخصه جریان-ولتاژ ترانزیستور *MOSFET* [4].

1-1-1) مشخصات کانال ترانزیستور *MOSFET*

برای بررسی مشخصات ناحیه‌ی کانال، به گیت ترانزیستور ولتاژی بیشتر از ولتاژ آستانه اعمال می‌شود تا کانال در آستانه‌ی وارونگی[1] قرار گیرد. این شرایط در شکل (1-2) نشان داده شده است. بار کانال در حالت وارونگی از رابطه‌ی زیر بدست می‌آید:

$$Q_s = C_{ox}.(V_G - V_T) \qquad (1\text{-}1)$$

که در این رابطه، C_{ox} خازن مربوط به اکسید گیت است و V_T ولتاژ آستانه ترانزیستور می‌باشد. باید توجه شود که حامل‌ها در برقراری جریان در کانال وارونه، نقشی اساسی دارند. با بررسی مقاومت ناحیه‌ی کانال می‌توان رابطه‌ای را برای جریان بدست آورد. مقاومت ناحیه‌ی کانال در حالت وارونگی از رابطه زیر بدست می‌آید [4]:

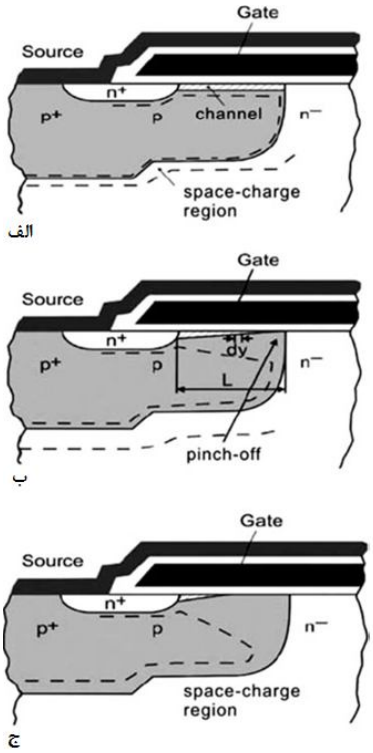
[1] inversion

$$R_{ch} = \frac{L}{W.\mu_n.Q_s} = \frac{L}{W.\mu_n.C_{ox}.(V_G - V_T)} = \frac{1}{\kappa.(V_G - V_T)} \qquad (2\text{-}1)$$

که در آن، L طول ناحیه کانال ترانزیستور می‌باشد و W، پهنای آن است. پارامترهایی که به هندسه افزاره مربوط می‌شود را می‌توان به صورت:

$$\kappa = \frac{W.\mu_n.C_{ox}}{L} \qquad (3\text{-}1)$$

نشان داد.



شکل (2-1)- کانال ترانزیستور *MOSFET*: الف) $V_D \leq V_G - V_T$ ب) $V_D = V_G - V_T$ ج) $V_D \geq V_G - V_T$ [4].

با افزایش جریان، افت ولتاژ $V(y)$ در طول کانال توسعه می‌یابد. در این شرایط، کانال ترانزیستور نازک‌تر می‌شود. همچنین، در طول کانال (y)، بار $Q(y)$ وجود دارد. با در نظر گرفتن بار $Q(y)$ در کانال ترانزیستور می‌توان مقاومت کانال را در راستای y بدست آورد. چنانچه یک جزء دیفرانسیلی dR از مقاومت کانال ترانزیستور را در نظر بگیریم، با توجه به معادله (2-1) می‌توان نوشت:

$$dR = \frac{dy}{W.\mu_n.Q(y)} \qquad (4\text{-}1)$$

که در این رابطه، $Q(y)$ برابر است با:

$$Q(y) = C_{ox}.(V_G - V_T - V(y)) \qquad (5\text{-}1)$$

در جزء دیفرانسیلی dR، افت ولتاژ از رابطه‌ی زیر بدست می‌آید:

$$dV = I_D.dR \qquad (6\text{-}1)$$

با جایگذاری معادلات (4-1) و (5-1) در معادله‌ی (6-1)، جریان به صورت رابطه‌ی زیر می‌شود:

$$I_D = W.\mu_n.C_{ox}.(V_G - V_T - V(y)).\frac{dV}{dy} \qquad (7\text{-}1)$$

که در آن، ولتاژ V_D بین مرزهای y=0 و y=L از رابطه:

$$\int_0^L I_D.dy = W.\mu_n.C_{ox}.\int_0^{V_D}(V_G - V_T - V(y)).dV \qquad (8\text{-}1)$$

بدست می‌آید.

با انتگرال‌گیری از رابطه‌ی (1-8)، مشخصه‌ی جریان درین بر حسب ولتاژ گیت برای محدوده‌ی V_D<V_G-V_T بدست می‌آید:

$$I_D = \kappa.((V_G - V_T).V_D - \frac{1}{2}V_D^2 \qquad (9\text{-}1)$$

این مشخصه، مربوط به قسمت سهمی وار (شبه اشباع) شکل (1-1) است. برای ولتاژهای درین پایین، جریان درین را می‌توان به صورت زیر تقریب زد:

$$I_D = \kappa.(V_G - V_T).V_D \qquad (10\text{-}1)$$

این رابطه برای ناحیه اهمی معتبر است. گذر از ناحیه‌ی سوراخ شدگی، با مشتق گیری از رابطه‌ی (9-1) بدست می‌آید ($dI_D/dV_D = 0$)، بعد از آن کانال، برای ولتاژ:

$$V_D = V_G - V_T \qquad (11\text{-}1)$$

در حالت سوراخ شدگی قرار می‌گیرد.

برای ولتاژهای درین بالا، با وارد کردن معادله‌ی (1-11) در معادله‌ی (1-9)، مشخصات ترانزیستور در ناحیه سوراخ‌شدگی بدست می‌آید. در این ناحیه، جریان حتی برای ولتاژهای درین بالا تقریباً ثابت باقی می‌ماند:

$$I_{Dsat} = \frac{\kappa}{2}(V_G - V_T)^2 \qquad (1\text{-}12)$$

با توجه به رابطه‌ی (1-12)، جریان I_{Dsat} مستقل از V_D است. علّت فیزیکی این پدیده، نفوذ میدان الکتریکی به داخل ناحیه‌ی P می‌باشد. بنابراین، وقتی‌که ولتاژ درین به‌طور موثری افزایش یابد، طول کانال کوتاه‌تر می‌گردد[1]. کوتاه شدن طول کانال موجب افزایش جریان در ولتاژهای بالا می‌شود.

چنانچه رابطه‌ی (1-9) با مشخصات افزاره‌های قدرت واقعی مقایسه شود، می‌توان دریافت که این رابطه نمی‌تواند رفتار واقعی افزاره‌های قدرت را توصیف کند [5]. در این رابطه، ناحیه‌ی تخلیه‌ی ایجاد شده در زیر ناحیه کانال منظور نشده است. بنابراین چنانچه بار فضا[2] در مشخصه‌ی جریان-ولتاژ لحاظ شود، رابطه‌ی زیر بدست می‌آید:

$$I_D = \kappa.\left((V_G - V_T).V_D - \frac{1}{2}\left[1 + \frac{C_D}{C_{ox}}\right]V_D^2 \right) \qquad (1\text{-}13)$$

که در این رابطه، C_D از رابطه‌ی زیر بدست می‌آید:

$$C_D = \sqrt{\frac{\varepsilon_0.\varepsilon_r.q.N_A}{2\Delta V_T}} \qquad (1\text{-}14)$$

همچنین ΔV_T ولتاژ مورد نیاز برای گسترش ناحیه‌ی بار فضا به سمت ناحیه‌ی P و با میزان تزریق N_A می‌باشد که به صورت زیر بیان می‌گردد :

$$\Delta V_T = 2\frac{kT}{q}.\ln\left(\frac{N_A}{n_i}\right) \qquad (1\text{-}15)$$

[1] shorten
[2] space charge

لازم به ذکر است که مقدار ΔV_T تقریباً برابر با 0/81 ولت است. بنابراین می‌توان جریان درین را با در نظر گرفتن بارفضا بدست آورد تا روابط بدست آمده به مشخصات افزاره‌های قدرت واقعی نزدیک‌تر باشند.

بنابراین با محاسبه‌ی مشخصه‌ی جریان –ولتاژ، می‌توان رفتار ترانزیستور را مورد ارزیابی قرار داد. با توجه به این که این رساله به بررسی ترانزیستورهای قدرت اثر میدان می‌پردازد، می‌بایست با توجه به کاربردهای افزاره‌های قدرت، تغییراتی را در ساختار ترانزیستورهای اثر میدان ایجاد کرد تا بتوان مشخصه‌ی مطلوب را بدست آورد. در ادامه‌ی فصل به این موضوع پرداخته شده است.

1-2) کاربردهای ادوات قدرت

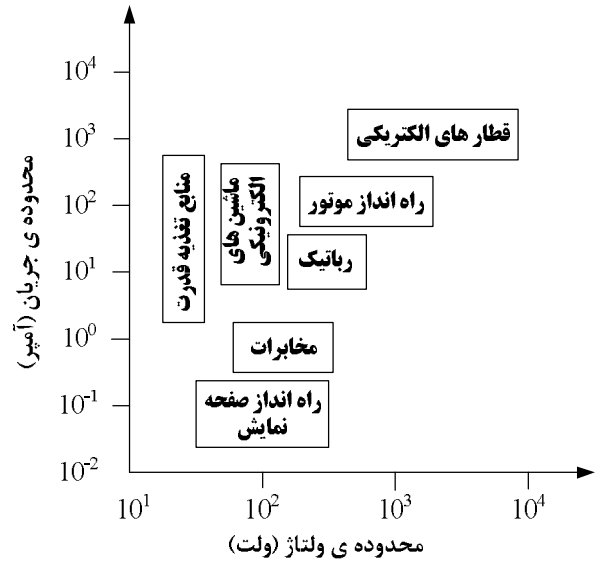
ادوات قدرت با توجه به کاربردهایشان در طیف گسترده‌ای از سطوح مختلف قدرت مورد استفاده قرار می‌گیرند. با توجه به شکل (1-3)، کاربردهای ادوات قدرت در چند گروه تقسیم‌بندی می‌شوند. اولین گروه، کاربردهایی است که افزاره نیاز به جریان کم دارد (عموماً کمتر از یک آمپر). این کاربردها، مانند راه‌اندازهای نمایشگرها، معمولاً نیاز به تعداد بسیار زیادی ترانزیستور دارند که می‌بایست قابلیت ولتاژ شکست حدود 300 ولت را داشته باشند. ابعاد کوچک ترانزیستورهای با جریان پایین، این اجازه را می‌دهد تا آن ها را در یک تراشه[1] مجتمع سازی کنیم.

دومین گروه، شامل کاربردهایی است که حوزه‌ی عملکرد ولتاژ آن‌ها در مدارهای قدرت، نسبتاً کم است (کمتر از 100 ولت). خودروهای الکترونیکی و منابع قدرت مورد استفاده در صفحه‌نمایش کامپیوترها و لپ‌تاپ‌ها، نمونه‌هایی از این گروه هستند. لازم به ذکر است، ساختارهای ترانزیستورهای اثر میدان قدرت سیلیسیمی به نحوی است که کارایی قابل توجه‌ای در این راستا دارند، زیرا مقاومت حالت روشن پایین و سرعت کلیدزنی بالایی را از خود نشان می‌دهند.

[1] chip

سومین گروه، کاربردهای افزاره‌ها در مدارات با ولتاژ بالا (بالای 200 ولت) می‌باشد. از نمونه‌های این بخش می‌توان به موتورهای لوازم خانگی و همچنین راه‌اندازهای وسایل الکتریکی اشاره کرد. از آنجا که مقاومت حالت روشن ترانزیستورهای اثرمیدان قدرت سیلیسیمی متداول بسیار بزرگ است، لذا نمی‌توان از آن‌ها در کاربردهایی که در بالا بیان شد استفاده کرد. در نتیجه می‌بایست از ترانزیستورهای دوقطبی با گیت جدا شده[1] (*IGBT*) استفاده کرد [6]. ترانزیستورهای *IGBT* ترکیبی از ساختار فیزیکی ترانزیستورهای اثرمیدان و ترانزیستورهای دوقطبی می‌باشند [7].

امروزه، بیشتر ترانزیستورهای قدرت در تکنولوژی سیلیسیم روی عایق (*SOI*) شکل می‌گیرند [8-17]. چنانچه این ترانزیستورها در بستری از سیلیسیم شکل گیرند، اثرات نامطلوبی را از خود برجای می‌گذارند، که می‌توان ایجاد ترانزیستور دو قطبی پارازیتی و افزایش خازن بین کانال و زیرلایه و غیره را نام برد [18-20]. بنابراین برای کنترل این معایب، تکنولوژی *SOI* معرفی شده که در آن، لایه‌ای از اکسید مدفون در زیر ناحیه‌ی فعال ترانزیستور قرار گرفته است [21-29]. ساختارهای متعددی در تکنولوژی *SOI* ارائه شده که به بهبود مشخصات ترانزیستورها منجر گردیده است. در فصل‌های آینده به تعدادی از این ساختارها پرداخته می‌شود.



شکل (1-3)- محدوده‌ی کاربردهای ادوات قدرت.

[1] Isolated Gate Bipolar Transistor (IGBT)

3-1) انواع ترانزیستورهای قدرت

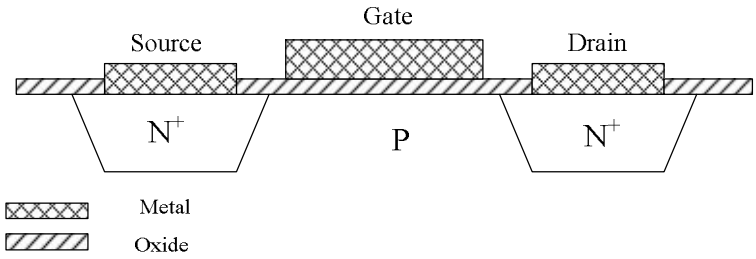
نمای کلی ترانزیستور *MOSFET* در شکل (1-4) نشان داده شده است. این ساختار، ولتاژ درین-سورس کوچکی را می‌تواند تحمّل کند. بنابراین، برای کاربردهای قدرت می‌بایست این ساختار را اصلاح نمود. در شکل (1-5)، ساختاری را با نام ترانزیستور اثر میدان نفوذی (*DMOS*)[1] مشاهده می‌کنید که برای ولتاژهای 10 ولت و بالاتر کارایی دارد [30-32]. در این ترانزیستور در مقابل درین ترانزیستور، ناحیه‌ای از نیمه هادی نوع n^- ایجاد شده است که موجب انسداد ولتاژ می‌گردد. ترانزیستورهای *DMOS* افقی (*LDMOS*) در مدارات مجتمع قدرت مورد استفاده قرار می‌گیرند [33]. امّا این افزاره‌ها دارای مشکلاتی از قبیل ظرفیت پایین جریان‌دهی می‌باشند، زیرا ناحیه n^- قسمت بزرگی از مساحت نیمه هادی را در برگرفته است.

در سال 1985، ترانزیستور *DMOS* که به صورت عمودی شکل گرفته بود، ارائه شد [34]. از میان تمامی ساختارهای موجود ترانزیستورهای قدرت، ساختار *D-MOSFET* اولین ترانزیستور قدرتی بود که به صورت تجاری مورد استفاده قرار گرفت. ساختار ترانزیستور *D-MOS* عمودی نوع n همان‌طور که در شکل (1-6) الف نشان داده شده است، با استفاده از اختلاف در گسترش افقی پیوندها در زیر الکترود گیت ایجاد می‌شود. این افزاره‌ها، ولتاژ مثبتی که به درین ترانزیستور اعمال می‌شود را متحمّل می‌شوند. همچنین، مقدار ولتاژ اعمال شده با میزان چگالی ناخالصی و ضخامت ناحیه‌ی رانشی نوع n، ارتباط دارد. لازم به ذکر است که ترانزیستورهای اثر میدانی که در کاربردهای قدرت با ولتاژ پایین به کار گرفته می‌شوند، مقاومت حالت روشن کوچکی دارند و مقاومت ناحیه‌ی رانشی سریعاً با افزایش ولتاژ انسداد زیاد می‌شود. این شرایط موجب کاهش کارایی ترانزیستور *D-MOSFET* به ولتاژهای کمتر از 200 ولت می‌شود.

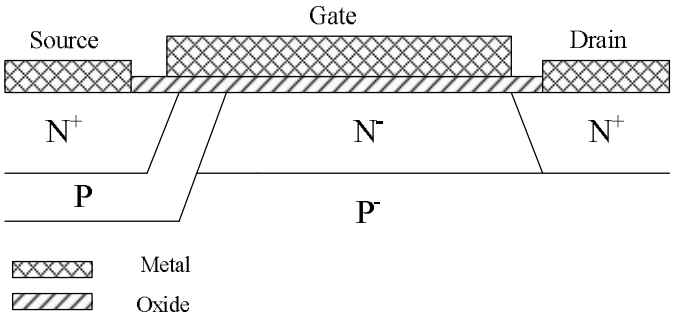
ساختار دیگری که در کاربردهای قدرت استفاده می‌شود، ترانزیستور *U-MOSFET* است که به صورت تجاری در سال 1990 عرضه شد. همان‌طور که در شکل (1-6) ب مشاهده می‌شود، ساختار

[1] double diffused MOS (DMOS)

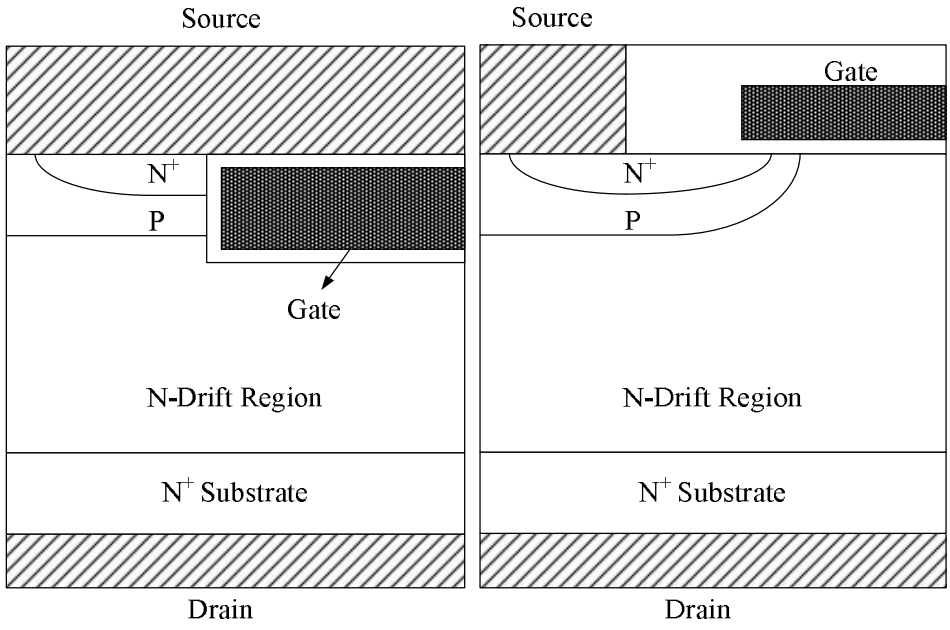
گیت این ترانزیستور به صورت جاسازی شده[1] است [35-37]. نحوه‌ی عملکرد ایـن سـاختار بـه طـور گسترده در فصل‌های آتی بررسی شده است.



شکل (1-4)- نمایی از ترانزیستور *MOSFET*.



شکل (1-5)- ساختار ترانزیستور *DMOS* افقی.



شکل (1-6)- الف) ترانزیستور *D-MOS* عمودی، ب) ترانزیستور *U-MOS*.

[1] embedded

بنابراین با توجه به کاربردهای ترانزیستورهای قدرت و انواع آن‌ها، می‌بایست مشخصات این دسته از افزاره‌ها را بهبود بخشید.

در فصل دوم این رساله، به بررسی ولتاژ شکست و مقاومت حالت روشن پرداخته شده است. ضمن بیان دو روش کلی برای یکنواخت‌تر کردن توزیع میدان الکتریکی، به محاسبه‌ی ولتاژ شکست و مقاومت حالت روشن می‌پردازیم. همچنین در انتهای این فصل تعدادی از روش‌هایی که گذشته موجب بهبود مشخصات ترانزیستورهای *LDMOS* گردیده، بررسی شده است.

فصل سوم، به ارائه‌ی ساختارهای نوین ترانزیستور *LDMOS* که در تکنولوژی سیلیسیم روی عایق[1] (*SOI*) شکل گرفته‌اند، می‌پردازد. در ساختار نوین اول، چاه اکسیدی در ناحیه‌ی رانشی ترانزیستور در نظر گرفته شده و یک ناحیه‌ی سیلیسیمی نوع *P* در این چاه، جاسازی شده است. این ساختار، ولتاژ شکست و مقاومت حالت روشن را بهبود می‌بخشد. در ساختار دوم، بارهای مثبت و منفی در فصل مشترک لایه‌ی اکسید مدفون و ناحیه‌ی رانشی در نظر گرفته شده است. بارهای ایجاد شده، افزایش میدان الکتریکی عمودی را در لایه‌ی اکسید مدفون در پی داشته و ولتاژ شکست را افزایش می‌دهند. در آخرین ساختار، سه عایق اکسید سیلیسیم در ترانزیستور *LDMOS* تعبیه شده‌اند، به گونه‌ای که ساختاری شبیه حرف *U* انگلیسی ایجاد کرده‌اند. نتایج بدست آمده از شبیه سازی این ساختار نوین با نرم افزار *ATLAS*، بهبود مشخصات این ترانزیستور را نشان می‌دهد.

در فصل چهارم این رساله، مدلی جدید برای میدان سطحی و ولتاژ شکست ساختار *RESURF* ارائه شده است. اساس این مدلسازی بر حل معادله‌ی پواسون استوار است.

در فصل پنجم، اثر بدنه‌ی شناور که از مشکلات تکنولوژی *SOI* می‌باشد، بررسی شده‌است. برای حل این مشکل نیز ساختار جدیدی ارائه شده که هدف اصلی آن کنترل حفره‌هایی است که طی پدیده‌ی یونیزاسیون برخوردی در ناحیه‌ی کانال ترانزیستور، ایجاد شده‌اند. بنابراین، می‌توان با کاهش اثرات نامطلوب بدنه‌ی شناور، کارایی ترانزیستور *LDMOS* را بهبود بخشید.

[۳] Silicon-on-Insulator