از اطلاعات مرکزی ایران
تهران - مرکز

بسم الله الرحمن الرحیم

۴۱۴۰۷

۱۳۸۱ /۵/ ۱۰

دانشگاه تهران

دانشکده فنی

گروه مهندسی برق و کامپیوتر

موضوع:

طراحی و شبیه سازی مبدل آنالوگ به دیجیتال توان-پایین با ساختار Pipeline در تکنولوژی CMOS

توسط: محمد ابراهیمی میاوقی

استاد راهنما: دکتر علی افضلی کوشا

پایان نامه برای دریافت درجه کارشناسی ارشد

رشته مهندسی برق-گرایش الکترونیک

بهمن ۱۳۸۰

۶۱۶۵۷

موضوع:

طراحی و شبیه سازی مبدل آنالوگ به دیجیتال توان-پایین با ساختار Pipeline در تکنولوژی CMOS

نگارش: محمد ابراهیمی میاوقی

از این پایان نامه در تاریخ ۱۳۸۰/۱۱/۲۵ در مقابل هیات داوران دفاع بعمل آمد و مورد تصویب قرار گرفت.

سرپرست تحصیلات تکمیلی دانشکده فنی:	دکتر محمدعلی بنی‌هاشمی
مدیر گروه آموزشی:	دکتر محمود کمره‌ای
سرپرست تحصیلات تکمیلی گروه:	دکتر جواد فیض
استاد راهنما:	دکتر علی افضلی‌کوشا
عضو هیات داوران:	دکتر شعاعی
عضو هیات داوران:	دکتر مهاجرزاده
عضو هیات داوران:	دکتر عبدالرضا نبوی

تقدیم به

خانواده‌ام بخصوص

پدر و مادر عزیزم و همسر صبورم

بپاس لطف بیکرانشان

چکیده:

در سالهای اخیر محاسن پردازش سیگنال در حوزه دیجیتالی، باعث دگرگونیهای چشمگیری در کاربردهای مختلف نظیر سیستمهای مخابراتی، شبکه‌های انتقال اطلاعات و پردازش تصاویر شده است. در بخش گیرنده اکثر سیستمهای دیجیتالی از مبدل آنالوگ به دیجیتال برای تبدیل سیگنال ورودی استفاده شده و پردازش سیگنال به صورت دیجیتالی انجام می‌پذیرد. در میان انواع مبدلها، مبدلهای Pipeline به دلیل قابلیتهایی که دارند جایگاه ویژه‌ای در میان طراحان آنالوگ دارند. این به دلیل آن است که با استفاده از این ساختار مبدلهای توان پایین و سرعت بالا آسان‌تر قابل تحقق هستند. از طرف دیگر، به دلیل جهت حرکت تکنولوژی غالب CMOS و نیز ملاحظات مربوط به محدود بودن منابع انرژی در سیستمهای قابل حمل، توان مصرفی و ولتاژ تغذیه مدارها رو به کاهش است.

بر همین اساس در این پایان نامه سعی شده است با بررسی دقیق بلوک‌های سازنده مبدلهای Pipeline و طراحی مناسب آنها یک مبدل توان پایین، سرعت بالا با ولتاژ تغذیه کم طراحی و شبیه‌سازی شود. بر اساس شبیه‌سازی مداری با Hspice، بیشتر توان مصرفی در این مبدلها از توان DC لازم برای بخشهای مختلف ناشی می‌شود. برای کاهش این توان یک تقویت کننده بین طبقاتی بهینه انتخاب و در طبقات مختلف با توجه به دقت مورد نیاز طبقات مقیاس‌بندی شده است. روش دیگر کاهش توان مصرفی انتخاب مناسب تعداد بیتهای هر طبقه و مقیاس‌بندی خازنها است که در این پایان‌نامه مورد استفاده گرفته است. بر اساس نتایج شبیه‌سازی یک مبدل ده بیتی با SNDR، 58.4dB در فرکانس نمونه‌برداری 32 MSample/s و فرکانس ورودی 5MHz با توان مصرفی 42 mW در تغذیه 3 V پیاده‌سازی شده است.

فهرست مطالب:

عنوان	صفحه
فصل اول مقدمه	
۱-۱ هدف وانگیزه	۱
۱-۱-۱ کاهش توان مصرفی	۲
۱-۱-۲ کاهش ولتاژ تغذیه	۳
۱-۲ ساختار پایان‌نامه	٤
فصل دوم مروری بر مبدلهای آنالوگ به دیجیتال	
۲-۱ مقدمه	٥
۲-۲ مبدلهای آنالوگ به دیجیتال	٦
۲-۲-۱ نمونه‌برداری	٦
۲-۲-۲ کوانتایز کردن	٦
۲-۳ معیارهای عملکردی مبدل های آنالوگ به دیجیتال	۸
۲-۳-۱ دقت	۹
۲-۳-۲ سیگنال به نویز	۹
۲-۳-۳ غیر خطی بودن مشخصه انتقالی ورودی/خروجی	۱۰
۲-۳-٤ بازه پویایی	۱۱
۲-٤ مبدلهای آنالوگ به دیجیتال فلاش استاندارد	۱۱
۲-٥ ساختار مبدل آنالوگ به دیجیتال فلاش دو مرحله	۱۳
۲-٦ مبدلهای فولدینگ	۱۸
۲-۷ ساختار مبدلهای آنالوگ به دیجیتال Pipeline	۱۹

عنوان | صفحه

فصل سوم منابع خطا در مبدلهای آنالوگ به دیجیتال

۳-۱ مقدمه ۲۲

۳-۲ نویز حرارتی ۲۳

۳-۳ آفست مقایسه‌گرها ۲۳

۳-٤ عملکرد غیر ایده‌آل مدار Sample and Hold ۲٤

۳-٤-۱ Top-plate S/H ۲۷

۳-٤-۲ Bottom-plate S/H ۳۱

۳-۵ خطای گین تقویت کننده باقیمانده ۳۲

۳-٦ یکسان نبودن سطوح مرجع، DAC (غیر خطی بودن DAC) ۳۷

۳-۷ مقاومت سوئیچ‌ها ۳۸

۳-۸ کالیبراسیون ٤۱

۳-۸-۱ خطای بهره و مشخصه غیر خطی مبدل‌های آنالوگ به دیجیتال ٤۲

۳-۸-۲ سیستم خود کالیبراسیون ٤۳

۳-۸-۳ کالیبراسیون خطای بهره ٤٤

فصل چهار محدودیتهای اصلی توان مصرفی در مبدل‌های آنالوگ به دیجیتال

٤-۱ مقدمه ٤٦

٤-۲ نمونه‌برداری و نگه داری ٤۷

٤-۲-۳ ساختارهای مختلف تقویت کننده‌های SC S/H ۵۰

٤-۳ بهره بین طبقاتی ۵٤

٤-٤ زمان نشست در تقویت کننده‌های SC ۵٤

٤-۵ سرعت چرخش OpAmp ۵۹

عنوان	صفحه

٤-٦ ایجاد ولتاژهای مرجع ٦٠

٤-٦-١ ایجاد ولتاژهای مرجع با رشته‌ای از مقاومتها ٦١

٤-٦-٢ ایجاد ولتاژهای مرجع با آرایه‌ای از خازن‌ها ٦٢

٤-٧ دقت لازم طبقات ٦٤

فصل پنجم تکنیکهای طراحی توان-پایین ولتاژ-پایین در ساختار مبدلهای آنالوگ به دیجیتال Pipeline

٥-١ مقدمه ٦٧

٥-٢ روشهای کاهش توان مصرفی ٦٧

٥-٢-١ انتخاب مناسب تعداد بیتهای هر طبقه ٦٨

٥-٢-٢ حذف S/H طبقه ورودی ٧٣

٥-٢-٣ مقیاس‌بندی مدارات SC ٧٤

٥-٢-٤ تصحیح دیجیتالی ٧٥

٥-٣ طراحی مقایسه کننده ها ٧٨

٥-٣-١ آفست مقایسه‌گرها ٧٩

٥-٤ بررسی ساختارهای مختلف Op-Amp ٨١

٥-٤-١ طراحی Op-Amp ٨٤

٥-٤-٢ مدار بایاس Op-Amp ٨٩

٥-٥ ملاحظات طرح مدارات SC با ولتاژ تغذیه کم ٩٠

٥-٥-١ سوئیچ MOS با سوئینگ بالا ٩٢

٥-٦ مدار فیدبک مد مشترک ٩٥

٥-٧ مدار Sub-ADC/DAC ٩٥

عنوان | صفحه

۸-۵ مدار تصحیح دیجیتالی خطا ۹۶

فصل ششم نتایج شبیه‌سازی و نتیجه‌گیری

۶-۱ مشخصات مبدل مورد نیاز ۹۹

۶-۲ بررسی توان مصرفی مدار ۱۰۰

۶-۳ نسبت قدرت سیگنال به نویز و اعوجاج در خروجی ۱۰۱

۶-۴ میزان عملکرد خطی تابع تبدیل سیستم ۱۰۲

۶-۵ نتیجه‌گیری کلی و آینده مبدلهای Pipeline ۱۰۳

۶-۶ پیشنهادات برای آینده ۱۰۴

مقدمـــه

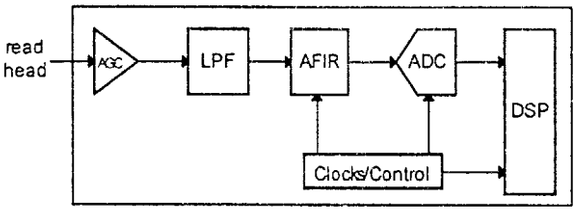
۱-۱ هدف و انگـــیزه

بـه دلیـل عملکـرد بـهتر و سـادگـی طـرح مـدارات دیجیتـالی، سیســـتم هـــای پـــردازش دیجیتـالی[1] رشـد سـریع و روزافزونـی پیـدا کـرده انـد. بیشـتر سیسـتم‌های ارتبـاطی امـروزه اطلاعـات را بـه صـورت دیجیتـالی پـردازش مـی کننـد. بنـابراین بیـن سـیگنال آنـالوگ دریـــافت شـده و سیسـتم DSP یـک مبـدل آنـالوگ بـه دیجیتـال مـورد نیـاز اسـت ایـن مبـدل قـادر اسـت سـیگنال دریـافت شـــده را بـــا فرکـــانس نمونـــه‌برداری مـــورد نیـــاز سیســـتم، دیجیتـــایز کنـــد. درکاربردهـایی نظـیر سیسـتم‌های ارتبـاط شـــخصی، تلفنـــهای بی‌ســـیم، سیســـتم‌های مغناطیســـی ذخـیره اطلاعـات و خیلـی کاربردهـای دیگـر، افزایـش طـول عمـر مفیـد بـاطری لازم می‌باشـد. از طرف دیگر بـا رشـد اینـترنت و مبادلـه اطلاعـات، اسـتفاده از سیسـتم‌های ارتبـاطی بی‌سـیم شـکل عمومی پیدا کرده اسـت. بـا محـدود بـودن انـرژی ذخـیره شـده در بـاطری، کـاهش تـوان مصرفـی در بیشتر این کاربردهـا یکـی از اهـداف در طراحـی می‌باشـد. بـه دلیـل حجـم کـم، تـوان مصرفـی پایین و قیمـت مناسـب مدارهـای مجتمـع در تولیـد انبـوه، طراحـان سیسـتمهای مختلـف از جملـه سیستمهای قـــابل حمـل سـعی مـی کننـد تـا عـلاوه بـر کـاهش بخشـهای غـیر مجتمـع، بخشـهای آنالوگ را در کنار بخشهای دیجیتـال ودر یـک تکنولـوژی یکسـان قـرار دهنـد. بـا توجـه بـه اینکـه مدارهـای دیجیتـال، جـهت پیشـرفت تکنولـوژی CMOS را رقـم مـی زننـد، بنـابراین طراحـــان

[1] DSP

آنالوگ مـی بایسـت خـود را بـا افزاره‌هـای کـه چنـدان هـم، مناسـب کاربردهـای آنـالوگ نیسـت، وفق دهنـد[2],[1].

بلوک دیاگرام شـکل۱-۱ کـاربردی از مبـدل هـای آنـالوک بـه دیجیتـال را نشـان می‌دهـد. با رشد سـریع اطلاعـات در زمینـه‌های مختلـف، لازم اسـت حجـم زیـادی از داده‌هـا در حافظـه‌ها ذخـیره و مجـددا در دسـترس باشـند. بـه دلیـل انتقـال حجـم زیـادی از اطلاعـات در یـک پریـود زمـانی کوتـاه، نیـاز بـه ذخـیره و بـازخوانی نـرخ بـالایی از داده‌هـا از حافظـه‌ها میباشـد. سـرعت تبـادل اطلاعـات در حافظـه‌های مغناطیسـی بسـتگی بـه سـرعت مبدل‌هـای آنـالوگ بـه دیجیتـال دارد. در کاربردهـای امـروزه نـرخ انتقـال حـدود MS/s ۱۰۰ بـا تفکیـک ٦ الـی ۸ بیـت می‌باشـد. ولی با رشد سریع علم در این زمینـه، هـر روز نیـاز بـه سـرعتهای بـالاتر احسـاس می‌شـود.



شـکل ۱-۱ نحـوه پـردازش داده هـای خوانـده شـده از حافظـه [1].

۱-۱-۱ کاهش تـوان مصرفـی

تـوان مصرفـی شـاید مـهمترین مسـئله مطـرح در کاربردهـایی، نظـیر سیسـتمهای قـابل حمل ارتباط شـخصی، سیسـتمهای ذخـیره اطلاعـات مـورد اسـتفاده در کامپیوترهـای قـابل حمـل، و خیلـی کاربردهـای دیگـر باشـد. تـوان مصرفـی بـا کـاهش ابعـاد در تکنولـوژی بـهبود می‌یـابد. علاوه بر مقیـاس تکنولـوژی مـورد اسـتفاده، روشـهای مختلفـی بـرای کـاهش تـوان، نظـیر مقیـاس بنـدی خازن‌هـای مـورد اسـتفاده در طبقـات، انتخـاب وطـرح مناسـب تقویـت کننـده عملیـاتی و ولتـاژ تغذیـه وجـود دارد [2] . هـدف از انجـام ایـن پایان‌نامـه اسـتفاده از همیـن روشـها بـرای تحقق یک مبدل آنالوگ به دیجیتـال بـا تـوان مصرفـی پـایین می‌باشـد.

۲-۱-۱ کاهش ولتاژ تغذیه

یکی از مهمترین مسائل طراحی آنالوگ، کاهش ولتاژ تغذیه سیستمها است. عوامل این کاهش عبارتند از:

۱- مقیاس کردن تکنولوژی CMOS: برای افزایش سرعت افزاره ها و تجمع سازی بالا در تکنولوژی CMOS، نیاز به کوچک وکوچکتر شدن ابعاد ترانزیستورها می‌باشد. برای کاهش میدان الکتریکی در داخل افزاره و جلوگیری از صدمه دیدن آن و کاهش توان مصرفی، حداکثر ولتاژ قابل تحمل تکنولوژی CMOS در حال کاهش است [3].

۲- باتری و توان مصرفی: در سیستمهای قابل حمل توان مصرفی وطول عمر مفید باطری از اهمیت بالایی برخوردار است. در ولتاژ های تغذیه بالا نیاز به سری کردن تعدادی باتری میباشد که این باعث افزایش وزن سیستم مورد نظر می شود. بنابراین با کاهش ولتاژ تعداد باطری‌های مورد استفاده کاهش و به طبع آن وزن سیستم کاهش خواهد یافت. از طرف دیگر توان مصرفی در ارتباط مستقیم با ولتاژ تغذیه است، بنابراین کاهش ولتاژ تغذیه منتهی به کاهش توان مصرفی در دو بخش آنالوگ و دیجیتال می شود.

برای رسیدن به اهداف ذکر شده در بالا (توان پایین، ولتاژ پایین و سرعت بالا) تکنولوژی CMOS به دلایل متعددی نسبت به سایر تکنولوژی‌ها راه کار بهتری میباشد، این تکنولوژی به عنوان مثال به دلیل قیمت پایین وتجمع پذیری بالا نسبت به سایر تکنولوژیها برتری دارد.

برای تحقق مبدلهای آنالوگ به دیجیتال ساختارهای مختلفی وجود دارد. به طور کلی مبدل‌های آنالوگ به دیجیتال را از نظر فرکانس نمونه برداری به دو گروه عمده تقسیم می‌شوند: ۱) مبدلهای با نرخ نایکوئیست[۲] ۲) مبدل‌های بیش‌نمونه‌برداری[۳]. گروه اول برای سرعت‌های بالا طراحی می‌شوند، اما به دلیل خطاهای موجود در تحقق این مبدل‌ها، دقت این مبدلها محدود می‌شود. دسترسی به دقتهای بالاتر از ده بیت بدون استفاده از روشهای مختلف کالیبراسیون برای کاهش خطا، ممکن نیست. در گروه دوم مبدلها، با تکنیک‌های مختلف شکل دادن نویز کوانتیزاسیون و نویز حرارتی می‌توان به دقتهای بالا دسترسی پیدا

[2] Nyquist

[3] Over Sampling

با انگیزه توضیح داده شده در بالا، هدف از این تحقیق طراحی یک مبدل آنالوگ به دیجیتال با توان پایین، ولتاژ پایین و سرعت بالا در تکنولوژی $0.6\mu m, 5V\ Digital\ CMOS$ میباشد. در فصل نتایج یک مبدل آنالوگ به دیجیتال ۱۰ بیتی با سرعت ۳۲ MSPs وپیک SNDR[1] حدود ۵۸/٤dB در فرکانس ورودی ۵ MHZ و ۵٤/۵dB در فرکانس نایکوئیست آورده شده است.

۲-۱ ساختار پایان نامه

در فصل دوم به معرفی معیارهای عملکردی پرداخته شده ساختارهای مختلف مبدلهای آنالوگ به دیجیتال مرور می‌شوند. در این فصل مزایا و معایب هر کدام از ساختارهای مختلف بحث شده است. از آنجایی که خطاهای موجود در ساختارهای مختلف عامل محدودیت سرعت ودقت مبدلها هستند، در فصل سوم اشاره‌ای کوتاه به منابع این خطاها شده است. چون هدف از انجام این پایان‌نامه تحقق یک مبدل توان پایین بوده است، فصل چهارم اشاره به محدودیتهای مختلف توان مصرفی در مبدلها دارد. در تحقق یک مبدل آنالوگ به دیجیتال بخشهای مختلفی وجود دارند که توان مصرف می‌کنند. در این فصل به این منابع اشاره و محدودیت توان ناشی از آنها بررسی می شوند. در فصل پنجم به روشهای مختلف طراحی توان پایین و ولتاژ پایین پرداخته شده است. در ادامه ساختارهای مختلف تقویت کنندها بررسی و ساختار مورد نظر به تفصیل بررسی شده است. در فصل ششم نتایج شبیه‌سازی آورده شده است، ودر انتهای این فصل همچنین نتیجه‌گیری و زمینه‌های پیشنهادی برای تحقیقات آینده مطرح می شوند.

[1]Signal to Noise+Distortion Ratio

مروری بر مبدل‌های آنالوگ به دیجیتال

۱-۲- مقدمه

به دلیل عملکرد بهتر وسادگی طرح مدارات دیجیتالی، طراحی مبدل‌های آنالوگ به دیجیتال مورد نظر می‌باشند. این مزیت‌های عمده باعث شده‌اند که تکنولوژی مدارهای مجتمع در جهت طراحی مدارهای دیجیتال توسعه داده شوند.

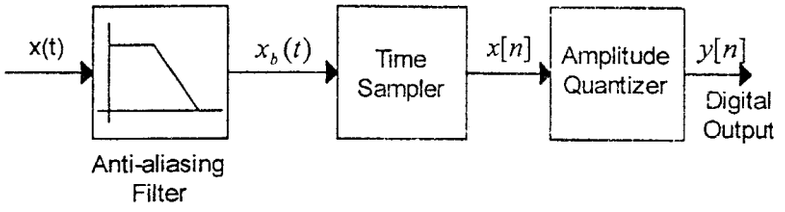
همان طور که در فصل قبل نیز بیان شد مبدل‌های آنالوگ به دیجیتال را از نظر فرکانس نمونه‌برداری می‌توان به دو دسته عمده تقسیم‌بندی کرد: ۱)مبدل‌های با نرخ نایکویست ۲)مبدل‌های بیش‌نمونه‌برداری[1]. در مبدل‌های نوع اول نظیر Flash ،Pipeline و Folding&Interpolating، سیگنال ورودی، با نرخ نایکوئیست نمونه‌برداری می‌شود، در حالیکه در مبدل‌های بیش‌نمونه‌برداری، سیگنال آنالوگ ورودی با چندین برابر نرخ نایکویست، نمونه‌برداری می‌شود. مبدل‌های نرخ نایکویست برای کاربردهای سرعت بالا و دقت پایین طراحی و ساخته می‌شوند. بدلیل خصوصیات غیرایده‌آلی مدارهای آنالوگ، ساخت این نوع مبدل‌ها برای دقت‌های بالا امکان‌پذیر نیست. مبدل‌های بیش‌نمونه‌برداری با استفاده از تکنیک شکل دادن نویز کوانتیزاسیون و همچنین نویز حرارتی مدارهای آنالوگ،

[1]Over Sampling

دقت بالایی را بدست می‌دهند، بنابراین بهترین ساختار برای پیاده‌سازی مبدل‌های آنالوگ به دیجیتال در محدوده صوتی هستند. در این فصل، هدف بررسی بعضی از ساختارهای مبدل‌های آنالوگ به دیجیتال می‌باشد.

۲-۲ مبدل‌های آنالوگ به دیجیتال

در حالت کلی می‌توان هر مبدل آنالوگ به دیجیتال را بصورت شکل ۱-۲ نشان داد. سیگنال آنالوگ ورودی پس از عبور از فیلتر Anti-aliasing، نمونه‌برداری شده و بصورت سیگنال زمان-گسسته تبدیل می‌شود. در مبدلهای آنالوگ به دیجیتال نمونه‌برداری و کوانتایز کردن دو عمل اصلی در شکل دادن سیگنال به شکل دیجیتال می‌باشد. این دو عامل سرعت ودقت مبدلهای آنالوگ به دیجیتال را شکل می‌دهند.



شکل ۱-۲ مدل عمومی از مبدل آنالوگ به دیجیتال [4].

۱-۲-۲ نمونه برداری

طبق قضیه نایکویست، برای بازسازی اطلاعات اولیه از یک سیگنال زمان-گسسته، می‌بایست، نمونه برداری حداقل با دو برابر فرکانس سیگنال صورت گیرد [4]. در این صورت سیگنال زمان-گسسته شامل کلیه اطلاعات اولیه خواهد بود. این فرکانس نمونه‌برداری، نایکویست نامیده می‌شود. بر اساس نسبت فرکانس نمونه برداری به نرخ نمونه‌برداری نایکوئیست، مبدل‌های آنالوگ به دیجیتال به دو دسته، مبدل‌های با نرخ نایکوئیست و مبدل‌های بیش-نمونه‌برداری تقسیم می‌شوند.

۲-۲-۲ کوانتایزکردن

مبدل آنالوگ به دیجیتال خروجی دیجیتالی تولید می‌کند که تابعی از سیگنال آنالوگ ورودی میباشد. وقتی ورودی مقادیر محدودی فرض شود، خروجی می‌تواند یک