١٤٣٩/٤

دانشگاه شهید بهشتی

دانشکده مهندسی برق و کامپیوتر

عنوان پایان‌نامه

طراحی و شبیه‌سازی یک مدار نمونه‌بردار و نگه‌دار با استفاده از سوئیچ بوت‌استرپ بهبودیافته در ولتاژ پایین

پایان نامه کارشناسی ارشد مهندسی برق
گرایش الکترونیک

نام دانشجو

محمدرضا عسگری

استاد راهنما:

دکتر امید هاشمی‌پور

۱۳۸۹/۷/۲۴

مرکز اطلاعات مدارک علمی پژوهه
ثبت مدارک

۸۸-۸۹

۱۴۳۰۹۴

دانشگاه شهید بهشتی

دانشکده مهندسی برق و کامپیوتر

پایان نامه کارشناسی ارشد مهندسی برق- گرایش الکترونیک

تحت عنوان:

طراحی و شبیه‌سازی یک مدار نمونه‌بردار و نگه‌دار با استفاده از سوئیچ بوت‌استرپ بهبودیافته در ولتاژ پایین

در تاریخ۱۳۸۸/۱۱/۱۳ پایان نامه دانشجو، محمدرضا عسگری، توسط کمیته تخصصی داوران مورد بررسی و تصویب نهائی قرار گرفت.

۱- استاد راهنما اول	دکتر امید هاشمی پور	امضاء
۲- استاد داور (داخلی)	دکتر علیرضا فتاح	امضاء
۳- استاد داور (خارجی)	دکتر سید ادیب ابریشمی فر	امضاء
۴- نماینده تحصیلات تکمیلی	دکتر اسلام ناظمی	امضاء

قدردانی و سپاس

سپاس و حمد خداوندی را که بذر سپاس و قدردانی را در وجود انسان نهفت تا بندگان ستایش‌گر آن را بپرورانند.

از استاد فرزانه و گرانقدرم، دکتر امید هاشمی پور که راهنمایی‌ها و کمک‌های ایشان در طی انجام این پایان‌نامه بسیار ثمر بخش بود، تشکر می‌کنم. همچنین بر خود لازم می‌دانم از دوستان عزیزم آقایان مهدی متقی کشتیبان و حسین پیشگر که کمک‌های بی‌دریغ بسیاری در این پایان نامه کردند، تشکر و قدردانی نمایم. توفیق و سربلندی ایشان را از خداوند متعال خواستارم.

نیاز به یاد آوری نیست که باید تشکر صمیمانه خود را از پدر و مادر عزیز و مهربانم که با صبوری و متانت و تشویقات دلگرم کننده خود، مرا در کلیه مراحل تحصیل همراهی کردند، اعلام دارم.

کلیه حقوق مادی مترتب بر نتایج مطالعات،

ابتکارات و نوآوری‌های ناشی از تحقیق موضوع

این پایان‌نامه متعلق به دانشگاه شهید بهشتی

می‌باشد.

به نام خدا

نام ونام خانوادگی: محمد رضا عسگری

عنوان پایان نامه: طراحی و شبیه‌سازی یک مدار نمونه‌بردار و نگه‌دار با استفاده از سوئیچ بوت‌استرپ بهبودیافته در ولتاژ پایین

استاد/اساتید راهنما:دکتر امید هاشمی‌پور

اینجانب محمدرضا عسگری تهیه کننده پایان نامه کارشناسی ارشد حاضر خود را ملزم به حفظ امانت داری و قدردانی از زحمات سایر محققین و نویسندگان بنا بر قانون Copyright می‌دانم. بدین وسیله اعلام می‌نمایم که مسئولیت کلیه مطالب درج شده با اینجانب می‌باشد و در صورت استفاده از اشکال؛ جداول، و مطالب سایر منابع، بلافاصله مرجع آن ذکر شده و سایر مطالب از کار تحقیقاتی اینجانب استخراج گشته است و امانتداری را به صورت کامل رعایت نموده‌ام. در صورتی که خلاف این مطلب ثابت شود، مسئولیت کلیه عواقب قانونی با شخص اینجانب می‌باشد.

نام و نام خانوادگی دانشجو: محمد رضا عسگری

امضاء وتاریخ:

۱۳۸۸/۱۲/۸

تقدیم به مادر عزیزم

که در مسیر اهداف من، از فدای آسایش و راحتی خویش لحظه‌ای دریغ نکرد.

فهرست مطالب

فصل اول- مقدمه

۱-۱ مقدمه ۲

فصل دوم- مدارهای نمونه‌بردار و نگه‌دار

۲-۱ مقدمه‌ای بر مدارهای نمونه‌بردار و نگه‌دار ۵

۲-۲ پارامترهای مهم در مدارهای نمونه‌بردار و نگه‌دار ۶

۲-۲-۱ زمان اکتساب ۶

۲-۲-۲ زمان روزنه یا تأخیر روزنه ۶

۲-۲-۳ عدم قطعیت روزنه ۶

۲-۲-۴ زمان نشست حالت نگه‌دار ۷

۲-۲-۵ نرخ افت ۷

۲-۲-۶ خطای پله نگه‌داری ۷

۲-۲-۷ پیش‌خور یا خطای توگذر حالت نگه‌داری ۷

۲-۲-۸ خطای بهره ۸

۲-۲-۹ محدوده دینامیک ۸

۲-۲-۱۰ اعوجاج هارمونیکی کل ۸

۲-۲-۱۱ رنج دینامیکی بدون محدودیت سیگنال مزاحم ۸

۲-۲-۱۲ سیگنال به نویز و اعوجاج ۸

۲-۲-۱۳ سیگنال به نویز ۸

۲-۳ طیف‌های سیگنال‌های نمونه‌برداری شده ۹

۲-۳-۱ طیف سیگنال نمونه‌برداری و نگه‌داری شده ۱۰

۲-۴ انواع مدارهای نمونه‌بردار و نگه‌دار ۱۱

۲-۴-۱ ساختارهای حلقه‌باز ۱۱
۲-۴-۱ ساختار حلقه‌بسته ۱۲
۲-۵ نتیجه‌گیری ۱۳

فصل سوم- عملکرد ترانزیستور MOS به عنوان سوئیچ

۳-۱ نمونه‌برداری توسط سوئیچ ترانزیستوری MOS ۱۵
۳-۲ مشخصات ترانزیستور MOS به عنوان سوئیچ ۱۶
۳-۲-۱ لحظه خاموشی وابسته به ولتاژ ورودی در ترانزیستور MOS ۱۶
۳-۲-۲ محدوده سیگنال ورودی ۱۷
۳-۲-۳ مقاومت حالت‌روشن ۱۹
۳-۲-۴ اثر بار تزریقی ۲۱
۳-۲-۵ اثر نفوذ کلاک ۲۲
۳-۲-۶ پاسخ فرکانسی غیرخطی سوئیچ ۲۳
۳-۲-۷ قابلیت اطمینان سوئیچ MOS ۲۴
۳-۳ تکنیک نمونه‌برداری صفحه پایینی ۲۶
۳-۴ نتیجه‌گیری ۲۶

فصل چهارم- تکنیک‌های بوستینگ و بوت‌استرپ سوئیچ MOS

۴-۱ تکنیک بوستینگ ۲۸
۴-۱-۱ بوستینگ به مقدار $2V_{DD}$ ۲۸
۴-۱-۲ بوستینگ به مقدار $2V_{DD}-V_{THN}$ ۳۰
۴-۱-۳ بوستینگ به مقدار $V_{DD}+V_{THN}$ و $|V_{THP}|$- ۳۰
۴-۲ تکنیک بوت‌استرپ ۳۲
۴-۲-۱ بوت‌استرپ Brooks ۳۲
۴-۲-۲ بوت‌استرپ متداول ۳۴
۴-۲-۳ استفاده از سوئیچ مکمل به صورت بوت‌استرپ ۳۷

۴-۳ جبران‌سازی اثر بدنه سوئیچ آنالوگ نمونه‌بردار ۳۸
۴-۳-۱ جبران‌سازی اثر بدنه توسط ترانزیستور replica ۳۸
۴-۳-۲ جبران‌سازی اثر بدنه با اتصال مستقیم سورس به بدنه ۳۹
۴-۴ نتیجه‌گیری ۴۰

فصل پنجم- مدارهای بوت‌استرپ پیشنهاد شده و پیاده‌سازی آن‌ها بر روی مدار نمونه‌بردار متداول

۵-۱ یک مدار بوت‌استرپ جدید با تاکید بر قابلیت اطمینان قطعه و خطی‌کردن مقاومت حالت روشن ۴۲
۵-۱-۱ عملکرد کلی ۴۳
۵-۱-۲ پیاده‌سازی ترانزیستوری ۴۴
۵-۱-۳ مدار تولید پالس پیشنهادی ۴۵
۵-۱-۴ مقایسه قابلیت اطمینان در مدار پیشنهادی و مدار بوت‌استرپ متداول ۴۵
۵-۲ تکنیک جدید برای جبران اثر بدنه سوئیچ CMOS ۴۶
۵-۲-۱ عملکرد کلی ۴۸
۵-۲-۲ پیاده‌سازی ترانزیستوری ۴۹
۵-۲-۳ عملکرد مدار ۵۰
۵-۲-۳-۱ فاز نمونه‌برداری ۵۰
۵-۲-۳-۲ فاز نگه‌داری ۵۰
۵-۲-۴ بررسی قابلیت اطمینان در مدار پیشنهادی ۵۲
۵-۲-۵ بهبود مقاومت R_{ON} ۵۲
۵-۳ مدار نمونه‌بردار و نگه‌دار متداول flipped-around ۵۳
۵-۳-۱ عملکرد مدار نمونه‌بردار و نگه‌دار متداول ۵۳
۵-۳-۲ پیاده‌سازی مدار نمونه‌بردار و نگه‌دار ۵۵
۵-۳-۲-۱ تقویت کننده عملیاتی ترارسانایی به همراه فید بک مثبت ۵۵

فصل ششم-شبیه‌سازی و نتیجه‌گیری

۶-۱ نتایج شبیه‌سازی مدار بوت‌استرپ اول ۵۹

۶-۱-۱ مصالحه در انتخاب نسبت سیما سوئیچ T-Gate و ابعاد قطعات ۵۹

۶-۱-۲ تحلیل حوزه زمان و فرکانس ۶۱

۶-۱-۳ شبیه‌سازی مدار اول با نرم افزار *Cadence* ۶۲

۶-۱-۳-۱ - طراحی در پنجره شماتیک ۶۳

۶-۱-۳-۲ - طراحی در پنجره جانمایی ۶۴

۶-۱-۳-۳ - نکات طراحی ۶۶

۶-۱-۳-۳-۱- طراحی متقارن ۶۷

۶-۱-۳-۳-۲- ترانزیستورهای چند انگشتی ۶۷

۶-۲ نتایج شبیه‌سازی مدار بوت‌استرپ دوم ۶۸

۶-۲-۱ ملاحظاتی در تعیین خازن‌ها و طول و عرض ترانزیستورها در مدار بوت‌استرپ متداول ۶۸

۶-۲-۲ تحلیل حوزه زمان و فرکانس ۶۹

۶-۲-۳ شبیه‌سازی مدار دوم با نرم افزار *Cadence* ۷۲

۶-۳ شبیه‌سازی مدار نمونه‌بردار و نگه‌دار ۷۵

۶-۳-۱ مدار نمونه‌بردار و نگه‌دار به همراه مدار بوت‌استرپ اول ۷۵

۶-۳-۲ مدار نمونه‌بردار و نگه‌دار به همراه مدار بوت‌استرپ دوم ۷۶

۶-۴ مقایسه عملکرد مدارهای شبیه‌سازی شده ۷۸

۶-۵ نتیجه‌گیری ۸۰

پیوست ۸۱

فهرست مقالات استخراج شده از پایان‌نامه ۸۴

مراجع ۸۵

فهرست شکل ها

شکل ۲-۱: شکل موج خروجی انواع مختلف مدار نمونه‌بردار و نگه‌دار[۱] ۵

شکل ۲-۲:عملکرد مدار نمونه‌بردار و نگه‌دار در حوزه زمان. ۶

شکل ۲-۳: خطای پیشخور سیگنال ورودی [۱] ۷

شکل ۲-۴: نمونه‌برداری در حوزه زمان [۱] ۹

شکل ۲-۵: طیف های سیگنال نمونه‌برداری شده [۱] ۹

شکل ۲-۶: یک سیگنال نمونه‌برداری و نگه‌داری شده [۱] ۱۰

شکل ۲-۷: طیف یک سیگنال نمونه‌برداری و نگه‌داری شده [۱] ۱۰

شکل ۲-۸: ساختار حلقه باز (الف) یک مدار نمونه‌بردار و نگه‌دار ساده (ب) مدار نمونه‌بردار و نگه‌دار عملی ۱۱

شکل ۲-۹: یک مدار نمونه‌بردار و نگه‌دار با ساختارحلقه بسته ساده ۱۲

شکل ۲-۱۰: دو ساختار حلقه بسته متداول (الف)ساختاربازپخش بار (ب)ساختار flipped-around capacitor ۱۳

شکل ۳-۱: مدار نمونه‌بردار ساده (الف) حالت نمونه‌برداری (ب) حالت نگه‌داری ۱۵

شکل ۳-۲: اثر شیب غیر بینهایت سیگنال نمونه‌بردار Vsmpl که باعث باعث تاخیر نمونه‌برداری وابسته به سیگنال ورودی می‌شود [۱] ۱۶

شکل ۳-۳: وابستگی هدایت نوع P و N به ولتاژ ورودی ۱۸

شکل ۳-۴: (الف) سوئیچ مکمل CMOS (ب) هدایت معادل ۱۸

شکل ۳-۵ اثر کاهش ولتاژ منبع تغذیه در سوئینگ ورودی ۱۹

شکل ۳-۶: کاهش تغییرات مقاومت حالت روشن با روش های برپایه تکنولوژی و مدار [۱] ۲۱

شکل ۳-۷: اثر بار تزریقی ۲۲

شکل ۳-۸: خازن‌های پارازیتیک و اثر نفوذ کلاک ۲۳

شکل ۳-۹: طیف مدار نمونه‌بردار و نگه‌دار با اعمال overstress به اکسید گیت سوئیچ (الف) در زمان صفر (ب) بعد از ۸ ساعت [۸] ۲۵

شکل ۳-۱۰: تکنیک نمونه‌برداری صفحه پایینی (الف) مدار (ب)شکل‌موج مورد استفاده ۲۶

شکل ۴-۱: مدار بوستینگ متداول ۲۷
شکل ۴-۲: شبیه‌سازی مدار پمپ بار ۲۹
شکل ۴-۳: شبیه‌سازی مقاومت حالت روشن مدار بوستینگ ۳۰
شکل ۴-۴: یک نمونه دیگر از مدارهای بوستینگ ۳۰
شکل ۴-۵: تکنیک بوستینگ کسکین. (الف) مدار (ب) شکل موج مورد نیاز ۳۱
شکل ۴-۶: مدار تولید پالس برای مدار شکل (۴-۵) ۳۲
شکل ۴-۷: بوت‌استرپ Brooks (الف) مدار (ب) پالس غیر هم پوشان (پ) شکل موج خروجی ۳۳
شکل ۴-۸: تکنیک بوت‌استرپ متداول ۳۴
شکل ۴-۹: عملکرد بوت‌استرپ متداول (الف) فاز نگه‌داری (ب) فاز نمونه‌برداری ۳۴
شکل ۴-۱۰: پیاده‌سازی ترانزیستوری مدار بوت‌استرپ ۳۵
شکل ۴-۱۱: پیاده‌سازی ساده تری از مدار بوت‌استرپ ۳۶
شکل ۴-۱۲: سوئیچ مکمل به صورت بوت‌استرپ ۳۷
شکل ۴-۱۳: جبران‌سازی اثر بدنه توسط ترانزیستور replica ۳۸
شکل ۴-۱۴: اتصال مستقیم سورس به بدنه ۳۹
شکل ۴-۱۵: استفاده از مقایسه کننده به‌منظور تشخیص سورس واقعی ۴۰
شکل ۵-۱: تکنیک خطی سازی هدایت در [۲۳] ۴۲
شکل ۵-۲: (الف) عملکرد کلی (ب) شکل موج مورد نیاز ۴۳
شکل ۵-۳: پیاده‌سازی ترانزیستوری مدار پیشنهادی ۴۴
شکل ۵-۴: (الف) مدار تولید پالس پیشنهادی (ب) جدول صحت ۴۵
شکل ۵-۵: تغییرات ولتاژ گیت سوئیچ‌های اصلی مدار متداول و پیشنهادی بر حسب ورودی ۴۶
شکل ۵-۶: تغییرات ولتاژ آستانه با ورودی در مدار بوت‌استرپ متداول (الف) ورودی (ب) ولتاژ آستانه ۴۷
شکل ۵-۷: تغییرات مقاومت حالت روشن مدار بوت‌استرپ متداول با ورودی ۴۷
شکل ۵-۸: عملکرد کلی مدار پیشنهادی (الف) فاز نگه‌داری (ب) فاز نمونه‌برداری (ج) شکل موج ۴۸
شکل ۵-۹ پیاده‌سازی ترانزیستوری ۴۹
شکل ۵-۱۰: ولتاژ گیت سورس مدار متداول و پیشنهادی ۵۱

شکل ۵-۱۱: بهبود قابلیت اطمینان ۵۲
شکل ۵-۱۲: مقایسه مقاومت حالت روشن ۵۳
شکل ۵-۱۳: مدار نمونه‌بردار و نگه‌دار متداول به همراه شکل موج های مورد نیاز ۵۳
شکل ۵-۱۴: مدار معادل نمونه‌بردار و نگه‌دار شکل ۵-۱۳ (الف) نگه‌داری (ب) نمونه‌برداری ۵۴
شکل ۵-۱۵: پیاده‌سازی مدار نمونه‌بردار و نگه‌دار ۵۵
شکل ۵-۱۶: تقویت کننده عملیاتی ترارسانایی با فیدبک مثبت ۵۶
شکل ۵-۱۷:مشخصات تقویت کننده (الف) دامنه (ب) فاز ۵۷
شکل ۶-۱: تحلیل حوزه زمان (الف) مدار شکل ۴-۵ (ب)مدار پیشنهادی ۶
شکل ۶-۲: تحلیل حوزه فرکانس (الف) مدار شکل ۴-۵ (ب)مدار پیشنهادی ۶۲
شکل ۶-۳: طراحی فایل شماتیک ۶۳
شکل ۶-۴: نتایج شبیه‌سازی فایل شماتیک ۶۴
شکل ۶-۵ طراحی جانمایی ۶۵
شکل ۶-۶: نتایج شبیه‌سازی فایل post-layout ۶۵
شکل ۶-۷: تطبیق خروجی فایل شماتیک و post-layout ۶۶
شکل ۶-۸: ترانزیستور چند انگشتی ۶۷
شکل ۶-۹: ولتاژ گیت مدار متداول و مدار پیشنهادی ۶۹
شکل ۶-۱۰: مقایسه شکل موج خروجی مدار متداول و پیشنهادی ۷۰
شکل ۶-۱۱: مقایسه چگالی طیف توان مدار بوت‌استرپ (الف) متداول (ب)پیشنهادی ۷۰
شکل ۶-۱۲: مقایسه THD مدارها با تغییر فرکانس ورودی ۷۱
شکل ۶-۱۳: مقایسه SFDR مدارها با تغییر فرکانس ورودی ۷۱
شکل ۶-۱۴: شماتیک مدار بوت‌استرپ پیشنهادی دوم ۷۲
شکل ۶-۱۵: شکل موج حاصل از شبیه‌سازی شماتیک ۷۲
شکل ۶-۱۶: طراحی جانمایی و فایل post-layout حاصل ۷۳
شکل ۶-۱۷: تطبیق خروجی فایل شماتیک و post-layout ۷۴
شکل ۶-۱۸: خروجی مدار نمونه‌بردار و نگه‌دار با مدار بوت‌استرپ اول ۷۵

شکل ۶-۱۹: طیف مدار نمونه‌بردار و نگه‌دار (الف) با مدار شکل ۴-۵ (ب) مدار پیشنهادی ۷۶
شکل ۶-۲۰: خروجی مدار نمونه‌بردار و نگه‌دار با بوت‌استرپ دوم ۷۷
شکل ۶-۲۱: چگالی طیف توان مدار نمونه‌بردار و نگه‌دار (الف) با مدار متداول (ب) با مدار پیشنهادی ۷۷

فهرست جدول‌ها

جدول ۶-۱: اندازه خازن‌های مدار شکل (۵-۳) ۶۰
جدول ۶-۲: ابعاد ترانزیستورهای مدار شکل(۵-۳) ۶۱
جدول ۶-۳: ابعاد ترانزیستورهای مدار شکل(۵-۹) ۶۹
جدول ۶-۴: ابعاد ترانزیستورهای مدار نمونه‌بردار و نگه‌دار ۷۵
جدول ۶-۵: مقایسه عملکرد مدارهای بوستینگ و بوت‌استرپ شبیه‌سازی شده در این فصل ۷۸
جدول ۶-۵: مقایسه عملکرد مدار نمونه‌بردار و نگه‌دار متداول به همراه مدارهای بوستینگ و بوت‌استرپ ۷۹

چکیده

در این پایان‌نامه دو مدار بوت‌استرپ جدید با تاکید بر کاهش تغییرات مقاومت حالت روشن که قابلیت کار در ولتاژ پایین را دارند، پیشنهاد شده است. افزایش خطی‌کردن مقاومت حالت روشن سوئیچ آنالوگ نمونه‌بردار تاثیر زیادی در بهبود عملکرد مدارهای نمونه‌بردار و نگه‌دار دارد. به همین دلیل در کار اول، مدار بوستینگ متداول را با انجام اصلاحاتی، به یک مدار بوت‌استرپ جدید تبدیل کرده‌ایم. همچنین در کار دوم، با ارائه یک تکنیک جدید برای جبران-سازی اثر بدنه، به مداری با مقاومت حالت روشن تقریبا ثابت دست یافته‌ایم. در این تکنیک ولتاژ گیت-سورس سوئیچ نمونه‌بردار را با تابعی متغیر که تغییراتش متناسب با تغییرات ولتاژ آستانه سوئیچ است راه‌اندازی می‌کنیم. در نتیجه کل تغییرات مقاومت حالت روشن به مقدار زیادی کاهش خواهد یافت. مسائل طراحی در زمینه قابلیت اطمینان قطعه در هر دو کار لحاظ شده‌اند. از طرفی هر دو مدار پیشنهادی به صورت تمام سوئینگ نمونه‌برداری انجام می‌دهند. در ادامه با انتخاب یک مدار نمونه‌بردار و نگه‌دار تفاضلی متداول که از تکنیک نمونه‌برداری صفحه پایینی استفاده می‌کند، مدارهای پیشنهادی با نرم افزار HSpice و *Cadence* در تکنولوژی ۱۸۰ نانومتر شبیه‌سازی شده است. شبیه‌سازی-ها نشان می‌دهد استفاده از متدهای پیشنهادی تاثیر زیادی در بهبود THD و SFDR کلی مدار نمونه‌بردار و نگه‌دار دارند.

کلمات کلیدی : خطی‌کردن مقاومت حالت روشن، جبران‌سازی اثر بدنه، سوئیچ آنالوگ، مدار بوت‌استرپ ، قابلیت اطمینان قطعه، مدار نمونه‌بردار و نگه‌دار.

فصل اول

مقدمه

۱-۱مقدمه

امروزه سیستم های قابل حمل مانند لپ‌تاپ ها و تلفن‌های سلولی، به‌خاطر مسائل توان کم و هزینه کم به‌طور گسترده ای از تکنولوژی CMOS استفاده می‌کنند [۱]. برای سالیان متمادی، طراحی مبدل های آنالوگ به دیجیتال[1] دارای مصرف توان کم، دقت بالا و با سرعت بالا که یکی از عناصر کلیدی این سیستم‌ها هستند، برای طراحان به عنوان چالش مطرح بوده است [۱-۶]. یک راه برای کاهش مصرف توان استفاده از مقیاس گذاری[2] طبق قانون مور است. مقیاس‌گذاری در طراحی مدارهای دیجیتال به‌واسطه فرکانس کاری بالاتر، مصرف توان کمتر و اشغال فضای کمتر یک مزیت اساسی محسوب می‌شود درحالی که در مدارهای آنالوگ با چالش‌های مهمی نظیر پیچیدگی طراحی و قابلیت اطمینان[3] قطعه (به‌منظور افزایش طول عمر ترازیستور CMOS ، V_{DS} ، V_{GS} و V_{BS} نباید از حد مجاز V_{DD} تجاوز کند)، درگیر هستیم [۷-۱۰].

مداراهای سوئیچ خازنی[4] آنالوگ، به عنوان یک دسته مهم مدارها دارای کاربرد وسیعی در طراحی مدارهای آنالوگ هستند. یکی از کابردهای آن، مدارهای نمونه‌بردار و نگه‌دار[5] است که در ابتدای اکثر مبدل‌های آنالوگ به دیجیتال، رابط بین دنیای آنالوگ و دیجیتال می‌باشد. سوئیچ آنالوگ نمونه‌برداری که در ابتدای مدار نمونه‌بردار و نگه‌دار قرار دارد در عملکرد دینامیکی این مدارها نقش کلیدی ایفا می‌کند. بنابراین درطراحی این سوئیچ‌ها باید پارامترهایی نظیر اثر نفوذ کلاک[6]، بار تزریقی[7]، تغییرات مقاومت حالت روشن[8]، فرکانس کاری و مقدار سوئینگ ولتاژ ورودی را مدنظر قرار داد [۱-۶] [۹-۲۵].

به‌منظور افزایش محدوده سیگنال ورودی و کاهش تغییرات مقاومت حالت روشن سوئیچ نمونه‌بردار، استفاده از تکنیک بوستینگ[9] [۹] [۱۱] [۱۳-۱۴] و بوتاسترپ کردن[10] [۱۵-۲۲] بسیار متداول است. ولتاژ گیت سوئیچ نمونه-بردار، برای تکنیک بوستینگ متداول [۹] و بوتاسترپ متداول [۱۶-۱۷] به ترتیب به میزان $2V_{DD}$ و $V_{DD}+V_{in}$ می-

---

[1] Analo-to-digital converter
[2] Scaling
[3] Reliability
[4] Switch-Capacitor
[5] Sample-and-Hold
[6] Clock feedthrough
[7] Charge injection
[8] Turn-on resistance
[9] Boosting technique
[10] Bootstrapped technique

باشد. یکی از مشکلات اساسی دو تکنیک ذکرشده، تغییرات مقاومت حالت روشن با ورودی است که باعث اعوجاج در سیگنال نمونه‌برداری شده می‌شود. اگرچه در این دو تکنیک تغییرات مقاومت حالت روشن نسبت به سوئیچ معمولی بهتر شده اما به‌طور کامل از بین نرفته است. مثلا سوئیچ بوت‌استرپ تغییرات مقاومت حالت روشن را خطی می‌کند اما بخاطر اثر بدنه[1] قادر به ایجاد مقاومت ثابت نیست. راه حل‌های پیشنهاد شده اکثرا طراحی را پیچیده می‌کنند [۱۹-۲۳] ضمن این که مشکلات دیگری به مدار تحمیل می‌کنند. نکته دیگر، مسئله قابلیت اطمینان قطعه است. در تکنیک بوستینگ، V_{DS} ، V_{GS} و V_{BS} از V_{DD} تجاوز می‌کنند [۹]. همچنین در این حالت روی طول عمر سوئیچ بوت‌استرپ شده بخاطر overstress اکسید گیت به ویژه در حالت گذرا تأثیر مخرب گذاشته می‌شود و در دراز مدت عملکرد مدار نمونه‌بردار و نگهدار به علت شکست اکسید گیت ناشی از این overstress به تدریج کاهش می‌یابد [۸] [۱۶].

در این پایان‌نامه برای غلبه بر این مشکلات دو مدار بوت‌استرپ با تاکید بر خطی‌کردن مقاوت حالت روشن و در نظر گرفتن مشکل قابلت اطمینان پیشنهاد شده است. در ادامه برای اطمینان از صحت کارهای پیشنهادی آنها را در اول یک مدار نمونه‌بردار و نگه‌دار متداول آزمایش کرده‌ایم.

در ادامه در فصل دو، مقدمه‌ای از مدارهای نمونه‌بردار و نگه‌دار ارائه خواهد شد. در فصل سه در باره ترانزیستور MOS به عنوان سوئیچ، مشکلات و خواص و محدودیت‌ها صحبت خواهیم کرد. فصل چهار درباره کارهای گذشته در زمینه مدارهای بوستینگ، بوت‌استرپ، تکنیک‌های جبران‌سازی اثر بدنه و تکنیک‌های جدید در زمینه خطی‌کردن مقاومت حالت روشن است. سپس در فصل پنج، دو مدار بوت‌استرپ پیشنهاد شده معرفی و مفصلا توضیح داده خواهند شد. همچنین پیاده‌سازی آن روی مدار نمونه‌بردار و نگه‌دار آمده است و نهایتا در فصل شش، شبیه‌سازی‌ها و نتیجه-گیری پایان بخش این پایان‌نامه خواهند بود.

---

[1] Bulk

فصل دوم

مدارهای نمونه‌بردار و نگه‌دار