۱۳۰۷
دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق و کامپیوتر

پایان‌نامه دوره کارشناسی ارشد مهندسی برق - الکترونیک

طراحی مبدل آنالوگ به دیجیتال پایپ لاین سرعت بالا با استفاده از روش تقویت حلقه باز برای کاربردهای مخابراتی

توسط:

احسان شامی

استاد راهنما:

دکتر حسین شمسی

تابستان 1391

بسم الله الرحمن الرحیم

تقدیم به پدر و مادر عزیزم

تأییدیّه هیات داوران

(برای پایان نامه)

هیات داوران پس از مطالعه پایان نامه و شرکت در جلسه دفاع از پایان نامه تهیه شده تحت عنوان : طراحی مبدل آنالوگ به دیجیتال پایپ لاین سرعت بالا با استفاده از روش تقویت حلقه باز برای کاربردهای مخابراتی

توسط آقای احسان شامی، **صحت و کفایت تحقیق انجام شده را برای اخذ درجه کارشناسی ارشد رشته** برق **گرایش** الکترونیک **در تاریخ** 1391/6/13 **مورد تایید قرار می-دهند.**

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
1- استاد راهنما	دکتر حسین شمسی	استادیار	
2- استاد ممتحن داخلی	دکتر احسانیان	استادیار	
3- استاد ممتحن خارجی	دکتر یاوری	استادیار	
4- نماینده تحصیلات تکمیلی			

اظهار نامه دانشجو

موضوع پایان نامه:

اینجانب احسان شامی **دانشجوی دوره کارشناسی ارشد** مهندسی برق **گرایش** الکترونیک، **دانشکده مهندسی برق دانشگاه صنعتی خواجه نصیرالدین طوسی گواهی می‌نمایم که تحقیقات ارائه شده در این پایان نامه با عنوان** طراحی مبدل آنالوگ به دیجیتال پایپ لاین سرعت بالا با استفاده از روش تقویت حلقه باز برای کاربردهای مخابراتی **توسط شخص اینجانب انجام شده است و صحت و اصالت مطالب نگارش شده مورد تائید است و در مورد استفاده از کار دیگر محققان به مرجع مورد استفاده اشاره شده است. بعلاوه گواهی می‌کنم که مطالب مندرج در این پایان نامه تاکنون برای دریافت هیچ نوع مدرک یا امتیازی توسط اینجانب یا فرد دیگری در هیچ جا ارائه نشده است و در تدوین متن پایان نامه چارچوب (فرمت) مصوب دانشگاه را بطور کامل رعایت کرده‌ام.**

امضاء دانشجو

تاریخ

حق طبع و نشر و مالکیت نتایج

1) **حق چاپ و تکثیر این پایان نامه متعلق به نویسنده آن است. هرگونه کپی برداری به صورت کل پایان نامه یا بخشی از آن تنها با موافقت نویسنده یا کتابخانه دانشکده برق دانشگاه صنعتی خواجه نصیرالدین طوسی مجاز است.**

2) **کلیه حقوق معنوی این اثر متعلق به دانشگاه صنعتی خواجه نصیرالدین طوسی است و بدون اجازه‌ی کتبی دانشگاه به شخص ثالث قابل واگذاری نیست.**

همچنین استفاده از اطلاعات و نتایج موجود در پایان نامه بدون ذکر مرجع مجاز نیست.

ضمنا متن این صفحه نیز باید در نسخه تکثیر شده وجود داشته باشد.

قدردانی:

از استاد بزرگوارم جناب آقای دکتر حسین شمسی که با راهنمایی‌های ارزنده خود مرا در پیشبرد

این پایان نامه یاری رسانده اند کمال تشکر را دارم.

چکیده

هدف کلی در این پایان نامه، طراحی یک مبدل آنالوگ به دیجیتال پایپ لاین برای کاربردهای سرعت بالا است. بر این اساس، پس از بررسی دقیق عملکرد این مبدل‌ها، به مطالعه‌ی روش‌های افزایش سرعت در این مبدل‌ها پرداخته شده و ساختاری برای افزایش سرعت مبدل‌های آنالوگ به دیجیتال پایپ لاین ارائه شده است.

در مبدل‌های آنالوگ به دیجیتال پایپ لاین مرسوم، از آپ-امپ ها برای عمل تقویت سیگنال باقیمانده در هر طبقه استفاده می‌شود. مشکل عمده‌ی این ساختارها این است که از آپ-امپ در حلقه‌ی فیدبک منفی استفاده می‌شود و برای این که ضریب تقویت با دقت بالا داشته باشیم بهره‌ی حلقه باز آپ-امپ باید بالا باشد. از این رو، با توجه به این که حاصل ضرب بهره در پهنای باند آپ-امپ ثابت است، پهنای باند کاهش می‌یابد. در این ساختارها سرعت مبدل توسط آپ-امپ محدود می‌شود. در سال‌های اخیر ساختارهایی ارائه شده‌اند که از تقویت کننده‌های حلقه باز برای افزایش سرعت این مبدل‌ها استفاده می‌کنند. با این که سرعت در این ساختارها افزایش یافته اما این ساختارها از دقت یا قدرت تفکیک پذیری کم رنج می‌برند.

در این پایان نامه، یک مدار MDAC حلقه باز دقت بالا برای مبدل های آنالوگ به دیجیتال پایپ لاین بیان می شود. دست یابی به سرعت‌های بالا در این مبدل با استفاده از تقویت کننده‌ی حلقه باز سرعت بالا به دست می‌آید. همچنین کاهش توان مصرفی مبدل با استفاده از روش مقیاس بندی توان برای مدار MDAC پیشنهادی تشریح می‌شود. ضمنا یک مبدل پایپ لاین با استفاده از مدار MDAC پیشنهادی در تکنولوژی 90 نانومتر سی‌ماس ارائه می‌شود. این مبدل دارای نرخ نمونه برداری 1/6 گیگا هرتز است. نتایج شبیه سازی نشان می‌دهد که مقدار SNDR به ازای ورودی با فرکانس 787/5 مگاهرتز برابر با 31dB است. توان مصرفی این مبدل داده برابر 223 میلی وات است. هم چنین FoM این مبدل برابر 4,36 pJ/conv-step است.

کلمات کلیدی: مبدل آنالوگ به دیجیتال، پایپ لاین، سرعت بالا، دقت بالا، تقویت کننده‌ی حلقه باز.

فهرست مطالب

عنوان **صفحه**

فهرست شکل ها ..... ک

فصل 1- مقدمه 1

1-1- انگیزه تحقیق 1

1-2- فصل بندی پایان نامه 3

فصل 2- اساس عملکرد مبدل آنالوگ به دیجیتال پایپ لاین 5

2-1- معماری مبدل آنالوگ به دیجیتال پایپ لاین 5

2-2- بخش اصلاح دیجیتال در مبدل پایپ لاین 7

2-3- اجزای مبدل آنالوگ به دیجیتال پایپ لاین و خطا در آن ها 9

2-3-1- مدار نمونه بردار در طبقه ورودی مبدل 10

2-3-2- زیر-مبدل 12

2-3-3- بلوک MDAC 13

2-3-4- عملکرد طبقه 1/5 بیتی در مبدل پایپ لاین 14

2-4- کالیبراسیون دیجیتال در مبدل های پایپ لاین 16

2-4-1- کالیبراسیون پیش-زمینه 16

2-4-2- کالیبراسیون پس-زمینه 17

فصل 3- مبدلهای آنالوگ به دیجیتال پایپ لاین حلقه باز 19

3-1- مدار MDAC حلقه باز 20

3-1-1- مدار MDAC حلقه-باز، زمان-گسسته و سوئیچ شونده خازنی 20

3-1-2- مدار MDAC حلقه-باز، زمان-پیوسته و تمام ترانزیستوری 21

3-1-3- مدار MDAC حلقه-باز، با استفاده از تقویت کننده تفاضلی 22

3-1-4- مدار MDAC حلقه باز هدایت جریانی 24

3-2- مدار مقایسه گر 28

3-2-1- مقایسه گرهای مبتنی بر پیش-تقویت کننده 28

3-2-2- مقایسه گرهای پویا 31

3-3- مدار نمونه بردار 33

فصل 4- مبدل آنالوگ به دیجیتال پایپ لاین پیشنهاد شده 37

4-1- معماری مبدل پیشنهاد شده 37

4-1-1- نحوه زمان بندی طبقه 38

4-1-2- مدار MDAC پیشنهادی 40

4-1-3- مدار نمونه بردار 48

4-1-4- مقایسه گر 49

فصل 5- نتایج شبیه سازی 51

5-1- شبیه سازی مدار نمونه بردار ورودی 51

5-2- شبیه سازی مدار مقایسه گر 53

5-3- شبیه سازی مدار MDAC پیشنهادی 55

5-4- شبیه سازی مبدل پایپ لاین پیشنهادی 62

فصل 6- نتیجه گیری و پیشنهادها 68

فهرست مراجع 71

فهرست جدول‌ها

عنوان **صفحه**

جدول 5-1: ابعاد المان های طراحی شده برای مدار نمونه بردار ورودی 52

جدول 5-2: ابعاد المان های طراحی شده برای مدار MDAC پیشنهادی 62

جدول 5-3: خلاصه نتایج شبیه سازی شده 65

جدول 6-1: مقایسه بین مبدل ارائه شده و مبدلهای پایپ لاین سرعت بالای اخیر 69

فهرست شکل ها

عنوان **صفحه**

شکل 2-1: نمودار بلوکی یک مبدل آنالوگ به دیجیتال پایپ لاین [5]..... 6

شکل 2-2: افزایش خروجی یک طبقه با تغییر سطح تصمیم گیری در آن [1] 7

شکل 2-3: طبقه 1/5 بیتی الف) ولتاژ خروجی بر حسب ولتاژ ورودی یک طبقه 1/5 بیتی اصلاح شده ب) بیت های خروجی طبقه 1/5 بیتی برحسب ولتاژ ورودی ج) نحوه عملکرد DAC بر حسب بیت های ورودی آن 8

شکل 2-4: نحوه اصلاح بیت های خروجی یک مبدل پایپ لاین با ساختار 1/5 بیت [1] 9

شکل 2-5: ساختار یک نمونه بردار [6] 11

شکل 2-6: زیر-مبدل طبقه 1/5 بیتی در مبدل آنالوگ به دیجیتال پایپ لاین [7]..... 12

شکل 2-7: ساختار یک MDAC سوئیچ خازنی 1/5 بیتی [7].....14

شکل 2-8: نمای بلوکی یک طبقه 1/5 بیتی در مبدل پایپ لاین [7] 15

شکل 2-9: مفهوم کالیبراسیون پس-زمینه در یک مبدل آنالوگ به دیجیتال[8] 17

شکل 2-10: مبدل برگ-برگ شده 4 کاناله با یک کانال اضافی برای کالیبراسیون پیش-زمینه [8] 18

شکل 3-1: مدار MDAC حلقه باز با استفاده از زوج تفاضلی [9] 19

شکل 3-2: مدار MDAC حلقه باز زمان پیوسته [10].....22

شکل 3-3: الف)تقویت کننده تفاضلی ب) تقویت کننده تفاضلی با بافر[11] 23

شکل 3-4: طبقه پایپ لاین با تقویت کننده حلقه باز [11] 24

شکل 3-5: معماری نمونه بردار با ورودی مالتی پلکس شده. الف) مدار اصلی ب) مدار معادل در فاز نگهداری [12]..... 25

شکل 3-6: معماری MDAC مالتی پلکس شده [12] 26

شکل 3-7: طرح مدار MDAC [12] 27

شکل 3-8: تقویت کننده حلقه باز سیگنال باقیمانده [12] 28

شکل 3-9: مدار مقایسه گر. الف) مدار پیش-تقویت کننده ب) مدار نگهدارنده بازتولید ج) مدار نگهدارنده خروجی [13] 30

شکل 3-10: نحوه زمان بندی مقایسه گر [13] 30

شکل 3-11: مدار مقایسه گر پویا [15].....33

شکل 3-12: مدار نمونه بردار [16]..... 34

شکل 3-13: مدار نمونه بردار [11]. 36

شکل 4-1: معماری مبدل آنالوگ به دیجیتال پایپ لاین پیشنهاد شده..... 37

شکل 4-2: الف)معماری طبقه مبدل پایپ لاین. ب)ارتباط اجزای طبقه مبدل به صورت تک-سر 38

شکل 4-3: یک تقویت کننده الف) با بار PMOS ب) با بار NMOS 40

شکل 4-4: مدار MDAC پیشنهادی 42

شکل 4-5: نحوه سوئیچ زنی مدار DAC با توجه به بیتهای ورودی آن و ارتباط آن با مبدل 1/5 بیتی .. 43

شکل 4-6: معادل سیگنال کوچک مدار MDAC پیشنهادی 44

شکل 4-7: نمونه بردار با نرخ دو برابر الف) تحقق مداری آن ب) نحوه عملکرد آن [10] 48

شکل 4-8: مقایسه گر زوج تفاضلی [10] 49

شکل 5-1: مدار نمونه بردار ورودی مبدل 51

شکل 5-2: طیف خروجی مدار نمونه بردار ورودی به ازای فرکانس ورودی با نرخ نایکوئیست 52

شکل 5-3: منحنی ورودی خروجی مقایسه گر به ازای یک موج مربعی در ورودی آن. 54

شکل 5-4: منحنی ورودی خروجی مقایسه گر در گوشههای فرآیند مختلف به ازای یک ورودی شیب.55

شکل 5-5: تحلیل DC مدار تقویت کننده نشان داده شده در شکل 4-3ب 56

شکل 5-6: ولتاژ باقیمانده از تفاضل منحنی تقویت کننده پیشنهاد شده و یک تابع خطی با شیب 2 57

شکل 5-7: الف) منحنی انتقال مدار MDAC ب) مقدار ولتاژ خطای مدار MDAC..... 58

شکل 5-8: نویز خروجی مدار MDAC پیشنهادی در مقابل تغییرات فرکانس 59

شکل 5-9: پاسخ گذرای مدار MDAC پیشنهادی به ورودی پله با فرکانس 800 مگاهرتز 60

شکل 5-10: انحراف بهره ولتاژ مدار MDAC پیشنهادی به ازای عدم تطابق یک درصدی در المانها 60

شکل 5-11: تاثیر عدم تطابق المان های مدار MDAC طبقه اول بر روی SNDR مبدل 61

شکل 5-12: طیف خروجی مبدل در نرخ نمونه برداری 1/6 گیگا نمونه بر ثانیه و به ازای فرکانس ورودی 787/5 مگاهرتز 63

شکل 5-13: طیف خروجی مبدل در نرخ نمونه برداری 1/6 گیگا نمونه بر ثانیه و به ازای فرکانس ورودی 12/5 مگاهرتز 63

شکل 5-14: INL شبیه سازی شده برای مبدل پیشنهادی.....64

شکل 5-15: DNL شبیه سازی شده برای مبدل پیشنهادی 64

شکل 5-16: SNDR بر حسب فرکانس ورودی و برای 3 فرکانس نمونه برداری متفاوت 66

شکل 5-17: SFDR بر حسب فرکانس ورودی و برای 3 فرکانس نمونه برداری متفاوت.....66

فصل 1 - مقدمه

1-1- انگیزه تحقیق

مبدل‌های آنالوگ به دیجیتال (ADCs[1]) پلی میان سیگنال‌های آنالوگ (پیوسته) و دیجیتال هستند که نقش قابل توجهی در سیستم‌های الکترونیکی امروزی ایفا می‌کنند و از اهمیت ویژه‌ای برخوردارند. با توجه به گسترش روز افزون دانش در حوزه‌ی دیجیتال، به ویژه در حوزه‌ی مخابرات دیجیتال، نیاز به مبدل‌های آنالوگ به دیجیتال با قابلیت‌های بالا بیش از پیش مورد نیاز است. از طرفی سرعت عملکرد مدارهای دیجیتال روز به روز افزایش می‌یابد، ولی متاسفانه سرعت مدارهای آنالوگ بویژه مبدل‌های آنالوگ به دیجیتال نتوانسته است همگام با مدارهای دیجیتال حرکت کند و عملکرد مدارهای دیجیتال را تحت تاثیر قرار داده است. همین امر موجب افزایش انگیزه برای بهبود ساختارهای مبدل‌های آنالوگ به دیجیتال شده است.

سیستم‌هایی که از شبکه های نوری برای تبادل اطلاعات استفاده می‌کنند به مبدل‌های آنالوگ به دیجیتال با نرخ بالاتر از 10 گیگا نمونه بر ثانیه و قدرت تفکیک پذیری بیش از 6 بیت نیاز دارند. مبدل‌های آنالوگ به دیجیتال با نرخ‌های نمونه برداری بالا به وسیله‌ی برگ برگ کردن[2] مبدل به زیر مبدل‌هایی با نرخ پایین‌تر انجام می‌شود. این زیر مبدل‌ها از نوع های مختلفی مانند فلش، تقریب متوالی[3] و یا پایپ لاین می‌توانند باشند. روش برگ برگ کردن به وسیله زیرمبدل-

[1] Analog-to-Digital Converters

[2] Time Interleaving

[3] Successive Approximation

های فلش به دلیل این که خازن ورودی بزرگی دارند کار بسیار مشکلی است. زیرمبدل‌های از نوع تقریب متوالی به دلیل این که از روش جستجوی دودویی به صورت سریال بهره می‌گیرند کند هستند. به همین دلیل به تعداد زیادتری از این زیر مبدل‌ها برای دست یافتن به مبدل‌های برگ برگ شده سرعت بالا نیاز است. همین امر موجب پیچیدگی طراحی راه انداز مبدل برگ برگ شده می‌شود. این در حالی است که مبدل‌های آنالوگ به دیجیتال پایپ لاین به جهت دارا بودن خازن ورودی کوچک و نرخ نمونه برداری بالا مورد توجه بیشتری قرار می‌گیرند [1].

سرعت مبدل‌های آنالوگ به دیجیتال پایپ لاین معمولاً به وسیله‌ی آپ-امپ‌های استفاده شده برای تفاضل و تقویت در هر طبقه محدود می‌شود. آپ-امپ در این ساختارها در حلقه فیدبک منفی قرار می‌گیرد. چون بهره طبقه مبدل به وسیله‌ی ضریب فیدبک تعیین می‌شود، برای داشتن بهره‌ی طبقه با دقت بالا، بهره‌ی حلقه باز آپ-امپ باید زیاد باشد. این امر باعث می‌شود که پهنای باند آپ-امپ کاهش یابد و در عمل مبدل هایی با نرخ نمونه برداری پایین داشته باشیم. برای رفع این مشکل روش‌های مختلفی پیشنهاد می‌شوند. در [2] آپ-امپ‌ها با تقویت کننده‌های درین مشترک جایگذاری می‌شوند. در [3] مبدل پایپ لاین در حوزه-بار[1] پیشنهاد می‌شود. در [4] مدارهای سوئیچ شونده‌ی خازنی مبتنی بر مقایسه گرها به جای مدارهای مبتنی بر آپ امپ‌ها پیشنهاد می‌شود.

در روش‌هایی که از تقویت حلقه باز استفاده می‌کنند، ساختار حلقه فیدبک منفی حذف می‌شود. این امر موجب می‌شود قدرت تفکیک پذیری مبدل (نسبت به ساختارهای دارای حلقه

[1] Charge Domain

فیدبک منفی) کاهش یابد. در عوض، چون بهره‌ی هر طبقه توسط تقویت کننده‌ی حلقه باز تعیین می‌شود می‌توان مبدل‌هایی با نرخ‌های بالای نمونه برداری ساخت.

در این پایان نامه یک مدار MDAC حلقه باز زمان پیوسته پیشنهاد می‌شود که دقت بیشتری نسبت به کارهای اخیر دارد. زمان پیوسته بودن مدار پیشنهادی باعث می‌شود که بتوانیم مبدل پایپ لاینی با نرخ نمونه برداری بالا طراحی و شبیه سازی کنیم.

1 - 2 - فصل بندی پایان نامه

این پایان نامه از شش فصل تشکیل شده است. پس از فصل اول که مقدمه ای بر موضوع پایان نامه است، فصل دوم بطور خلاصه نحوه‌ی عملکرد مبدل آنالوگ به دیجیتال پایپ لاین را تشریح می‌کند. در این فصل اصول معماری این مبدل بطور کامل بررسی می‌شود و عیب‌ها و مزیت‌های طرح‌های مختلف مبدل پایپ لاین بیان می‌شوند. نحوه‌ی تاثیر گزاری آپ-امپ، خازن‌ها، و سوئیچ-ها بر روی عملکرد مبدل، چگونگی انتخاب خازن و آپ-امپ مناسب، تاثیر نویز و خطا بر روی عملکرد مبدل و غیره در این فصل بررسی می‌شوند.

در فصل سوم، ساختار مبدل‌های پایپ لاین حلقه باز بررسی می‌شود. در این فصل نحوه‌ی قرار گرفتن اجزای هر طبقه از مبدل توضیح داده می‌شود. هم چنین مدارهای مقایسه‌گر سرعت بالا، مدارهای نمونه بردار سرعت بالا و مدارهای MDAC سرعت بالا که در ساختارهای حلقه باز و سرعت بالا استفاده می‌شوند، مورد بررسی قرار می‌گیرند.

در فصل چهارم، یک مدار MDAC حلقه باز زمان پیوسته پیشنهاد می‌شود که در مبدل‌های آنالوگ به دیجیتال پایپ لاین سرعت بالا مورد استفاده قرار می‌گیرد.

در فصل پنجم نتایج شبیه سازی مبدل پیشنهاد شده قرار داده شده است. برای شبیه سازی این مبدل از نرم افزار Hspice استفاده شده است. هم چنین از نرم افزار MATLAB برای بدست آوردن سیگنال به نویز و هم چنین خطاهای غیر خطی مبدل استفاده شده است.

در فصل ششم از کارهای انجام شده نتیجه گیری می‌شود و پیشنهادهایی برای بهبود عملکرد مبدل ارائه می‌شود.