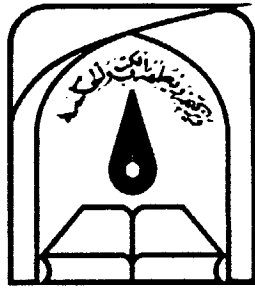
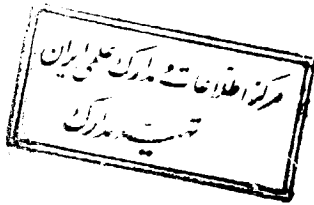




۲۲۶۱

۲۰۵ - ۱۰۰ - ۱۰۰ - ۱۰۰ - ۱۰۰ - ۱۰۰

۳۸۹۰



۳۸۰ / ۶ / ۲۸

دانشگاه تربیت مدرس

دانشکده فنی - مهندسی

پایان نامه کارشناسی ارشد

طراحی ضرب کننده ۳۲ بیتی توان کم و سرعت بالا

Low-Power, High-Speed 32-Bit Multiplier Design

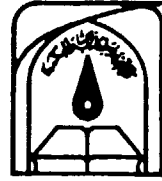
۱۲۶۶۴

۳۵۹

توسط : اکبر صادق هراب

استاد راهنما : دکتر عبدالرضا نبوی


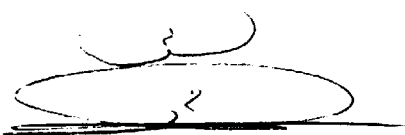

زمستان ۷۹



دانشگاه تربیت مدرس

تاییدیه هیات داوران

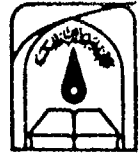
آقای اکبر صادق هراب پایان نامه ۶ واحدی خود را با عنوان طراحی ضرب کننده ۲۲ بیتی توان کم و سرعت بالا در تاریخ ۷۹/۱۲/۲۱ ارائه کردند. اعضای هیات داوران نسخه نهائی این پایان نامه را از نظر فرم و محتوی تایید و پذیرش آنرا برای تکمیل درجه کارشناسی ارشد رشته مهندسی برق باگرایش الکترونیک پیشنهاد می کنند.

امضاء	نام و نام خانوادگی	اعضای هیات داوران
	آقای دکتر نبوی	۱- استاد راهنما:
	—	۲- استاد مشاور:
	آقای دکتر کبیر	۳- استادان ممتحن:
	آقای دکتر فخرایی	
	آقای دکتر لطفی زاد	۴- مدیر گروه: (یا نماینده گروه تخصصی)

این نسخه به عنوان نسخه نهایی پایان نامه / رساله مورد تأیید است.

امضای استاد راهنما:





بسمه تعالی

آیین‌نامه چاپ پایان‌نامه (رساله)‌های دانشجویان دانشگاه تربیت مدرس

نظر به اینکه چاپ و انتشار پایان‌نامه (رساله)‌های تحصیلی دانشجویان دانشگاه تربیت مدرس، مبین بخشی از فعالیت‌های علمی - پژوهشی دانشگاه است بنابراین به منظور آگاهی و رعایت حقوق دانشگاه، دانش‌آموختگان این دانشگاه نسبت به رعایت موارد ذیل متعهد می‌شوند:

ماده ۱ در صورت اقدام به چاپ پایان‌نامه (رساله)‌ی خود، مراتب را قبلاً به طور کتبی به «دفتر نشر آثار علمی» دانشگاه اطلاع دهد.

ماده ۲ در صفحه سوم کتاب (پس از برگ شناسنامه)، عبارت ذیل را چاپ کند:
«کتاب حاضر، حاصل پایان‌نامه کارشناسی ارشد / رساله دکتری نگارنده در رشته برق - الکترونیک است که در سال ۱۳۷۹ در دانشکده فنی مهندسی دانشگاه تربیت مدرس به راهنمایی سرکار خانم / جناب آقای دکتر عبدالرحمنی، مشاوره سرکار خانم / جناب آقای دکتر _____ از آن دفاع شده است.»

ماده ۳ به منظور جبران بخشی از هزینه‌های انتشارات دانشگاه، تعداد یک درصد شمارگان کتاب (در هر نوبت چاپ) را به «دفتر نشر آثار علمی» دانشگاه اهدا کند. دانشگاه می‌تواند مازاد نیاز خود را به نفع مرکز نشر در معرض فروش قرار دهد.

ماده ۴ در صورت عدم رعایت ماده ۳، ۵۰٪ بهای شمارگان چاپ شده را به عنوان خسارت به دانشگاه تربیت مدرس، تأدیه کند.

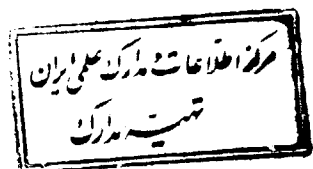
ماده ۵ دانشجو تعهد و قبول می‌کند در صورت خودداری از پرداخت بهای خسارت، دانشگاه می‌تواند خسارت مذکور را از طریق مراجع قضایی مطالبه و وصول کند؛ به علاوه به دانشگاه حق می‌دهد به منظور استیفای حقوق خود، از طریق دادگاه، معادل وجه مذکور در ماده ۴ را از محل توقیف کتابهای عرضه شده نگارنده برای فروش، تأمین نماید.

ماده ۶ اینجانب اکبر صالحی مدرس دانشجوی رشته برق - الکترونیک مقطع کارشناسی ارشد تعهد فوق و ضمانت اجرایی آن را قبول کرده، به آن ملتزم می‌شوم.

نام و نام خانوادگی:

تاریخ و امضا:

۸۰، ۲، ۷



سونورام:

منیم اوچون شمع کیمی یانان سایین

آتاما و آناما

و

دوغما آنا یوردوما

و

بوتون تاریخ بویو اونون اوغروندا چالیشان اینسانلارا

و

منیم کؤنلومه سئوگی باغیشلايان کؤنوللره

و

...

چکیده :

در این پژوهش، طراحی یک ضرب‌کننده ۳۳ بیتی توان کم و سرعت بالا با حداقل اندازه تراشه بر اساس الگوریتم بوز بهینه شده رادیکس هشت مورد توجه قرار گرفته است. در این پژوهش با بهینه‌سازی روش پیاده‌سازی الگوریتم بوز رادیکس هشت و همچنین استفاده از لاجیک CPL-Like در پیاده‌سازی مدارات انکودر بوز و جمع‌کننده‌ها، توان مصرفی و سطح مورد نیاز تا حد زیادی کاهش پیدا کرده است. بطوریکه در فرکانس کاری ۱۰۰ مگاهرتز و تکنولوژی CMOS نیم میکرومتر با منبع تغذیه ۳/۳ ولت، میزان توان مصرفی ۴۷/۳۱ میلی وات و حداکثر میزان تأخیر در مسیر بحرانی ۱۲/۴۸ نانو ثانیه بدست آمده است.

کلمات کلیدی : ضرب‌کننده، توان کم، ولتاژ کم، سرعت بالا، مدارات مجتمع، رادیکس هشت،

الگوریتم بوز، مدارات دیجیتال

فهرست مطالب

<u>صفحه</u>	<u>عنوان</u>
	چکیده
	فصل اول : مقدمه
۲	۱ - ۱ اهمیت تحقیق
۳	۲ - ۱ هدف تحقیق
	فصل دوم : بررسی انواع ضرب کننده‌ها و الگوریتمهای توان کم و سرعت بالا
۶	۲ - ۱ طراحی توان پایین در سطح ساختار ضرب کننده‌ها
۷	۲ - ۱ - ۱ موازی سازی
۹	۲ - ۱ - ۲ ساختار خط لوله‌ای
۱۰	۲ - ۲ سیستمهای ریاضی عددی
۱۱	۲ - ۲ - ۱ نمایش عددی باینری نرمال
۱۲	۲ - ۲ - ۲ نمایش عددی عدد علامت دار
۱۴	۲ - ۲ - ۳ نمایش عددی حفظ بیت نقلی
۱۵	۲ - ۳ ضرب کننده‌های موازی
۱۵	۲ - ۳ - ۱ ضرب کننده براون
۱۷	۲ - ۳ - ۲ ضرب کننده باو - وولی
۱۷	۲ - ۳ - ۳ ضرب با استفاده از روش آرایه‌ای ضرب موازی
۱۹	۲ - ۳ - ۴ ضرب با استفاده از تجزیه تکراری
۲۱	۲ - ۳ - ۵ ضرب کننده و الگوریتم بوز
۲۱	۲ - ۳ - ۵ - ۱ رکوردینگ رادیکس ۲ و ضرب

فهرست مطالب

<u>صفحه</u>	<u>عنوان</u>
۲۲	۲-۳-۵-۱-۱ قاعده رکور دینگ رادی کس ۲
۲۵	۲-۳-۵-۲ ضرب کننده بوز تعدیل شده
۲۵	۲-۳-۵-۲-۱ الگوریتم بوز تعدیل شده
۲۸	۲-۳-۵-۲-۲ تحقق ضرب کننده بوز تعدیل شده
۲۹	۲-۲-۶ ضرب کننده والس تری
۳۲	۲-۳-۷ ضرب کننده $(2^N \pm 1)$ Modulo
۳۳	۲-۳-۷-۱ ضرب $(2^N - 1)$ Modulo
۳۵	۲-۳-۷-۲ ضرب $(2^N + 1)$ Modulo
۳۸	۲-۲-۸ شکلهای مختلف گسترش علامت
۳۸	۲-۲-۸-۱ گسترش علامت عمومی
۳۹	۲-۲-۸-۲ گسترش علامت تولید علامت
۴۲	۲-۲-۸-۳ گسترش علامت با بازنمائی صفر ساده

فصل سوم : جمع کننده‌ها

۴۸	۳-۱ مدارات جمع کننده کامل (FA) و نصفی (HA)
۴۹	۳-۱-۱ جمع کننده کامل CMOS
۵۰	۳-۱-۲ جمع کننده کامل CPL2, LCPL1 و CPL
۵۱	۳-۱-۳ جمع کننده کامل DPL
۵۴	۳-۱-۴ جمع کننده کامل CMOS با گیت انتقالی
۵۴	۳-۱-۵ جمع کننده کامل تابع انتقال
۵۵	۳-۱-۶ جمع کننده کامل ترکیبی CPL و TG (CPL-TG)

فهرست مطالب

<u>صفحه</u>	<u>عنوان</u>
۵۵	۳- ۱- ۷ ترکیب گیت XOR و گیت انتقال
۵۹	۳- ۱- ۸ جمع کننده کامل ۱۰ ترانزیستوری (10Tr)
۶۴	۳- ۲ ساختارهای مختلف جمع کننده
۶۴	۳- ۲- ۱ جمع کننده ریپل - بیت نقلی
۶۶	۳- ۲- ۲ جمع کننده CLA
۶۹	۳- ۲- ۳ جمع کننده انتخابگر بیت نقلی
۷۱	۳- ۳- ۴ جمع کننده پرش بیت نقلی

فصل چهارم : طراحی ضرب کننده بوز بهینه شده رادیکس هشت

۷۵	۴- ۱ الگوریتم بوز بهینه شده رادیکس هشت
۷۷	۴- ۲ انکودر بوز بهینه شده رادیکس هشت
۸۷	۴- ۳ مولد جزء تولید شده برای ضرب کننده بوز بهینه شده رادیکس هشت
۹۱	۴- ۴ انتخاب جمع کننده کامل و ساختار جمع کننده مناسب
۹۲	۴- ۴- ۱ انتخاب جمع کننده کامل مناسب
۹۴	۴- ۴- ۲ انتخاب ساختار جمع کننده مناسب
۱۰۱	۴- ۵ استفاده از گسترش علامت با نمایش صفر ساده
۱۰۱	۴- ۶ بافر
۱۰۶	۴- ۷ مقایسه نتایج
۱۰۸	نتیجه گیری و پیشنهادات
۱۰۹	منابع و مراجع

فصل اول :

مقدمه

۱ - ۱ اهمیت تحقیق

ضرورت و اهمیت کاهش توان مصرفی در یک ترشه با چگالی بالای (ULSI, VLSI) زیر میکرون به سرعت افزایش یافته است. سیستمهای قابل حمل از قبیل کامپیوتر کتبی^۱، وسایل ارتباطی (موبایل) و وسایل شخصی دیجیتالی (PDSA) نیاز به توان مصرفی پایین و کارایی بالایی دارند. علاوه بر این، حتی در جاهایی که مشکل توان نداریم، توان کم بودن یکی از نیازهای اصلی ما می باشد. زیرا در سیستمهایی نظیر میکروپروسورها، سیستمهای پردازش سیگنالهای دیجیتال که حجم عملیات بسیار بالا می باشد، مشکلات خنک سازی چیپ، گران بودن سیستمهای خنک کننده و مشکلات بسته بندی مطرح می گردد.

مسئله قابلیت اطمینان، به خصوص در مدارات ULSI، نیاز بیشتری به طراحی نوان کم دارد. زیرا ارتباط محکمی میان پیک توان تلفاتی در مدارات دیجیتال و مسایل قابلیت اطمینان نظیر electromigration و کاهش حاملهای داغ در قطعه وجود دارد. از مزایای مهم دیگر کاهش توان مصرفی، افزایش طول عمر قطعه می باشد.

در بسیاری از طراحیهای مهندسی یک تعامل^۲ بین دو یا چند کمیت (مانند توان و سرعت در مدارات) وجود دارد. حال آنکه، هرگز نمی توان ادعا کرد که طرحهای ارائه شده بهترین طرح بوده و بهبود یک پارامتر در مدار باعث افت پارامتر دیگر خواهد شد. بنابر این، با ارائه طرحهای نوین چه از لحاظ ساختاری و چه در سطح سیستم، می توان مدارات را هم از لحاظ سرعت و هم از لحاظ توان بهبود داد [۱].

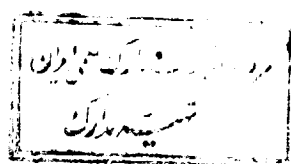
ضرب‌کننده‌ها یکی از قسمت‌های مهم در بسیاری از سیستم‌ها نظیر فیلترهای دیجیتالی، پردازشگرهای دیجیتالی سیگنال، پردازشگرهای نقطه شناور و ... می‌باشند که قسمت مهمی از توان را مصرف می‌کنند [۲]. اغلب سیستم‌های پردازش سیگنال‌های دیجیتال^۱ (DSP)، یک واحد ضرب برای تحقق الگوریتم‌هایی مثل کانولوشن، فیلتر کردن و ... دارند. در اغلب الگوریتم‌های DSP تأخیر مسیرهای بحرانی مربوط به ضرب‌کننده‌ها بوده و در نهایت عملکرد الگوریتم توسط آنها تعیین می‌شود [۳].

علاوه بر این، ضرب‌کننده باینری یک عنصر کلیدی واحد محاسبات منطقی و ریاضی^۲ (ALU) و کامپیوترهای دیجیتالی که برای محاسبات پر قدرت استفاده می‌شوند، می‌باشد. ضرب‌کننده به مدارات پیچیده‌ای برای پیاده‌سازی سریع نیاز دارد. در نتیجه، بهبود سرعت ضرب‌کننده باینری تأثیر مستقیمی در عملکرد سیستم‌های محاسباتی و کامپیوتر در محاسبات پر قدرت دارد [۴] و

۱ - ۲ هدف تحقیق

با توجه به اهمیت‌های ذکر شده در فوق، هدف از این تحقیق، طراحی ضرب‌کننده 32×32 بیتی با استفاده از تکنولوژی CMOS است که توان مصرفی آن کم و سرعت آن زیاد باشد. علاوه بر این، در این طراحی کاهش تعداد ترانزیستورهای بکار رفته و کاهش ابعاد تراشه بدون آنکه لطمه‌ای به هدف ما برساند، مورد نظر قرار گرفته است. در طراحی ضرب‌کننده با مشخصات فوق، ابتدا یک الگوریتم و ساختار مناسب انتخاب می‌شود تا سپس با اعمال روش‌های ساختاری و مداری در

1. Digital Signal Processing
2. Arithmetic Logic Unit



ساختار مورد نظر، به نتایج بهتری از لحاظ توان مصرفی و سرعت برسیم. بر همین اساس، در فصل دوم پایان نامه الگوریتمها و ساختارهای مختلف موجود برای طراحی ضرب کننده‌ها مورد بحث قرار گرفته است. نظر به اهمیت جمع کننده‌ها در پیاده‌سازی ضرب کننده، در فصل سوم نیز انواع مختلف جمع کننده‌های کامل و ساختارهای مختلف جمع کننده‌ها آورده شده است. در فصل چهارم، ساختار و الگوریتم مناسب انتخاب شده بصورت مداری طراحی شده و بلوکهای مختلف ضرب کننده به همراه شکل جانمای رسم شده با نرم افزار Magic 6.5 (تکنولوژی نیم میکرومتر HP) ارائه شده است و سپس نتایج حاصل از شبیه‌سازی با نرم افزار HSPICE برای هر بلوک آورده شده است. بعلاوه نتایج کلی حاصل از شبیه‌سازی ضرب کننده به همراه پیشنهادی برای بهبود عملکرد ضرب کننده آورده شده است.

فصل دوم:

بررسی انواع ضرب کننده‌ها

و الگوریتمهای توان کم و

سرعت بالا

یکی از کارهای اولیه در اغلب سیستمهای کامپیوتری بالا بردن سرعت و تعداد بیتهای محاسباتی می باشد. چنانکه یک کامپیوتر مقدر قابل توجهی از زمان پردازش را برای کارهای ریاضی اختصاص می دهد. لذا بهبود سرعت پردازشگر محاسباتی در کامپیوتر برای یک نوع عمل، سرعت عمومی را بالا خواهد برد [6].

سرعت کامپیوتر یا پردازشگر ALU و بستگی زیادی به سرعت ضرب کننده دارد و در چند دهه اخیر ساختار و الگوریتمهای زیادی برای ضرب کننده سرعت بالا ارائه شده است [4]. از طرف دیگر، توان مصرفی مدارات دیجیتالی که در فرکانسهای بالا کار می کنند زیاد می باشد و این یکی از محدودیتهای این مدارات می باشد. ASIC ها و پردازندههای مختلف، دارای فرکانس کار بالایی می باشند و واحدهای محاسباتی جزء اصلی این پردازندهها هستند. بنابر این، کاهش توان مصرفی بطوریکه لطمه چندانی به سرعت وارد نکند، می تواند به عنوان یک هدف در طراحی ضرب کنندهها مطرح باشد.

در این قسمت، طراحی توان پایین در سطح ساختار ضرب کننده مورد بررسی قرار می گیرد و سپس به معرفی انواع ضرب کنندههای مختلف خواهیم پرداخت.

۲ - ۱ طراحی توان پایین در سطح ساختار ضرب کنندهها

برای کاهش توان در ضرب کنندهها دو روش ساختاری مهم مورد بررسی قرار می گیرد. در این قسمت منظور از توان مصرفی، توان مصرفی دینامیکی می باشد.