نستعين ونثق به

٣٢٤١

٢٠٥ - ١١٠ - حلوى - ٣٤

٢٨٩٠

مرکز اطلاعات و مدارک علمی ایران
تاریخ مدارک
۸۰/۶/۲۸

دانشگاه تربیت مدرس

دانشکده فنی - مهندسی

پایان‌نامه کارشناسی ارشد

طراحی ضرب کننده ۳۲ بیتی توان کم و سرعت بالا

Low–Power, High-Speed 32-Bit Multiplier Design

12664
۳۵۹۰

توسط : اکبر صادق هراب

استاد راهنما : دکتر عبدالرضا نبوی

زمستان ۷۹

دانشگاه تربیت مدرس

تاییدیه هیات داوران

آقای **اکبر صادق‌هراب** پایان‌نامه ۶ واحدی خود را با عنوان **طراحی ضرب‌کننده ۳۲ بیتی توان کم و سرعت بالا** در تاریخ **۷۹/۱۲/۲۱** ارائه کردند. اعضای هیات داوران نسخه نهائی این پایان‌نامه را از نظر فرم و محتوی تایید و پذیرش آنرا برای تکمیل درجه کارشناسی ارشد رشته مهندسی **برق** با گرایش **الکترونیک** پیشنهاد می‌کنند.

اعضای هیات داوران	نام و نام خانوادگی	امضاء
۱ـ استاد راهنما :	آقای دکتر نبوی	
۲ـ استاد مشاور :	ـــــ	
۳ـ استادان ممتحن :	آقای دکتر کبیر	
	آقای دکتر فخرایی	
۴ـ مدیر گروه :	آقای دکتر لطفی‌زاد	
(یا نمایندهٔ گروه تخصصی)		

این نسخه به عنوان نسخه نهایی پایان‌نامه/رساله مورد تأیید است.

امضای استاد راهنما:

بسمه تعالی

آیین‌نامهٔ چاپ پایان‌نامه (رساله)های دانشجویان دانشگاه تربیت مدرّس

نظر به اینکه چاپ و انتشار پایان‌نامه (رساله)های تحصیلی دانشجویان دانشگاه تربیت مدرّس، مبیّن بخشی از فعالیتهای علمی - پژوهشی دانشگاه است بنابراین به منظور آگاهی و رعایت حقوق دانشگاه، دانش‌آموختگان این دانشگاه نسبت به رعایت موارد ذیل متعهد می‌شوند:

مادّهٔ ۱ در صورت اقدام به چاپ پایان‌نامه (رساله)ی خود، مراتب را قبلاً به طور کتبی به «دفتر نشر آثار علمی» دانشگاه اطلاع دهد.

مادّهٔ ۲ در صفحهٔ سوم کتاب (پس از برگ شناسنامه)، عبارت ذیل را چاپ کند:

«کتاب حاضر، حاصل پایان‌نامهٔ کارشناسی ارشد/رسالهٔ دکتری نگارنده در رشتهٔ برق - الکترونیک است که در سال ۱۳۷۹ در دانشکدهٔ فنی مهندسی دانشگاه تربیت مدرّس به راهنمایی سرکار خانم/جناب آقای دکتر عبدالرضا سبزی ، مشاورهٔ سرکار خانم/جناب آقای دکتر _____ و مشاورهٔ سرکار خانم/جناب آقای دکتر _____ از آن دفاع شده است.»

مادّهٔ ۳ به منظور جبران بخشی از هزینه‌های انتشارات دانشگاه، تعداد یک درصد شمارگان کتاب (در هر نوبت چاپ) را به «دفتر نشر آثار علمی» دانشگاه اهداکند. دانشگاه می‌تواند مازاد نیاز خود را به نفع مرکز نشر در معرض فروش قرار دهد.

مادّهٔ ۴ در صورت عدم رعایت مادّهٔ ۳، ۵۰٪ بهای شمارگان چاپ‌شده را به عنوان خسارت به دانشگاه تربیت مدرّس، تأدیه کند.

مادّهٔ ۵ دانشجو تعهد و قبول می‌کند در صورت خودداری از پرداخت بهای خسارت، دانشگاه می‌تواند خسارت مذکور را از طریق مراجع قضایی مطالبه و وصول کند؛ به علاوه به دانشگاه حق می‌دهد به منظور استیفای حقوق خود، از طریق دادگاه، معادل وجه مذکور در مادّهٔ ۴ را از محلّ توقیف کتابهای عرضه‌شدهٔ نگارنده برای فروش، تأمین نماید.

مادّهٔ ۶ اینجانب اکبر صادق هراتی دانشجوی رشته برق - الکترونیک مقطع کارشناسی ارشد تعهد فوق و ضمانت اجرایی آن را قبول کرده، به آن ملتزم می‌شوم.

نام و نام‌خانوادگی: اکبر صادق هراتی

تاریخ و امضا: ۸۰/۲/۷

مرکز اطلاعات و مدارک علمی ایران
تهیه مدارک

سونورام:

منیم اوچون شمع کیمی یانان سایین

آتاما و آناما

و

دوغما آنا یوردوما

و

بوتون تاریخ بویو اونون اوغروندا چالیشان اینسانلارا

و

منیم کؤنلومه سئوگی باغیشلایان کؤنوللره

و

. . .

چکیده :

در این پژوهش، طراحی یک ضرب‌کننده ۳۳ بیتی توان کم و سرعت بالا با حداقل اندازهٔ تراشه بر اساس آلگوریتم بوز بهینه شده رادیکس هشت مورد توجه قرار گرفته است. در این پژوهش با بهینه‌سازی روش پیاده‌سازی آلگوریتم بوز رادیکس هشت و همچنین استفاده از لاجیک CPL-Like در پیاده‌سازی مداری انکودر بوز و جمع کننده‌ها، توان مصرفی و سطح مورد نیاز تا حد زیادی کاهش پیدا کرده است. بطوریکه در فرکانس کاری ۱۰۰ مگا هرتز و تکنولوژی CMOS نیم میکرومتر با منبع تغذیه ۳/۳ ولت، میزان توان مصرفی ٤٧/٣١ میلی وات و حداکثر میزان تأخیر در مسیر بحرانی ۱۲/٤۸ نانو ثانیه بدست آمده است.

کلمات کلیدی : ضرب‌کننده، توان کم، ولتاژ کم، سرعت بالا، مدارات مجتمع، رادیکس هشت، آلگوریتم بوز، مدارات دیجیتالی

فهرست مطالب

عنوان | صفحه

چکیده

فصل اول : مقدمه

۱ - ۱ اهمیت تحقیق ۲

۱ - ۲ هدف تحقیق ۳

فصل دوم : بررسی انواع ضرب‌کننده‌ها و آلگوریتمهای توان کم و سرعت بالا

۲ - ۱ طراحی توان پایین در سطح ساختار ضرب کننده‌ها ٦

۲ - ۱ - ۱ موازی سازی ۷

۲ - ۱ - ۲ ساختار خط لوله‌ای ۹

۲ - ۲ سیستمهای ریاضی عددی ۱۰

۲ - ۲ - ۱ نمایش عددی باینری نرمال ۱۱

۲ - ۲ - ۲ نمایش عددی عدد علامت دار ۱۲

۲ - ۲ - ۳ نمایش عددی حفظ بیت نقلی ۱٤

۲ - ۳ ضرب کننده‌های موازی ۱۵

۲ - ۳ - ۱ ضرب‌کننده براون ۱۵

۲ - ۳ - ۲ ضرب کننده باو - وولی ۱۷

۲ - ۳ - ۳ ضرب با استفاده از روش آرایه‌ای ضرب موازی ۱۷

۲ - ۳ - ٤ ضرب با استفاده از تجزیه تکراری ۱۹

۲ - ۳ - ۵ ضرب کننده و آلگوریتم بوز ۲۱

۲ - ۳ - ۵ - ۱ رکوردینگ رادیکس ۲ و ضرب ۲۱

فهرست مطالب

عنوان	صفحه
۲ - ۳ - ۵ - ۱ - ۱ قاعده رکوردینگ رادیکس r	۲۲
۲ - ۳ - ۵ - ۲ ضرب کننده بوز تعدیل شده	۲۵
۲ - ۳ - ۵ - ۲ - ۱ آلگوریتم بوز تعدیل شده	۲۵
۲ - ۳ - ۵ - ۲ - ۲ تحقق ضرب کننده بوز تعدیل شده	۲۸
۲ - ۲ - ٦ ضرب کننده والس تری	۲۹
۲ - ۳ - ۷ ضرب کننده Modulo ($2^N \pm 1$)	۳۲
۲ - ۳ - ۷ - ۱ ضرب Modulo ($2^N - 1$)	۳۳
۲ - ۳ - ۷ - ۲ ضرب Modulo ($2^N + 1$)	۳۵
۲ - ۲ - ۸ شکلهای مختلف گسترش علامت	۳۸
۲ - ۲ - ۸ - ۱ گسترش علامت عمومی	۳۸
۲ - ۲ - ۸ - ۲ گسترش علامت تولید علامت	۳۹
۲ - ۲ - ۸ - ۳ گسترش علامت با بازنمائی صفر ساده	٤۲

فصل سوم : جمع کننده‌ها

۳ - ۱ مدارات جمع کنندهٔ کامل (FA) و نصفی (HA)	٤۸
۳ - ۱ - ۱ جمع کننده کامل CMOS	٤۹
۳ - ۱ - ۲ جمع کننده کامل CPL2، LCPL1 وCPL	۵۰
۳ - ۱ - ۳ جمع کننده کامل DPL	۵۱
۳ - ۱ - ٤ جمع کننده کامل CMOS با گیت انتقالی	۵٤
۳ - ۱ - ۵ جمع کننده کامل تابع انتقال	۵٤
۳ - ۱ - ٦ جمع کننده کامل ترکیبی CPL و TG (CPL - TG)	۵۵

فهرست مطالب

عنوان	صفحه
۳ - ۱ - ۷ ترکیب گیت XOR و گیت انتقال	۵۵
۳ - ۱ - ۸ جمع کننده کامل ۱۰ ترانزیستوری (10Tr)	۵۹
۳ - ۲ ساختارهای مختلف جمع‌کننده	٦٤
۳ - ۲ - ۱ جمع‌کننده ریپل - بیت نقلی	٦٤
۳ - ۲ - ۲ جمع کننده CLA	٦٦
۳ - ۲ - ۳ جمع‌کننده انتخابگر بیت نقلی	٦٩
۳ - ۳ - ٤ جمع کننده پرش بیت نقلی	۷۱
فصل چهارم : طراحی ضرب‌کنندهٔ بوز بهینه شده رادیکس هشت	
٤ - ۱ آلگوریتم بوز بهینه شده رادیکس هشت	۷۵
٤ - ۲ انکودر بوز بهینه شده رادیکس هشت	۷۷
٤ - ۳ مولد جزء تولید شده برای ضرب‌کننده بوز بهینه‌شده رادیکس هشت	۸۷
٤-٤ انتخاب جمع کنندهٔ کامل و ساختار جمع کنندهٔ مناسب	۹۱
٤-٤-۱ انتخاب جمع کنندهٔ کامل مناسب	۹۲
٤-٤-۲ انتخاب ساختار جمع کنندهٔ مناسب	۹٤
٤-۵ استفاده از گسترش علامت با نمایش صفر ساده	۱۰۱
٤-٦ بافر	۱۰۱
٤-۷ مقایسه نتایج	۱۰٦
نتیجه‌گیری و پیشنهادات	۱۰۸
منابع و مراجع	۱۰۹

فصل اول :

مقدمه

۱ - ۱ اهمیت تحقیق

ضرورت و اهمیت کاهش توان مصرفی در یک تراشه با چگالی بالای (VLSI , ULSI) زیر میکرون به سرعت افزایش یافته است. سیستمهای قابل حمل از قبیل کامپیوتر کتابی[1]، وسایل ارتباطی (موبایل) و وسایل شخصی دیجیتالی (PDSA) نیاز به توان مصرفی پایین و کارآیی بالایی دارند. علاوه بر این، حتی در جاهایی که مشکل توان نداریم، توان کم بودن یکی از نیازهای اصلی ما می‌باشد. زیرا در سیستمهایی نظیر میکروپروسسورها، سیستمهای پردازش سیگنالهای دیجیتال که حجم عملیات بسیار بالا می‌باشد، مشکلات خنک سازی چیپ، گران بودن سیستمهای خنک کننده و مشکلات بسته بندی مطرح می‌گردد.

مسئله قابلیت اطمینان، به خصوص در مدارات ULSI، نیاز بیشتری به طراحی نوان کم دارد. زیرا ارتباط محکمی میان پیک توان تلفاتی در مدارات دیجیتال و مسایل قابلیت اطمینان نظیر electromigration و کاهش حاملهای داغ در قطعه وجود دارد. از مزیتهای مهم دیگر کاهش توان مصرفی، افزایش طول عمر قطعه می‌باشد.

در بسیاری از طراحیهای مهندسی یک تعامل[2] بین دو یا چند کمیت (مانند توان و سرعت در مدارات) وجود دارد. حال آنکه، هرگز نمی‌توان ادعا کرد که طرحهای ارائه شده بهترین طرح بوده و بهبود یک پارامتر در مدار باعث افت پارامتر دیگر خواهد شد. بنابر این، با ارائه طرحهای نوین چه از لحاظ ساختاری و چه در سطح سیستم، می‌توان مدارات را هم از لحاظ سرعت و هم از لحاظ توان بهبود داد [۱].

---

1. Notebook Computer
2. Personal Digital Assistants
3- Trade off

ضرب‌کننده‌ها یکی از قسمتهای مهم در بسیاری از سیستمها نظیر فیلترهای دیجیتالی، پردازشگرهای دیجیتالی سیگنال، پردازشگرهای نقطه شناور و ... می‌باشند که قسمت مهمی از توان را مصرف می‌کنند[۲]. اغلب سیستمهای پردازش سیگنالهای دیجیتال[1] (DSP)، یک واحد ضرب برای تحقق آلگوریتمهایی مثل کانولوشن، فیلتر کردن و ... دارند. در اغلب آلگوریتمهای DSP تأخیر مسیرهای بحرانی مربوط به ضرب‌کننده‌ها بوده و در نهایت عملکرد آلگوریتم توسط آنها تعیین می‌شود[۳].

علاوه بر این، ضرب کننده باینری یک عنصر کلیدی واحد محاسبات منطقی و ریاضی[2] (ALU) و کامپیوترهای دیجیتالی که برای محاسبات پر قدرت استفاده می‌شوند، می‌باشد. ضرب‌کننده به مدارات پیچیده‌ای برای پیاده‌سازی سریع نیاز دارد. در نتیجه، بهبود سرعت ضرب‌کننده باینری تأثیر مستقیمی در عملکرد سیستمهای محاسباتی و کامپیوتر در محاسبات پر قدرت دارد[۵ و ٤].

۱ - ۲ هدف تحقیق

با توجه به اهمیتهای ذکر شده در فوق، هدف از این تحقیق، طراحی ضرب‌کننده ۳۲ × ۳۲ بیتی با استفاده از تکنولوژی CMOS است که توان مصرفی آن کم و سرعت آن زیاد باشد. علاوه بر این، در این طراحی کاهش تعداد ترانزیستورهای بکار رفته و کاهش ابعاد تراشه بدون آنکه لطمه‌ای به هدف ما برساند، مورد نظر قرار گرفته است. در طراحی ضرب کننده با مشخصات فوق، ابتدا یک آلگوریتم و ساختار مناسب انتخاب می‌شود تا سپس با اعمال روشهای ساختاری و مداری در

1. Digital Signal Processing
2. Arithmatic Logic Unit

مرکز تحقیقات کامپیوتری علوم اسلامی
شعبه مدارک

ساختار مورد نظر، به نتایج بهتری از لحاظ توان مصرفی و سرعت برسیم. بر همین اساس، در فصل دوم پایان نامه آلگوریتمها و ساختارهای مختلف موجود برای طراحی ضرب‌کننده‌ها مورد بحث قرار گرفته است. نظر به اهمیت جمع کنندها در پیاده‌سازی ضرب‌کننده، در فصل سوم نیز انواع مختلف جمع کننده‌های کامل و ساختارهای مختلف جمع کننده‌ها آورده شده است. در فصل چهارم، ساختار و آلگوریتم مناسب انتخاب شده بصورت مداری طراحی شده و بلوکهای مختلف ضرب‌کننده به همراه شکل جانمای رسم شده با نرم افزار Magic 6.5 (تکنولوژی نیم میکرومتر HP) ارائه شده است و سپس نتایج حاصل از شبیه‌سازی با نرم افزار HSPICE برای هر بلوک آورده شده است. بعلاوه نتایج کلی حاصل از شبیه‌سازی ضرب‌کننده به همراه پیشنهادی برای بهبود عملکرد ضرب کننده آورده شده است.

فصل دوم :

بررسی انواع ضرب کننده‌ها و آلگوریتمهای توان کم و سرعت بالا

یکی از کارهای اولیه در اغلب سیستمهای کامپیوتری بالا بردن سرعت و تعداد بیتهای محاسباتی می‌باشد. چنانکه یک کامپیوتر مقدار قابل توجهی از زمان پردازش را برای کارهای ریاضی اختصاص می‌دهد. لذا بهبود سرعت پردازشگر محاسباتی در کامپیوتر برای یک نوع عمل، سرعت عمومی را بالا خواهد برد[٦].

سرعت کامپیوتر یا پردازشگر ALU وبستگی زیادی به سرعت ضرب کننده دارد و در چند دهه اخیر ساختار و آلگوریتمهای زیادی برای ضرب کننده سرعت بالا ارائه شده است[٤]. از طرف دیگر، توان مصرفی مدارات دیجیتالی که در فرکانسهای بالا کار می‌کنند زیاد می‌باشد و این یکی از محدودیتهای این مدارات می‌باشد. ASIC ها و پردازنده‌های مختلف، دارای فرکانس کار بالایی می‌باشند و واحدهای محاسباتی جزء اصلی این پردازنده‌ها هستند. بنابر این، کاهش توان مصرفی بطوریکه لطمه چندانی به سرعت وارد نکند، می‌تواند به عنوان یک هدف در طراحی ضرب کننده‌ها مطرح باشد.

در این قسمت، طراحی توان پایین در سطح ساختار ضرب کننده مورد بررسی قرار می‌گیرد و سپس به معرفی انواع ضرب کننده‌های مختلف خواهیم پرداخت.

٢ - ١ طراحی توان پایین در سطح ساختار ضرب کننده‌ها

برای کاهش توان در ضرب کننده‌ها دو روش ساختاری مهم مورد بررسی قرار می‌گیرد. در این قسمت منظور از توان مصرفی، توان مصرفی دینامیکی می‌باشد.