دانشکده مهندسی
دانشگاه فردوسی مشهد

طراحی مبدل آنالوگ به دیجیتال دلتا- سیگمای ولتاژ پایین با توان مصرفی بسیار کم مورد استفاده در ابزار دقیق پزشکی

نگارش:
علی نظری

اساتید راهنما :
دکتر محمد میمندی نژاد و دکتر رضا لطفی

پایان‌نامه جهت دریافت درجه کارشناسی ارشد
در رشته مهندسی برق- الکترونیک

خرداد ماه ۱۳۸۸

بسم الله الرحمن الرحيم

چکیده

مبدل‌های آنالوگ به دیجیتال با توجه به رشد روزافزون فناوری در زمینه دیجیتال و تمایل به استفاده از این حوزه، جزء مهمترین بخش‌های هر سیستم دیجیتالی قرار دارد که به نوعی با دنیای واقعی در ارتباط هستند. از طرف دیگر، کاهش ابعاد مدار و در نتیجه کاهش ولتاژ تغذیه، جزء جدایی ناپذیر روند پیشرفت در فناوری ساخت قطعات الکترونیکی بوده که به نوبه خود طراحی مدارهای مجتمع و به خصوص مدارهای مجتمع آنالوگ را دشوارتر می‌کند. به علاوه، با در نظر گرفتن بهینه بودن مصرف توان، که از الزامات قابل حمل بودن محسوب می‌شود، کار طراحی مدارهای مجتمع آنالوگ و به ویژه مبدل‌های آنالوگ به دیجیتال بیش از پیش دشوار خواهد شد. از طرفی، در میان مبدل‌های آنالوگ به دیجیتال، مدولاتورهای دلتا- سیگما از جایگاه ویژه‌ای برخوردارند. در این مبدل‌ها، از آنجاییکه طراحی در دو سطح سیستم و مدار انجام می‌شود، درجه آزادی بیشتری برای طراحی وجود دارد.

در این پژوهش هدف طراحی یک مبدل آنالوگ به دیجیتال دلتا- سیگما با ولتاژ تغذیه پایین و توان مصرفی کم می‌باشد. در این طراحی، با ارائه مدل اصلاح شده‌ای برای مدولاتور، نشان داده شده است که عملکرد مدولاتور به طور قابل ملاحظه‌ای بهبود یافته است. یکی از مهمترین نتایج مدل ارائه شده، استفاده از آپ‌امپ‌های با بهره کم ($30\,dB$ ≈) است که در طراحی‌های ولتاژ پایین پیامدی بسیار مطلوب به حساب می‌آید که هم فرآیند طراحی را آسان‌تر می‌کند و هم منجر به کاهش قابل ملاحظه‌ی توان مصرفی می‌شود. نوآوری دوم این پژوهش ارائه روشی جدید برای بدست آوردن ضرایب فیلتر به صورت بهینه است که در مدولاتورهای دلتا- سیگما یکی از مهمترین مراحل طراحی محسوب می‌شود. در روش ارائه شده، با توجه به ساده‌سازی انجام شده برای مدل مدولاتور، امکان استفاده از روشهای بهینه‌سازی فراهم شده است. در روش ارائه شده در این پژوهش برای محاسبه ضرایب فیلتر از الگوریتم ژنتیک استفاده شده است و نشان داده شده است که برای یک مدولاتور با مرتبه ثابت و به ازاء یک ضریب بیش‌نمونه‌برداری ثابت، مجموعه ضرایبی وجود دارند که به ازاء آنها عملکرد مدولاتور که همان مقدار SNR می‌باشد، نسبت به طراحی مرسوم بهبود می‌یابد. برای تایید مدل ارائه شده، یک مدولاتور مرتبه ۲ با پهنای باند 500 Hz و دقت 70 dB در تکنولوژی 0.18 um با ولتاژ تغذیه 1 V طراحی و شبیه‌سازی شد.

فهرست

فصل اول پیشگفتار ۷
۱-۱ انگیزه این پژوهش ۷
۱-۲ نوآوریهای این پژوهش ۹
۱-۳ نحوه نگارش پایان‌نامه ۱۰
فصل دوم مدولاتورهای دلتا- سیگما ۱۱
۲-۱ مقدمه ۱۱
۲-۲ بیش‌نمونه‌برداری بدون شکل‌دهی نویز ۱۲
۲-۳ بیش‌نمونه‌برداری با شکل‌دهی نویز ۱۶
۲-۴ ساختار سیستم در مبدل‌های A/D دلتا- سیگما ۲۴
۲-۵ فیلترهای Decimation دیجیتال ۲۶
۲-۶ نتیجه گیری ۳۱
فصل سوم طراحی سیستمی مدولاتور ۳۲
۳-۱ مقدمه ۳۲
۳-۲ بدست آوردن ضرایب و بهینه سازی ۳۳
۳-۳ اصلاح مدل انتگرال‌گیر ۳۷
۳-۴ نتیجه گیری ۴۴
فصل چهارم طراحی و شبیه‌سازی یک مدولاتور ۱ ولتی با پهنای باند ۵۰۰ هرتز ۴۵
۴-۱ انتخاب ساختار مدولاتور ۴۵
۴-۲ خازن نمونه‌برداری ۴۶
۴-۳ ساختار فیدبک ۴۸
۴-۴ آپ‌امپ ۴۹
۴-۵ کوانتایزر ۵۱
۴-۶ سوئیچ‌ها ۵۲
۴-۷ نتایج شبیه‌سازی ۵۶
۴-۸ نتیجه گیری ۵۸
نتیجه گیری و پیشنهاد کارهای آینده ۵۹
مراجع ۶۰

فهرست شکلها

شکل ۲-۱. کوانتایزر و مدل خطی آن [4]. ۱۲
شکل ۲-۲. چگالی طیفی فرض شده برای نویز کوانتیزاسیون [4]. ۱۳
شکل ۲-۳. (الف) یک سیستم بدون شکل‌دهی نویز. (ب) پاسخ brick-wall فیلتر برای حذف بخش عمده نویز [4]. ۱۴
شکل ۲-۴. بلوک دیاگرام یک مبدل A/D بیش‌نمونه‌بردار [4]. ۱۶
شکل ۲-۵. یک مدولاتور $\Delta\Sigma$ و مدل خطی آن: (الف) یک مدولاتور $\Delta\Sigma$ (ساختار درونیاب)؛ (ب) مدل خطی مدولاتور که در آن نویز کوانتیزاسیون خارج شده است [4]. ۱۷
شکل ۲-۶. یک مدولاتور interpolative نویزشکل‌دهی شده مرتبه اول [4]. ۲۰
شکل ۲-۷. مدولاتور مرتبه اول: (الف) بلوک دیاگرام؛ (ب) پیاده‌سازی خازن- سوئیچ‌شونده [4]. ۲۲
شکل ۲-۸. مدولاتور A/D مرتبه اول که از یک خازن در درودی انتگرال‌گیر زمان- گسسته استفاده می‌کند [4]. ۲۲
شکل ۲-۹. مدولاتور $\Delta\Sigma$ مرتبه دو [4]. ۲۳
شکل ۲-۱۰. چند تابع تبدیل شکل‌دهی نویز [4]. ۲۴
شکل ۲-۱۱. بلوک دیاگرام یک مبدل A/D بیش‌نمونه‌بردار [4]. ۲۴
شکل ۲-۱۲. سیگنال و طیف آن در یک مبدل A/D بیش‌نمونه‌بردار [4]. ۲۵
شکل ۲-۱۳. فیلترهای Decimation چند طبقه: (الف) sinc که پس از آن از یک فیلتر IIR استفاده شده است؛ (ب) sinc که پس از آن از فیلترهای نیم‌باند استفاده شده است [4]. ۲۷
شکل ۲-۱۴. تحقق $T_{sinc}(Z)$ با انتگرال‌گیرها و مشتق‌گیرهای پشت سر هم: (الف) downsampling بعد از همه فیلترکردن‌ها انجام می‌شود؛ (ب) روشی بهینه‌تر که downsampling قبل از مشتق‌گیرها انجام می‌شود [4]. ۲۹
شکل ۳-۱. مدل مدولاتور مرتبه ۲ در Simulink [6]. ۳۳
شکل ۳-۲. بدست آوردن مقدار بهره مناسب با استفاده از روش قدیمی. نمودار تغییرات SNR بر حسب بهره آپامپ، با GBW، Vref ، Vm، a1، a2، b1 و b2 ثابت. ۳۴
شکل ۳-۳. بهینه سازی تابع SNR با ۶ متغیر و با در نظر گرفتن جمعیت ۵۰ نفر و تعداد ۵۰۰ نسل؛ بهترین، میانگین و بدترین مقادیر در هر نسل. ۳۶
شکل ۳-۴. بهینه سازی تابع SNR با ۶ متغیر و با در نظر گرفتن جمعیت ۵۰ نفر و تعداد ۵۰۰ نسل؛ بهترین مقادیر در هر نسل. ماکزیمم مقدار SNR بدست آمده در نسل ۳۲۰ ام بوده و برابر با ۷۸,۵ دسی‌بل می‌باشد. ۳۶
شکل ۳-۵. انتگرال‌گیر خازن- سوئیچ‌شونده. ۳۷
شکل ۳-۶. مدل انتگرال گیر واقعی بر اساس رابطه (۳-۱). ۳۷
شکل ۳-۷. خطای حالت دائمی ناشی از بهره محدود آپامپ در خروجی انتگرال‌گیر. ۳۸
شکل ۳-۸. نمایش تاثیر بهره محدود آپامپ بر روی چگالی طیفی نویز مدولاسیون [11]. ۳۹
شکل ۳-۹. انتگرال‌گیر خازن- سوئیچ‌شونده با در نظر گرفتن خازنهای پارازیتی آپ امپ. ۳۹
شکل ۳-۱۰. مدل انتگرال گیر واقعی ارائه شده بر اساس رابطه ۳-۵. در این مدل e_1 به عنوان ضریب دوم انتگرال‌گیر در نظر گرفته شده است. ۳۹
شکل ۳-۱۱. تغییرات بهره آپامپ بر حسب خازن فیدبک با توجه به رابطه (۳-۱۱). ۴۱
شکل ۳-۱۲. تغییرات بهره آپامپ بر حسب خازن فیدبک با توجه به رابطه (۳-۱۴). ۴۲
شکل ۳-۱۳. تغییرات بهره آپامپ بر حسب خازن فیدبک با توجه به رابطه‌های (۳-۱۱) و (۳-۱۴). ۴۲
شکل ۳-۱۴. آپامپ بکار رفته برای انتگرال‌گیرها برای بهره $33\ dB$. ۴۳
شکل ۳-۱۵. منحنی تغییرات SNR بر حسب بهره آپامپ A_0. ۴۳
شکل ۳-۱۶. منحنی تغییرات SNR بر حسب خازن فیدبک C_f ۴۴
شکل ۴-۱. انتگرال‌گیر خازن سوئیچ شونده. ۴۷
شکل ۴-۲. ساختارهای رایج برای فیدبک [2]. ۴۸
شکل ۴-۳. آپامپ بکار رفته برای انتگرال‌گیرها برای بهره $33\ dB$ ۴۹

شکل ۴-۴. مدار فیدبک حالت مشترک مورد استفاده در آپ‌امپ‌ها. ۵۱
شکل ۴-۵. مدار مقایسه‌گر مورد استفاده در کوانتایزر ۱ بیتی. ۵۱
شکل ۴-۶. مدار Latch مورد استفاده در کوانتایزر ۱ بیتی. ۵۲
شکل ۴-۷. مدار سوئیچ بوت‌استرپ استفاده شده [28]. ۵۳
شکل ۴-۸. پالسهای اعمال شده به مدار سوئیچ بوت‌استرپ. ۵۳
شکل ۴-۹. مدولاتور مرتبه ۲ پیاده‌سازی شده. پالس‌های اعمال شده عبارتند از: $S1, S2 \rightarrow \varphi_{1d}$ ، $S3 \rightarrow \varphi_1$ ، $S4 \rightarrow \varphi_{2d}$ و $S5, S6 \rightarrow \varphi_2$ ۵۵
شکل ۴-۱۰. خروجی مدولاتور مرتبه دو با ضریب بیش‌نمونه‌برداری ۶۴. (الف) ورودی و خروجی مدولاتور در حوزه زمان. (ب) نمودار FFT در حوزه فرکانس. ۵۶
شکل ۴-۱۱. مقدار نسبت سیگنال به نویز و اعوجاج، SNDR برای مدولاتور طراحی شده. ۵۷

فهرست جدولها

جدول ۳-۱. مقادیر بدست آمده پارامترها با استفاده از روش قدیمی برای مدولاتور مورد نظر. ۳۴
جدول ۳-۲. مقایسه مقادیر بدست آمده پارامترها و SNR با استفاده از روش قدیمی و روش ارائه شده برای مدولاتور مورد نظر. ۳۶
جدول ۴-۱. مقادیر ضریب فیلتر بدست آمده از طراحی سیستمی. ۴۶
جدول ۴-۲. مقادیر W/L ترانزیستورها برای آپ‌امپ بکار رفته، شکل ۴-۲. ۵۰
جدول ۴-۳. مشخصات آپ‌امپ‌های بکار رفته در مدولاتور. ۵۰
جدول ۴-۴. مشخصات مقایسه‌گر طراحی شده شکل ۴-۵. ۵۲
جدول ۴-۵. مقادیر W و L ترانزیستورها و سایر مشخصات مدار سوئیچ بوت‌استرپ طراحی شده. ۵۳
جدول ۴-۶. مقادیر خازنهای مورد استفاده در مدولاتور. ۵۴
جدول ۴-۷. مشخصات مدلاتور طراحی شده. ۵۶
جدول ۴-۸. مقایسه عملکرد چند مدولاتور از طریق معیار ارزشی. ۵۸

فصل اول

پیشگفتار

۱-۱ انگیزه این پژوهش

مدارهای مجتمع جزء جدایی ناپذیر دنیای امروز محسوب شده و روند به‌کارگیری آنها در فناوری‌های مختلف رشدی روزافزون دارد. در این میان تمایل به استفاده از مدارهای دیجیتال نیز روز به روز بیشتر شده و حجم پردازش از حوزه آنالوگ به سمت حوزه دیجیتال منتقل می‌شود. این تمایل به دلایل مختلفی از جمله طراحی ساده‌تر، توان مصرفی کمتر و عملکرد بالاتر می‌باشد. این روند در بسیاری از وسایل و قطعاتی که مورد استفاده روزمره انسان هستند مانند دوربین عکاسی، صفحه نمایش و حافظه‌ها به وضوح دیده می‌شود. بنابراین، طراحی در حوزه دیجیتال روز به روز از اهمیت بیشتری برخوردار خواهد بود. در این میان توجه به نکاتی که برخاسته از روند پیشرفت تکنولوژی است، حائز اهمیت می‌باشد.

از آنجائیکه عملکرد بالاتر با کوچکتر شدن و بیشتر مجتمع شدن وسایل و قطعات مختلف الکترونیکی بدست می‌آید، با پیشرفت تکنولوژی طول ترانزیستورها کاهش می‌یابد. در نتیجه این کاهش، برای جلوگیری از آسیب دیدن مدارهای مجتمع، ولتاژ تغذیه این مدارها نیز باید کاهش یابد. کاهش ولتاژ تغذیه به نوبه خود، هرچند باعث کاهش

توان مصرفی در مدارهای دیجیتال می‌شود، طراحی را در مدارهای مجتمع آنالوگ دشوارتر خواهد کرد [1] و [2] و [3]. بنابراین، طراحی ولتاژ پایین نیز با روند رو به رشد تکنولوژی از اهمیت ویژه‌ای برخوردار خواهد بود.

نکته مهم دیگری که باید بدان توجه شود، قابل حمل بودن وسایل و قطعات الکترونیکی است که در بسیاری از کاربردها از اهداف اصلی در طراحی است. حال با در نظر گرفتن اینکه توان مصرفی نقش مهمی در قابل حمل بودن وسایل الکترونیکی دارد، اهمیت طراحی مدارهای کم توان مشخص خواهد شد. از طرف دیگر، با کاهش ولتاژ تغذیه توان مصرفی در مدارهای مجتمع آنالوگ کاهش قابل ملاحظه‌ای ندارد و حتی در برخی از موارد باعث افزایش توان نیز خواهد شد. بنابراین، طراحی مدارهای مجتمع آنالوگ با توان مصرفی پایین اهمیت بیشتری پیدا خواهند کرد.

مبدل‌های آنالوگ به دیجیتال جزء جدایی ناپذیر همه سیستمهای دیجیتالی هستند که به نوعی با دنیای واقعی در ارتباط اند. در واقع، مبدل‌های آنالوگ به دیجیتال پل ارتباطی بین دنیای واقعی و محیط دیجیتال را تشکیل می‌دهند. بدین ترتیب، با توجه به آنچه در مورد طراحی مدارهای مجتمع در حوزه دیجیتال بیان شد، هرچه طراحی مدارهای دیجیتال مهمتر می‌شود، طراحی مبدل‌های آنالوگ به دیجیتال از اهمیت بیشتری برخوردار خواهند بود. همچنین چالش‌های ناشی از رشد فناوری همان‌طور که متوجه حوزه دیجیتال بوده، طراحی مدارهای مجتمع آنالوگ و به ویژه مبدل‌های آنالوگ به دیجیتال را نیز تحت تاثیر خود قرار می‌دهد.

در میان انواع مختلف مبدل‌های آنالوگ به دیجیتال، مدولاتورهای دلتا- سیگما از جایگاه ویژه‌ای برخوردار هستند. از آنجاییکه طراحی این مبدل‌ها در دو سطح سیستم و مدار انجام می‌گیرد، قابلیت‌های این نوع از مبدل‌ها به نحو مطلوبی بالا بوده و این امکان را به طراح می‌دهد که با توجه به نیاز مورد نظر، انتخاب مطلوب را در هر کدام از پارامترهای مبدل انجام دهد. در واقع، مدولاتورهای دلتا- سیگما نسبت به سایر مبدل‌های آنالوگ به دیجیتال از درجه‌های آزادی بیشتری برخوردار بوده و در نتیجه قدرت مانور طراح در این مبدل‌ها بیشتر است. بنابراین، ویژگی بیان شده اهمیت استفاده از این نوع مبدل‌ها را در فناوری‌های جدید که در آنها محدودیت‌های مداری روز به روز بیشتر می‌شوند، پررنگ‌تر می‌کند. بدین ترتیب، در بسیاری از موارد الزامات مداری در پیاده‌سازی این نوع مبدل‌ها با توجه به طراحی سیستمی مناسب راحت تر خواهند شد.

بنا بر آنچه گفته شد، طراحی مبدل‌های آنالوگ به دیجیتال دلتا- سیگما با ولتاژ پایین با توان مصرفی کم در تکنولوژی‌های روز دنیا از اهمیت خاصی برخوردار هستند. از این رو، در این پژوهش طراحی یک مبدل آنالوگ به دیجیتال دلتا- سیگما با ولتاژ تغذیه پایین و توان مصرفی کم مورد هدف قرار گرفته است.

۱-۲ نوآوریهای این پژوهش

نوآوری این پژوهش را می‌توان به دو قسمت اصلی تقسیم کرد. در قسمت اول مدل ارائه شده برای انتگرال‌گیر در Simulink اصلاح شده است و در قسمت دوم برای بدست آوردن ضرایب فیلتر روش جدیدی ارائه شده است که در ادامه به توضیح مختصر آنها می‌پردازیم.

برای طراحی سیستمی یک مدولاتور دلتا- سیگما ابتدا باید آنرا به صورت سیستمی تا حد ممکن دقیق مدلسازی کرد. برای این منظور، باید قسمتهای مختلف یک مدولاتور را به طور کامل بررسی کرده و اثرات غیرایده‌آلی هر کدام را تا حد ممکن مدل کنیم. یکی از مهمترین قسمتهای مدولاتورهای دلتا- سیگما، انتگرال‌گیر می‌باشد. در این پژوهش با در نظر گرفتن سایر پژوهشهایی که تا کنون در این زمینه انجام شده، مدل انتگرال‌گیر اصلاح شده و نشان داده شده است که با مدل ارائه شده عملکرد مدولاتور به طور قابل ملاحظه‌ای بهبود یافته است. یکی از مهمترین نتایج مدل ارائه شده، استفاده از آپ‌امپ‌های با بهره کم ($\approx 30\ dB$) است که در طراحی‌های ولتاژ پایین پیامدی بسیار مطلوب به حساب می‌آید که هم فرآیند طراحی را آسان‌تر می‌کند و هم منجر به کاهش قابل ملاحظه‌ی توان مصرفی می‌شود. همچنین، از دیگر نتایج مدل ارائه شده مدلسازی ساده‌تر برای مدولاتور است که منجر به طراحی سیستمی ساده‌تر و بهینه‌تر برای مدولاتور خواهد شد.

قسمت دوم این پژوهش ارائه روشی جدید برای بدست آوردن ضرایب فیلتر به صورت بهینه است. همان‌طور که می‌دانیم، در مدولاتورهای دلتا- سیگما بدست آوردن ضرایب فیلتر یکی از مهمترین مراحل طراحی محسوب می‌شود و عملکرد مدولاتور تا حد زیادی به این ضرایب بستگی دارد. اما از آنجاییکه شبیه‌سازی مدولاتور با توجه به نوع مدلهای ارائه شده تا کنون در سطح سیستم، نسبتا وقت‌گیر بوده و امکان استفاده از روشهای بهینه‌سازی مانند الگوریتم ژنتیک فراهم نبوده، معمولا مقادیر بدست آمده مقادیری غیر بهینه بوده‌اند. در روش ارائه شده، با توجه به

ساده‌سازی انجام شده برای مدل انتگرال‌گیر، زمان شبیه‌سازی کاهش یافته که این کاهش به خصوص برای تعداد شبیه‌سازی‌های زیاد که مورد استفاده در روشهای بهینه‌سازی است، قابل ملاحظه است و در نتیجه امکان استفاده از روشهای بهینه‌سازی فراهم شده است. در روش ارائه شده در این پژوهش برای محاسبه ضرایب فیلتر از الگوریتم ژنتیک استفاده شده است و نشان داده شده است که برای یک مدولاتور با مرتبه ثابت و به ازاء یک ضریب بیش‌نمونه‌برداری ثابت، مجموعه ضرایبی وجود دارند که به ازاء آنها عملکرد مدولاتور که همان مقدار SNR می‌باشد، نسبت به طراحی مرسوم بهبود می‌یابد.

۱-۳ نحوه نگارش پایان‌نامه

در این پایان‌نامه ابتدا مقدامه‌ای درباره مدولاتورهای دلتا- سیگما و قسمتهای مختلف تشکیل دهنده آنها در فصل ۲ ارائه می‌کنیم. سپس در فصل ۳، ابتدا به بررسی روشهای ارائه شده تا کنون در طراحی و مدلسازی سیستمی مدولاتورهای دلتا- سیگما خواهیم پرداخت. در ادامه، روش ارائه شده در این پژوهش برای طراحی سیستمی با استفاده از الگوریتم ژنتیک را بیان کرده و سپس به بیان و بررسی مدل انتگرال‌گیر اصلاح شده می‌پردازیم. در فصل ۴ نیز به نتایج بدست آمده و نیز بررسی موردی طراحی یک مدولاتور مرتبه ۲ با پهنای باند 500 Hz و دقت 70 dB در تکنولوژی 0.18 um با ولتاژ تغذیه 1 V خواهیم پرداخت.

فصل دوم

مدولاتورهای دلتا- سیگما[1]

۲-۱ مقدمه

مبدلهای آنالوگ به دیجیتال بیش‌نمونه‌بردار[2] که در ابتدا فقط برای کاربردهای باند صوتی و دقت بالا استفاده می‌شد، امروزه به طور گسترده در سیستمهایی که به باند ویدئویی و دقت متوسط نیاز دارند نیز استفاده می‌شوند. در این بین کاربردهای مربوط به ابزار دقیق پزشکی نیز از اهمیت ویژه‌ای برخوردارند. این نوع از مبدلها به دلایل زیادی از محبوبیت بالایی برخوردارند. اولا اینکه مبدلهای بیش‌نمونه‌بردار مشخصات طراحی بخش آنالوگ را به بهای پیچیده‌تر شدن بخش دیجیتال، راحت‌تر می‌کند. این مصالحه برای تکنولوژی‌های جدید زیر میکرون[3] که در آنها مدارهای دیجیتال سرعت بالای پیچیده در مساحت کمتر بهتر پیاده‌سازی می‌شوند، مطلوب‌تر می‌باشد. اما تحقق مدارهای آنالوگ دقت بالا با ولتاژ تغذیه پایین و امپدانس خروجی کم (که نتیجه اثرات کانال کوتاه است)، کاری دشوار است. در مبدلهای بیش‌نمونه‌بردار عناصر آنالوگ نیاز به دقت تطابق و بهره تقویت کمتری خواهند داشت.

---

[1] تمامی مطالب این بخش با استفاده از مرجع [4] نوشته شده است.

[2] Oversampling

[3] Submicron

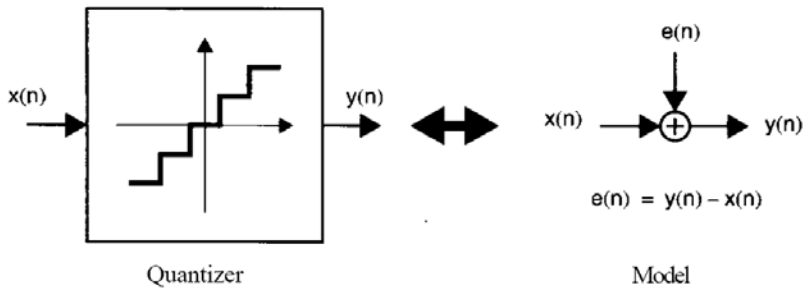
مزیت دوم مبدلهای بیش‌نمونه‌بردار اینست که نیاز به فیلترهای anti-aliasing برای مبدل‌های A/D و فیلترهای صاف‌کننده[1] برای مبدل‌های D/A کمتر خواهد شد. همچنین، در مبدلهای بیش‌نمونه‌بردار نیازی به استفاده از مدار نمونه‌بردار و نگهدارنده در ورودی مبدل نخواهد بود.

۲-۲ بیش‌نمونه‌برداری بدون شکل‌دهی نویز[2]

در این قسمت مزایای نمونه‌برداری با نرخی بیشتر از نرخ نایکوئیست بررسی خواهد شد. همچنین خواهیم دید که با گسترش توان نویز کوانتیزاسیون در یک گستره فرکانسی وسیع، محدوده دینامیکی[3] بیشتری بدست خواهد آمد. اگرچه همانطور که خواهیم دید، به ازای دو برابر کردن نرخ نمونه‌برداری فقط ۳ دسی‌بل افزایش محدوده دینامیکی خواهیم داشت. برای بهبود بیشتر محدوده دینامیکی با افزایش نرخ نمونه‌برداری، شکل‌دهی نویز با استفاده از فیدبک بکار می‌رود، که در بخش بعدی بررسی خواهد شد.

۲-۲-۱ مدل نویز کوانتیزاسیون

مدل کوانتایزر را همان‌طور که در شکل ۲-۱ نشان داده شده است، به صورت خطای کوانتیزاسیون جمع‌شونده $e(n)$ در نظر می‌گیریم.



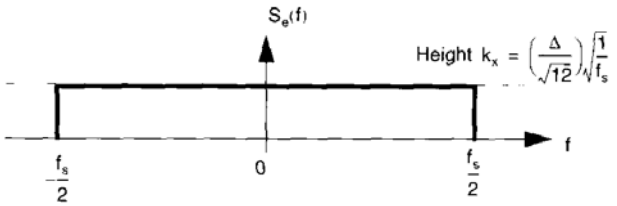
شکل ۲-۱. کوانتایزر و مدل خطی آن [4].

[1] Smoothing
[2] Noise Shaping
[3] Dynamic Range

سیگنال خروجی $y(n)$ برابر است با نزدیکترین مقدار کوانتیزه شده سیگنال $x(n)$ و خطای کوانتیزاسیون برابر است با اختلاف مقادیر ورودی و خروجی. این مدل در صورتی دقیق است که توجه داشته باشیم که خطای کوانتیزاسیون یک سیگنال مستقل نیست بلکه ممکن است تا حد زیادی به سیگنال ورودی، $x(n)$، بستگی داشته باشد. این مدل خطی زمانی تقریبی می‌شود که فرضهایی در مورد ویژگی‌های آماری $e(n)$ داشته باشیم. مثل اینکه فرض کنیم $e(n)$ یک سیگنال نویز سفید مستقل است. در ادامه نشان داده شده است که این مدل به درک ساده‌تری از $\Delta\Sigma$ می‌انجامد و جز در برخی موارد معمولا مدل صحیحی می‌باشد.

۲-۲-۲ فرض سفید بودن نویز

اگر سیگنال $x(n)$ بسیار فعال[۱] باشد $e(n)$ را میتوان با یک عدد تصادفی مستقل که بین $\pm\frac{\Delta}{2}$ به طور یکنواخت توزیع شده است تقریب زد. Δ برابر است با اختلاف بین دو سطح کوانتیزاسیون مجاور. بنابراین توان نویز کوانتیزاسیون برابر خواهد بود با $\frac{\Delta^2}{12}$ و مستقل از فرکانس نمونه‌برداری، fs، خواهد بود. همچنین، چگالی طیفی[۲] $e(n)$، $S_e(f)$، سفید (ثابت در حوزه فرکانس) بوده و همه توان آن در بازه $\pm\frac{f_S}{2}$ خواهد بود. با فرض سفید بودن نویز کوانتیزاسیون، چگالی طیفی نویز کوانتیزاسیون $S_e(f)$ مانند شکل ۲-۲ خواهد بود.



شکل ۲-۲. چگالی طیفی فرض شده برای نویز کوانتیزاسیون [4].

با توجه به اینکه توان نویز کل برابر با $\frac{\Delta^2}{12}$ است، با یک تعریف دو طرفه برای توان، اندازه چگالی طیفی برابر خواهد بود با مساحت زیر $S_e(f)$ در بازه $\pm\frac{f_S}{2}$ و یا

$$\int_{-f_S/2}^{f_S/2} S_e^2(f)\,df = \int_{-f_S/2}^{f_S/2} k_X^2\,df = k_X^2\,f_S = \frac{\Delta^2}{12} \qquad (۱-۲)$$

---

[۱] Active

[۲] Spectral Density

با حل آن خواهیم داشت

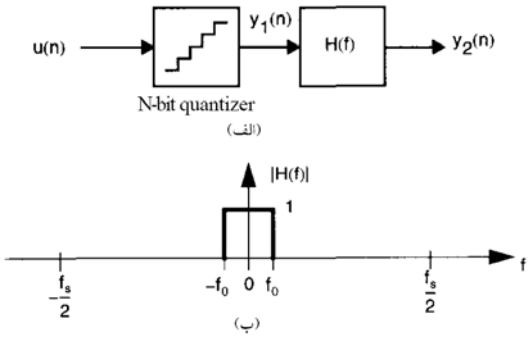
$$K_X = \left(\frac{\Delta}{\sqrt{12}}\right)\sqrt{\frac{1}{f_s}} \qquad (۲-۲)$$

۲-۲-۳ مزیت بیش‌نمونه‌برداری

بیش‌نمونه‌برداری زمانی اتفاق می‌افتد که سیگنال مورد نظر دارای باند محدود f_0 بوده و فرکانس نمونه‌برداری f_S از $2f_0$ بزرگتر باشد ($2f_0$ نرخ نایکوئیست و یا کمترین نرخ نمونه‌برداری برای سیگنال با پهنای باند f_0 است). نسبت بیش‌نمونه‌برداری را به این صورت تعریف می‌کنیم

$$OSR \equiv \frac{f_s}{2f_0} \qquad (۲-۳)$$

پس از کوانتیزاسیون، از آنجائیکه سیگنال مورد نظر دارای باند فرکانسی کمتر از f_0 است، $y_1(n)$ توسط $H(f)$ فیلتر شده و سیگنال $y_2(n)$ را مطابق شکل ۲-۳ تشکیل می‌دهد. این فیلتر نویز کوانتیزاسیون (و همه سیگنال‌های دیگر) بیشتر از f_0 را حذف می‌کند.



شکل ۲-۳. (الف) یک سیستم بدون شکل‌دهی نویز. (ب) پاسخ brick-wall فیلتر برای حذف بخش عمده نویز [4].

با فرض اینکه سیگنال ورودی یک موج سینوسی است، حداکثر دامنه آن بدون برش برابر خواهد بود با $2^N(\Delta/2)$. برای این سیگنال سینوسی توان سیگنال (P_S) برابر است با

$$P_S = \left(\frac{\Delta 2^N}{2\sqrt{2}}\right)^2 = \frac{\Delta^2 2^{2N}}{8} \qquad (۲-۴)$$

توان سیگنال ورودی در $y_2(n)$ مانند قبل از فیلتر است زیرا ما فرض کردیم محتویات فرکانسی سیگنال تا قبل از فرکانس f_0 می‌باشد، ولی توان نویز کوانتیزاسیون به مقدار زیر کاهش می‌یابد

$$P_e = \int_{-f_S/2}^{f_S/2} S_e^2(f)\left|H(f)\right|^2 \, df = \int_{-f_0}^{f_0} k_X^2 \, df = \frac{2 f_0 \Delta^2}{f_S 12} = \frac{\Delta^2}{12}\left(\frac{1}{OSR}\right) \qquad (۵-۲)$$

بنابراین، دوبرابر کردن OSR توان نویز کوانتیزاسیون را نصف می‌کند که معادل با ۳ دسی‌بل (و یا ۰/۵ بیت) خواهد بود.

همچنین می‌توان حداکثر نسبت توان سیگنال به توان نویز کوانتیزاسیون (SNR) در سیگنال $y_2(n)$ را محاسبه کرد. با استفاده از معادله‌های (۲-۴) و (۲-۵) می‌توان نوشت

$$SNR_{\max} = 10\log\left(\frac{P_S}{P_e}\right) = 10\log\left(\frac{3}{2}2^{2N}\right) + 10\log(OSR) \qquad (۶-۲)$$

و یا

$$SNR_{\max} = 6.02N + 1.76 + 10\log(OSR) \qquad (۷-۲)$$

عبارت اول مربوط به کوانتایزر N بیتی بوده درحالیکه عبارت شامل OSR افزایش SNR ناشی از بیش‌نمونه‌برداری می‌باشد. در اینجا می‌توان دید که بیش‌نمونه‌برداری، باعث افزایش SNR به مقدار 3dB/octave و یا 0.5 bits/octave خواهد شد. علت این افزایش SNR در اثر بیش‌نمونه‌برداری اینست که هنگامیکه نمونه‌های کوانتیزه شده با هم متوسط‌گیری می‌شوند، بخش سیگنال به طور خطی جمع شده در حالیکه بخش نویز به صورت جذر مجموع مربعات جمع می‌شود.

۲-۲-۴ مزیت مبدل D/A ۱ بیتی

در حالیکه بیش‌نمونه‌برداری SNR را بهبود می‌بخشد خطی بودن را بهتر نمی‌کند. به عنوان مثال، اگر یک مبدل خطی ۱۶ بیتی مورد نظر باشد، در حالیکه از یک مبدل ۱۲ بیتی با بیش‌نمونه‌برداری استفاده شود، مبدل ۱۲ بیتی باید خطای INL[۱] کمتر از $1/2^4$ LSB داشته باشد (که در اینجا LSB مربوط به مبدل ۱۲ بیتی است). به عبارت دیگر، دقت عناصر باید بهتر از دقت ۱۶ بیتی باشد ($100\times(1/2^{16}) = 0.0015$ درصد دقت). بنابراین نوعی خود کالیبراسیون[۲] و یا تراش لیزری[۱] برای بدست آوردن خطی‌بودن مورد نظر نیاز داریم. اگرچه، با نرخ نمونه‌برداری بالای

---

[۱] Integral Nonlinearity

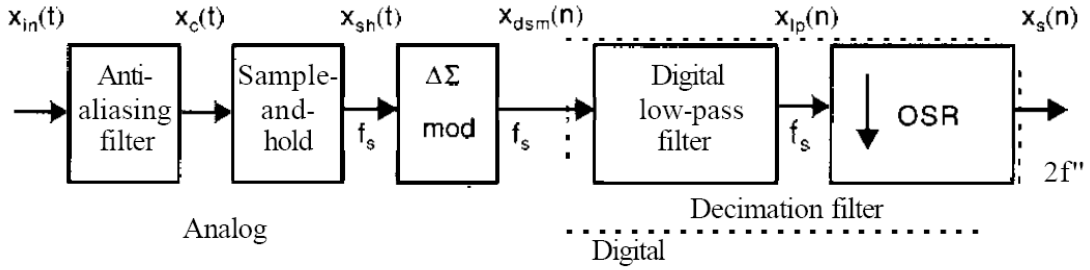
[۲] Self-Calibration

مناسب، می‌توان خروجی ۱ بیتی مبدل را فیلتر کرده و یک مبدل ۱۶ بیتی معادل داشته باشیم. مزیت مبدل D/A ۱ بیتی اینست که ذاتا خطی است. خطی‌بودن نتیجه اینست که مبدل D/A ۱ بیتی تنها دو مقدار خروجی دارد، و از آنجائیکه دو نقطه یک خط راست را مشخص می‌کنند، نیازی به تراش و یا کالیبراسیون نیست. این خطی‌بودن یکی از انگیزه‌های استفاده از بیش‌نمونه‌برداری با مبدل D/A ۱ بیتی است. بسیاری از مبدل‌های صوتی از مبدل ۱ بیتی برای تحقق مبدل‌های خطی ۱۶ تا ۱۸ بیتی، استفاده می‌کنند. به علاوه، مبدل‌های خطی با دقت ۲۰ بیت بدون استفاده از تراش گزارش شده‌اند [Leopold, 1991]. در نهایت، لازم به ذکر است که استفاده از روشهای بیش‌نمونه‌برداری مزیتهای دیگری همچون حذف فیلترهای anti-aliasing و فیلترهای صاف‌کننده، را دارا می‌باشد.

۲-۳ بیش‌نمونه‌برداری با شکل‌دهی نویز

در این بخش مزیت شکل‌دهی نویز کوانتیزاسیون با استفاده از فیدبک را بررسی می‌کنیم. در این بخش خواهیم دید که با استفاده از شکل‌دهی نویز، محدوده دینامیکی سیگنال ورودی بیش‌نمونه‌برداری شده افزایش چشم‌گیری خواهد داشت.

ساختار یک مبدل A/D بیش‌نمونه‌بردار در شکل ۲-۴ نشان داده شده است.



شکل ۲-۴. بلوک دیاگرام یک مبدل A/D بیش‌نمونه‌بردار [4].

طبقه اول یک فیلتر anti-aliasing زمان- پیوسته[۲] بوده و برای محدود کردن سیگنال ورودی تا فرکانسهای کمتر از نصف فرکانس نمونه‌برداری (f_s) مورد نیاز می‌باشد. هنگامیکه بیش‌نمونه‌برداری انجام می‌شود، این فیلتر

---

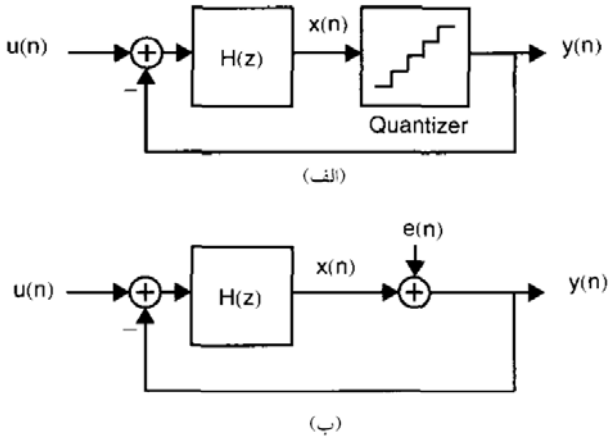
[۱] Laser Trimming

[۲] Continuous-time

می‌تواند یک فیلتر RC پایین گذر ساده باشد. پس از فیلتر anti-aliasing سیگنال زمان- پیوسته $x_c(t)$ توسط یک مدار نمونه‌بردار و نگهدارنده نمونه‌برداری می‌شود. سپس، این سیگنال توسط مدولاتور $\Delta\Sigma$ پردازش می‌شود، که سیگنال آنالوگ را به یک سیگنال دیجیتال دقت پایین نویز- شکل‌دهی شده[1]، تبدیل می‌کند. بلوک بعدی در سیستم یک decimator است. این بلوک سیگنال دیجیتال دقت پایین بیش‌نمونه‌برداری شده را به یک سیگنال دقت بالا در یک فرکانس نمونه‌برداری پایین‌تر، که معمولا دو برابر پهنای باند سیگنال است، تبدیل می‌کند. فیلتر decimation را می‌توان به صورت یک فیلتر پایین‌گذر و یک down sampler در نظر گرفت، اگرچه در بسیاری از سیستمها decimation را در چند طبقه انجام می‌دهند. لازم به ذکر است که در مبدل‌هایی که از مدارهای خازن- سوئیچ‌شونده استفاده می‌شود، نیازی به مدار نمونه‌بردار و نگهدارنده نیست. در بخشهای بعد بلوک‌های مختلف به طور مفصل‌تری بررسی خواهند شد.

۲-۳-۱ مدولاتور نویز- شکل‌دهی شده $\Delta\Sigma$

یک مدولاتور $\Delta\Sigma$ نویز- شکل‌دهی شده و مدل خطی آن در شکل ۲-۵ نشان داده شده است.



شکل ۲-۵. یک مدولاتور $\Delta\Sigma$ و مدل خطی آن: (الف) یک مدولاتور $\Delta\Sigma$ (ساختار درونیاب[2])؛ (ب) مدل خطی مدولاتور که در آن نویز کوانتیزاسیون خارج شده است [4].

[1] Noise-Shaped

[2] Interpolator

این ساختار به ساختار درونیاب معروف بوده و مشابه تقویت‌کننده‌ای است که با آپ‌امپ و فیدبک پیاده‌سازی شده باشد. در این قیاس[1]، فیدبک اثر نویز طبقه خروجی آپ‌امپ را در سیگنال خروجی تقویت‌کننده حلقه‌بسته در فرکانس‌های پایین، هنگامیکه بهره آپ‌امپ زیاد است، کاهش می‌دهد. در فرکانس‌های بالا وقتی بهره آپ‌امپ کم است نویز کم نمی‌شود. لازم به ذکر است که کوانتایزر در اینجا در حالت کلی نشان داده شده است که سطوح مختلفی را ممکن است شامل شود. در حالیکه اکثر مبدل‌های کنونی از کوانتایزرهای ۱ بیتی استفاده می‌کنند، می‌توان از مبدل‌های چند بیتی نیز استفاده کرد.

با در نظر گرفتن مدل خطی نشان داده شده در شکل ۲-۵(ب) با دو وروی مستقل (که یک تقریب است)، می‌توان تابع تبدیل سیگنال و تابع تبدیل نویز را بدست آورد

$$S_{TF}(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1+H(z)} \qquad (۸-۲)$$

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1+H(z)} \qquad (۹-۲)$$

صفرهای تابع تبدیل نویز $N_{TF}(Z)$ برابر با قطب‌های $H(Z)$ می‌باشند. به عبارت دیگر، وقتی $H(Z)$ به سمت بینهایت می‌رود، طبق رابطه (۲-۹) $N_{TF}(Z)$ به سمت صفر خواهد رفت. می‌توان سیگنال خروجی را به صورت ترکیبی از سیگنال ورودی و نویز نوشت که هرکدام با تابع تبدیل متناظر خود فیلتر شده‌اند. در حوزه فرکانس داریم

$$Y(z) = S_{TF}(z)U(z) + N_{TF}(z)E(z) \qquad (۱۰-۲)$$

برای اینکه نویز کوانتیزاسیون را بهتر شکل‌دهی کنیم، $H(Z)$ را طوری انتخاب می‌کنیم که اندازه آن از صفر تا f_0 (باند مورد نظر) بزرگ باشد. با این انتخاب، تابع تبدیل سیگنال، $S_{TF}(Z)$، در باند مورد نظر تقریبا برابر یک خواهد بود مانند یک آپ‌امپ در یک ساختار فیدبک بهره واحد. به علاوه، تابع تبدیل نویز، $N_{TF}(Z)$، در این باند تقریبا برابر صفر خواهد بود. بنابراین، نویز کوانتیزاسیون در باند مورد نظر کاهش یافته در حالیکه خود سیگنال تا حد زیادی بدون تغییر باقی می‌ماند. از آنجائیکه بهره حلقه در فرکانس‌های بالا کم است، نویز فرکانس‌بالا توسط

[1] Analogy

فیدبک کاهش نخواهد یافت. اگرچه، با یک فیلترینگ پس از آن می‌توان نویز داخل باند را کاهش داد بدون اینکه تاثیر زیادی بر روی سیگنال اصلی داشته باشد.

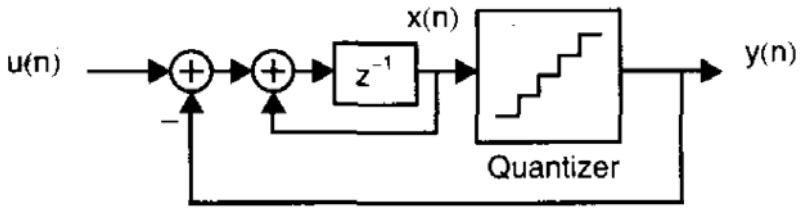
قبل از انتخاب تابع خاصی برای $H(Z)$، لازم به ذکر است که حداکثر دامنه سیگنال ورودی داخل باند، $u(n)$، باید به اندازه حداکثر سطوح سیگنال فیدبک، $y(n)$، باشد در غیر اینصورت بهره زیاد $H(Z)$ باعث خواهد شد سیگنال $x(n)$ اشباع شود. به عنوان مثال، اگر یک کوانتایزر ۱ بیتی دارای خروجی‌های ± 1 است، سیگنال ورودی باید برای فرکانس‌هایی که بهره $H(Z)$ زیاد است در همین گستره ± 1 باقی بماند. در واقع در بسیاری از مدولاتورها سیگنال ورودی باید کمتر از محدوده خروجی کوانتایزر باشد، تا مدولاتور پایدار[۱] بماند. اگرچه، حداکثر دامنه سیگنال ورودی در فرکانس‌هایی که بهره $H(Z)$ کم است، موجب اشباع سیگنال نخواهد شد. به عبارت دیگر، حداکثر دامنه سیگنال در خارج باند فرکانسی مورد نظر می‌تواند کمی بیشتر از سطوح فیدبک باشد.

۲-۳-۲ شکل‌دهی نویز مرتبه اول

برای شکل‌دهی نویز مرتبه اول، باید تابع تبدیل نویز، $N_{TF}(Z)$، یک صفر در dc داشته باشد ($z = 1$)، تا نویز کوانتیزاسیون در فرکانس‌های بالا فیلتر شود[۲]. از آنجائیکه صفرهای $N_{TF}(Z)$ برابر با قطب‌های $H(Z)$ می‌باشند، با انتخاب یک انتگرال‌گیر زمان- گسسته[۳] برای $H(Z)$ می‌توان شکل‌دهی نویز مرتبه اول داشت. یعنی

$$H(Z) = \frac{1}{Z-1} \qquad (۱۱-۲)$$

بلوک دیاگرام چنین انتخابی در شکل ۲-۶ نشان داده شده است.



[۱] یک مدولاتور را پایدار می‌گوییم اگر ورودی کوانتایزر آنقدر بزرگ نباشد که خطای کوانتایزر از $\pm\frac{\Delta}{2}$ بیشتر شود.

[۲] High-pass filtered

[۳] Discrete-time

شکل ۲-۶. یک مدولاتور interpolative نویزشکل‌دهی شده مرتبه اول [4].

۲-۳-۲-۱ حوزه زمان

از منظر حوزه زمان، اگر فیدبک درست کار کرده و سیستم پایدار باشد، آنگاه سیگنال x(n) محدود خواهد بود ($\neq \infty$). از آنجائیکه انتگرال‌گیر بهره dc بینهایت دارد، مقدار متوسط ورودی انتگرال‌گیر زمان- پیوسته باید دقیقا صفر باشد (مقدار متوسط u(n) – y(n) باید صفر باشد). این نتیجه بدین معنی است که مقدار متوسط (مقدار dc) سیگنال u(n) باید با مقدار متوسط (مقدار dc) سیگنال y(n) برابر باشد.

در اینجا نیز بر شباهت این ساختار و یک آپ‌امپ با فیدبک بهره واحد تاکید می‌شود. تابع تبدیل حلقه باز یک آپ‌امپ با یک انتگرال‌گیر مرتبه اول که در فرکانس‌های پایین بهره خیلی زیادی دارد، تقریب زده می‌شود.

۲-۳-۲-۲ حوزه فرکانس

در حوزه فرکانس تابع تبدیل سیگنال برابر است با

$$S_{TF}(z) = \frac{Y(z)}{U(z)} = \frac{1/(z-1)}{1+1/(z-1)} = z^{-1} \qquad (۱۲-۲)$$

و تابع تبدیل نویز برابر است با

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1+1/(z-1)} = (1-z^{-1}) \qquad (۱۳-۲)$$

به سادگی دیده میشود که تابع تبدیل سیگنال یک تاخیر است، در حالیکه تابع تبدیل نویز یک دیفرانسیل‌گیر است (فیلتر بالاگذر).

برای پیدا کردن اندازه تابع تبدیل نویز، $|N_{TF}(f)|$، قرار می‌دهیم $z = e^{j\omega T} = e^{j2\pi f/f_S}$ و می‌نویسیم،

$$N_{TF}(f) = 1 - e^{-j2\pi f/f_S} = \frac{e^{j\pi f/f_S} - e^{-j\pi f/f_S}}{2j} \times 2j \times e^{-j\pi f/f_S} = \sin\left(\frac{\pi f}{f_S}\right) \times 2j \times e^{-j\pi f/f_S} \qquad (۱۴-۲)$$

با قدرمطلق گرفتن از طرفین خواهیم داشت

$$|N_{TF}(f)| = 2\sin\left(\frac{\pi f}{f_S}\right) \qquad (۱۵-۲)$$