بسم الله الرحمن الرحيم

٩٣٠٤٤

دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

عنوان:

طراحی سیستم‌های محاسباتی پرسرعت و کم توان در تکنولوژی‌های زیر ۷۰ نانومتر

نگارش:

فاطمه کشفی

اساتید راهنما:

دکتر سید مهدی فخرایی

دکتر سعید صفری

۱۳۸۶/۱۲/۰۵

پایان‌نامه برای دریافت درجهٔ کارشناسی ارشد در رشتهٔ

مهندسی برق – الکترونیک مدار و سیستم

بهمن ۱۳۸۶

۹۳۰۴۴

به نام خدا

دانشگاه تهران

پردیس دانشکده های فنی

دانشکده مهندسی برق و کامپیوتر

گواهی دفاع از پایان نامه کارشناسی ارشد

هیأت داوران پایان نامه کارشناسی ارشد آقا/خانم فاطمه کشفی در رشته مهندسی برق و کامپیوتر، گرایش : الکترونیک :

با عنوان: "طراحی سیستمهای محاسباتی پر سرعت و کم توان درتکنولوژی های زیر ۷۰نانومتر"

	به عدد	به حروف
نمره نهایی پایان نامه:	۲۰	بیست

در تاریخ ۱۳۸۶/۱۱/۱۳

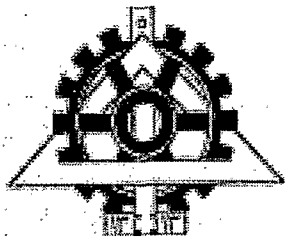
و درجه [ ] ارزیابی نمود.

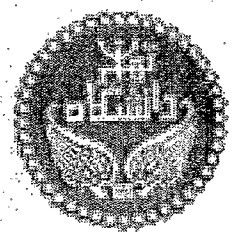
مشخصات هیأت داوران	نام و نام خانوادگی	مرتبه دانشگاهی	دانشگاه یا موسسه	امضاء
۱-استاد راهنما	دکتر سیدمهدی فخرایی	دانشیار	تهران	
استاد راهنمای دوم (حسب مورد)	دکتر سعید صفری	استادیار	تهران	
۲-استاد مشاور	--	--	--	
۳ -استاد مدعو خارجی (یا استاد مشاور دوم)	دکتر مرتضی صاحب الزمانی	استادیار	امیرکبیر	
۴-استاد مدعو داخلی	دکتر ناصر معصومی	استادیار	تهران	
۵-داور و نماینده کمیته تحصیلات تکمیلی دانشکده	دکتر علی افضلی کوشا	استاد	تهران	

تذکر:این برگه پس از تکمیل توسط هیات داوران در نخستین صفحه پایان نامه درج می گردد. ۱۳۸۶/۱۲/۰۵

دانشکده فنی دانشگاه تهران

تحصیلات تکمیلی





دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

پایان‌نامه برای دریافت درجهٔ کارشناسی ارشد در رشتهٔ مهندسی برق – الکترونیک مدار و سیستم

عنوان: طراحی سیستم‌های محاسباتی پرسرعت و کم توان در تکنولوژی‌های زیر ۷۰ نانومتر

نگارش: فاطمه کشفی

این پایان‌نامه در تاریخ ۱۳۸۶/۱۱/۱۳ در مقابل هیات داوران دفاع گردید و مورد تصویب قرار گرفت.

معاون آموزشی و تحصیلات تکمیلی پردیس دانشکده‌های فنی: دکتر جواد فیض

رئیس دانشکده مهندسی برق و کامپیوتر: دکتر پرویز جبه دار مارالانی

معاون پژوهشی و تحصیلات تکمیلی دانشکده مهندسی برق و کامپیوتر: دکتر سعید نادر اصفهانی

استاد راهنما: دکتر سید مهدی فخرایی

استاد راهنما: دکتر سعید صفری

عضو هیات داوران: دکتر علی افضلی کوشا

عضو هیات داوران: دکتر ناصر معصومی

عضو هیات داوران: دکتر مرتضی صاحب الزمانی

تعهد نامه اصالت اثر

اینجانب فاطمه کشفی تائید می‌کنم که مطالب مندرج در این پایان نامه حاصل کار پژوهشی اینجانب است و به دستاوردهای پژوهشی دیگران که در این نوشته از آنها استفاده شده است مطابق مقررات ارجاع گردیده است. این پایان نامه قبلاً برای احراز هیچ مدرک هم سطح یا بالاتر ارائه نشده است.

کلیه حقوق مادی و معنوی این اثر متعلق به دانشکده فنی دانشگاه تهران است.

نام و نام خانوادگی دانشجو : فاطمه کشفی

امضای دانشجو :

۸۶/۱۱/۲۴

تقدیم به

پدر و مادر عزیزم

تشکر و قدردانی

با حمد و سپاس از خداوند متعال که توفیق انجام این پژوهش را به من اعطا فرمود، از پدر و مادر عزیز و مهربانم برای حمایت‌ها و زحمات بی‌دریغشان نهایت سپاس‌گزاری را به‌جا می‌آورم.

از استاد عزیز و گرانقدرم جناب آقای دکتر فخرایی که راهنمای من در شکل‌گیری و انجام این پژوهش در طول چند سال بوده‌اند نهایت تشکر و امتنان را دارم، و از استاد ارجمند جناب آقای دکتر صفری برای کمک‌های بسیاری که در طول انجام آن به من نمودند بسیار سپاس‌گزارم.

و با تشکر از همه‌ی اساتیدم که بسیار از آن‌ها آموختم، از خداوند بزرگ برایشان توفیق و سربلندی را آرزومندم.

چکیده

در این پایان نامه روش‌های طراحی و مشکلات مدارهای محاسباتی دیجیتال در سطح ترانزیستور برای رسیدن به سرعت‌های بالا و تلف توان‌های کمتر بررسی شده است. دو مدار محاسباتی پرسرعت که توسط اینتل برای پیاده‌سازی هسته‌ی صحیح پردازشگرهای پنتیم نسل چهارم پیاده‌سازی شده در تکنولوژی‌های ۹۰nm و ۶۵nm ارائه شده است مطالعه شده و بر اساس آن‌ها یک مدار جمع‌کننده ۳۲ بیت که هم‌زمان از مزایای دو ساختار یاد شده استفاده می‌کند با یک توپولوژی جدید ارائه شده است. مدار جمع‌کننده‌ی ۳۲ بیت ارائه شده با تکنیک سوئینگ ولتاژ کم و بر پایه‌ی لاجیک ترانزیستورهای عبوری با ساختار منچستر پیاده‌سازی شده است. مزیت دیگر این مدار استفاده از ساختار درخت نامتراکم پیش‌بینی کننده‌ی بیت‌های نقلی است. استفاده هم‌زمان از تکنیک‌های یاد شده برای پیاده‌سازی جمع‌کننده منجر به دستیابی به فرکانس ۱۵GHz برای فرکانس ساعت و تلف توان ۱،۵۵mW/GHz شده است. دست‌آورد دیگر این پایان نامه ارائه‌ی یک مدار جدید برای مدار فشرده‌کننده‌ی ۴ به ۲ برای کاربرد در مدار ضرب‌کننده–جمع‌کننده پایپ لاین است. با استفاده از این مدارها که با تکنیک سوئینگ ولتاژ کم پیاده‌سازی شده‌اند به یک مدار ضرب‌کننده–جمع‌کننده پایپ لاین پنج طبقه با فرکانس ۱۵GHz و تلف توان ۲۵mW/GHz دست یافتیم. در نهایت به کمک الگوریتم ژنتیک الگوی مناسبی برای بایاس‌های بدنه‌ی ترانزیستورهای مدار به دست آوردیم و بازده مدارهای طراحی شده را برای دستیابی به تأخیر مورد نظر تا ۳۰٪ افزایش دادیم.

فهرست مطالب

۱ فصل اول: مقدمه ۸

۱-۱ چالش های طراحی مدارهای دیجیتال در تکنولوژی های در مقیاس نانو ۱۰
۱-۲ تکنیک های افزایش سرعت در مدارهای دیجیتال محاسباتی ۱۲
۱-۳ انگیزه ی انجام پایان نامه ۱٤
۱-٤ ترتیب مطالب پایان نامه ۱۷
۱-۵ خلاصه و نتیجه گیری فصل ۱۸

۲ فصل دوم: مشکلات طراحی مدارهای دیجیتال در تکنولوژی های در مقیاس نانو ۲۰

۲-۱ معرفی و طبقه بندی تغییرات پروسس ۲۰
۲-۱-۱ تغییرات برون-تراشه ۲۲
۲-۱-۲ تغییرات درون-تراشه ۲۳
۲-۱-۳ مدل سازی تغییرات پروسس در SPICE ۲٤
۲-۱-٤ روش های اندازه گیری تغییرات پروسس ۲۵
۲-۱-۵ انواع روش های مداری برای کاهش اثرات تغییرات پروسس ۲۷
۲-۲ جریان های نشتی ۲۸
۲-۲-۱ جریان زیرآستانه ۲۸
۲-۲-۲ جریان تونل زنی باند به باند ۲۹
۲-۲-۳ جریان نشتی گیت ۳۰
۲-۳ بایاس بهینه‌ی بدنه برای کاهش اثرات تغییرات پروسس وجریان های نشتی ۳۰
۲-٤ خلاصه و نتیجه گیری فصل ۳۲

۳ فصل سوم: مدارهای محاسباتی پرسرعت ۳٦

۳-۱ پردازشگر پنتیم نسل چهارم ۹۰nm ۳٦
۳-۱-۱ تبدیل جمع کننده ی ۱٦ بیتی به جمع کننده ی ۳۲ بیتی ٤۳
۳-۲ پردازشگر پنتیم نسل چهارم ٦۵nm ٤۵
۳-۲-۱ ساختار پردازشگر پنتیم نسل چهارم ٤٦
۳-۲-۲ هسته ی صحیح پردازشگر پنتیم نسل چهارم ٤٦

۳-۲-۳ استفاده از مدارهای جمع کننده در پردازشگر ٤٧
۳-۲-٤ ساختار دومینو فرکانس بالا ٥٠
۳-۲-٥ مدار جمع کننده ی ۳۲ بیتی درخت نامتراکم ٥١
۳-۲-٥-۱ مدار تولیدکننده ی بیت نقلی ٥٣
۳-۲-٥-۲ مدار تولیدکننده ی خروجی جمع ٥٦
۳-۲-٦ جمع کننده ۳۲ بیتی درخت سه تایی ٥٨
۳-۲-٦-۱ مدار تولید خروجی جمع ٦٠
۳-۳ خلاصه ونتیجه گیری فصل ٦١
٤ فصل چهارم: مدار جمع کننده ی پرسرعت ٦٤
٤-۱ ساختار مدار جمع کننده ٦٥
٤-۲ طراحی درخت تولید بیت نقلی ٦٦
٤-۳ درخت تولید بیت نقلی ٧٠
٤-٤ مدار تولید خروجی جمع ٧٣
٤-٥ شبکه ی بازنشانی ٧٤
٤-٦ مدارهای جانبی ٧٤
٤-۷ نتایج شبیه سازی ٧٥
٤-۸ خلاصه ونتیجه گیری فصل ٧٧
٥ فصل پنجم: مدار ضرب کننده-جمع کننده ٨٠
٥-۱ ساختار ضرب کننده ٨١
٥-۱-۱ کاهش تعداد حاصل ضربهای جزئی ٨١
٥-۱-۲ جمع کردن حاصل ضربهای جزئی ٨٥
٥-۱-۲-۱ مدار ارائه شده برای فشرده کننده ی ٤ به ۲ ..... ٨٧
٥-۱-۲-۲ نتایج شبیه سازی فشرده کننده ی ٤ به ۲ ارائه شده ٩١
٥-۱-۳ جمع حاصل ضرب های جزئی به صورت پایپ لاین ٩٥
٥-۱-۳-۱ جمع کننده ی نهایی ٩٦
٥-۲ نتایج شبیه سازی مدار ضرب کننده-جمع کننده ٩٧
٥-۲-۱ شبیه سازی مدار ضرب کننده-جمع کننده ی ۱ ..... ٩٧
٥-۲-۲ شبیه سازی مدار ضرب کننده-جمع کننده ی ۲ ..... ٩٩
٥-۲-۳ شبیه سازی مدار ضرب کننده-جمع کننده ی ۳ ..... ١٠١
٥-۳ بهینه سازی بازده تراشه ها به کمک الگوریتم ژنتیک ١٠٤

٥-٤ خلاصه و نتیجه گیری فصل ۱۰۸
٦ نتیجه گیری و کارهای آینده ۱۱۰
٦-١ کارهای آینده ۱۱۲
واژه نامه ی انگیسی به فارسی ۱۱٤
فهرست منابع ۱۱۷
فهرست مقالات منتشر شده ۱۲٤
پیوست: مدل‌های پیشگویانه‌ی تکنولوژی ۱۲٤

فهرست شکل‌ها

شکل ۱-۱ روند کاهش ابعاد تکنولوژی و منبع ولتاژ ۹
شکل ۱-۲ مراحل انجام پایان نامه ۱۶

شکل ۲-۱ تغییرات پروسس که در فازهای مختلف ساخت دیده می شود ۲۲
شکل ۲-۲ گوشه های پروسس در تکنولوژی CMOS ۲۴
شکل ۲-۳ تغییرات ابعاد ترانزیستورها در پروسه ی ساخت. ۲۵
شکل ۲-۴ انواع روش های مداری مقابله با تغییرات پروسس. ۲۷
شکل ۲-۵ جریان های نشتی مختلف در افزاره ی ماسفت ۲۸

شکل ۳-۱ شبکه ی به هم پیوسته ی نفوذی مدار جمع کننده ی ۱۶ بیتی در طبقه ی اول. ۳۹
شکل ۳-۲ مدارهای دومینو مکمل تولید کننده ی سیگنال های کنترلی P، G و K ۴۰
شکل ۳-۳ شبکه ی XOR تولید کننده ی sum و sum' ۴۱
شکل ۳-۴ شبکه مدارهای پرش ۴۲
شکل ۳-۵ مدار پرش و مدار تولید AND متناظر با آن ۴۲
شکل ۳-۶ مدار تقویت کننده ی حسگر ۴۳
شکل ۳-۷ جمع کننده ی ۳۲ بیتی انتخاب کننده ی بیت نقلی. ۴۵
شکل ۳-۸ ساختار هسته ی صحیح پردازشگر پنتیم نسل چهارم ۴۷
شکل ۳-۹ ساختار واحد تولید کننده ی آدرس ۴۸
شکل ۳-۱۰ درخت نامتراکم تولید بیت نقلی ۵۵
شکل ۳-۱۱ (الف) مدارهای تولید سیگنالهای تولید و انتشار، (ب) مدارهای ادغام کننده ی بیت نقلی. ۵۵
شکل ۳-۱۲ زمان بندی سیگنال ساعت اعمال شده به مدارهای دینامیکی ۵۶
شکل ۳-۱۳ مدار تولید کننده ی خروجی های جمع ۵۷
شکل ۳-۱۴ درخت سه تایی تولیدکننده ی بیت های نقلی. ۵۸
شکل ۳-۱۵ مدار سه بیتی ادغام کننده بیت نقلی بالارونده ی پرسرعت. ۵۹
شکل ۳-۱۶ مدار تولید خروجی جمع سه بیتی. ۶۰

شکل ۴-۱ واحد سازنده ی درخت تولید بیت نقلی. ۶۶

شکل ٤-٢ پیاده سازی های مختلف مدار تولید بیت نقلی با سوییِنگ ولتاژ کم. ٦٧
شکل ٤-٣ ساختار جمع کننده ی انتخاب کننده ی بیت نقلی. ٦٩
شکل ٤-٤ درخت نامتراکم تولید بیت نقلی ارائه شده با سوییِنگ ولتاژ کم. ٧٠
شکل ٤-٥ مدار جمع کننده ی چهاربیتی با سوییِنگ ولتاژ کم. ٧٣

شکل ٥-١ دسته بندی بیت های ضرب کننده در کد کردن بوث اصلاح شده. ٨٢
شکل ٥-٢ کدکردن بوث اصلاح شده. ٨٣
شکل ٥-٣ زیر مدار کدکننده ی بوث. ٨٤
شکل ٥-٤ زیر مدار انتخاب کننده ی بوث. ٨٤
شکل ٥-٥ دیاگرام مدار فشرده کننده ی ٤ به ٢. ..... ٨٥
شکل ٥-٦ مدار فشرده کننده ی ٤ به ٢. ..... ٨٧
شکل ٥-٧ مدار فشرده کننده ی ٤ به ٢ پیاده سازی شده با دو جمع کننده. ٨٨
شکل ٥-٨ مدار ارائه شده برای فشرده کننده ی ٤ به ٢. ..... ٨٩
شکل ٥-٩ مدار شمارنده ی ٣ به ٢. ..... ٩١
شکل ٥-١٠ موقعیت قرار گیری فشرده کننده ها برای مطالعه ی درستی خروجی ها ٩٢
شکل ٥-١١ شکل موج های مدار فشرده کننده ی ٤ به ٢. ..... ٩٤
شکل ٥-١٢ جمع حاصلضرب های جزئی در سه مرحله ی پایپ لاین. ٩٥
شکل ٥-١٣ بلوک های سازنده ی مدار ضرب کننده–جمع کننده. ٩٦
شکل ٥-١٤ مدار لچ ست–ریست. ١٠١
شکل ٥-١٥ شکل موج طبقات پایپ لاین مدار ضرب کننده–جمع کننده ی ١٥GHz. ١٠٣
شکل ٥-١٦ شبیه سازی مونت کارلو برای دو فشرده کننده ی ٤ به ٢ پشت سرهم ١٠٧

فهرست جدول‌ها

جدول ٤-١ مقایسه ی جمع کننده های پرسرعت ٧٦

جدول٥-١ کدکردن بوث اصلاح شده ٨٢
جدول ٥-٢ جدول درستی مدار فشرده کننده ی ٤ به ٢. ..... ٨٦
جدول ٥-٣ خصوصیات مدار فشرده کننده ی ٤ به ٢. ..... ٩٢
جدول ٥-٤ خصوصیات مدار ضرب کننده–جمع کننده ١. ..... ٩٨
جدول ٥-٥ مقایسه ی مدار ضرب کننده١ با مدارهای مشابه. ٩٨
جدول ٥-٦ خصوصیات مدار ضرب کننده–جمع کننده ٢. ..... ٩٩
جدول ٥-٧ مقایسه ی مدار ضرب کننده٢ با مدارهای مشابه. ٩٩
جدول ٥-٨ مقایسه ی مدار ضرب کننده–جمع کننده٢ با مدارهای مشابه. ١٠٠
جدول ٥-٩ خصوصیات مدار مدار ضرب کننده–جمع کننده ٣. ..... ١٠٢
جدول ٥-١٠ مقایسه ی مدارهای جمع کننده–ضرب کننده ی پیاده سازی شده. ١٠٣

جدول ٧-١ پارامترهای اولیه تعیین کننده ی تکنولوژی ١٢٧
جدول ٧-٢ مقایسه ی پارامترهای تکنولوژی های پیش گویانه با تکنولوژی های صنعتی ١٣٠
جدول ٧-٣ پارامترهای اولیه ی تکنولوژی ١٣١

فصل اوّل: مقدمه

در ٤٠ سال گذشته همزمان با کوچک‌تر شدن، سریع‌تر شدن، و ارزان‌تر شدن تراشه‌های[۱] تولید شده با تکنولوژی ماسفت مکمل[۲] کامپیوترها نیز سریع‌تر شده‌اند. ماسفت مکمل تکنولوژی غالب در ساخت تراشه‌ها برای چندین دهه بوده‌است. از زمان معرفی، ترانزیستورهای تولید شده با این تکنولوژی به صورت نمایی بر طبق قانون مور[۳] کوچکتر شده‌اند. این قانون پیش‌بینی می‌کند که هر ۱۸ ماه تعداد ترانزیستورهای مجتمع شده بر روی یک تراشه دو برابر می‌شود. اگرچه این روند کوچک‌شدن ترانزیستورها سرانجام به محدودیت‌های فیزیکی و ساخت منجر خواهد شد. بر طبق پیش‌بینی ITRS[٤] [۱] حد نهایی کوچک شدن ترانزیستورهای ماسفت مکمل ۵ تا ۱۰ نانومتر برای طول گیت آن‌ها است که دنیای الکترونیک در ۱۵ تا ۲۰ سال آینده به این محدودیت خواهد رسید. در نمودار ۱-۱ مسیر مقیاس کردن تکنولوژی ماسفت مکمل همزمان با مقیاس شدن منبع تغذیه[۵] را مشاهده می‌کنید.

همان‌طور که در نمودار می‌بینید تکنولوژی ٦٥nm تکنولوژی غالب ساخت ترانزیستورهای ماسفت مکمل در سال ۲۰۰۸ (هم اکنون) است. طول گیت مؤثر در این ترانزیستور می‌تواند به حداقل ۲۵nm نیز

---

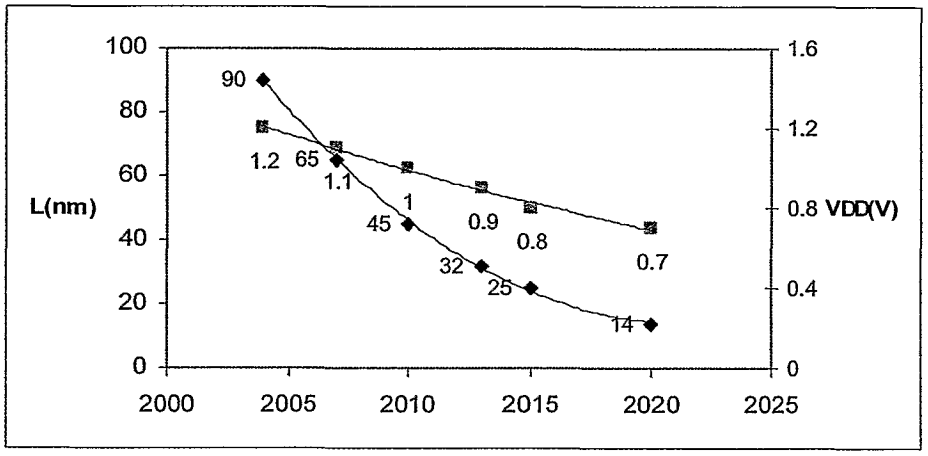
[۱] Chip

[۲] CMOS

[۳] Moore's Law

[۴] International Technology Roadmap for Semiconductor

[۵] Voltage Supply



شکل ۱-۱ روند کاهش ابعاد تکنولوژی و منبع ولتاژ [۱].

برسد. این ترانزیستور طولی به اندازه‌ی ۱۰۰ اتم دارد. هم اکنون شرکت‌های معتبر ساخت قطعات الکترونیکی به تولید تراشه‌های ٦٥nm روی آورده‌اند [۲].

الکترونیک دیجیتال شامل سیستم‌های الکترونیکی است که با سیگنال‌های دیجیتال کار می‌کنند. در این سیستم‌ها قوانین جبر بول[1] برقرار است و از آن‌ها به طور گسترده در ساخت کامپیوترها، تلفن‌های همراه، و محصولات الکترونیکی دیگر استفاده می‌شود. مدارهای محاسباتی که به صورت دیجیتال پیاده‌سازی می‌شوند بلوک‌های اصلی سازنده‌ی سیستم‌های دیجیتال هستند. امروزه تلاش طراحان برای ساخت تراشه‌های دیجیتال که نسبت به مشکلات طراحی‌های مدارهای مقیاس نانو مقاوم هستند و از نظر سرعت و تلف توان بهینه هستند، بسیار چشمگیر شده است. در ادامه چالش‌های طراحی مدارهای دیجیتال را در تکنولوژی‌های در مقیاس نانو بررسی می‌کنیم. سپس به معرفی مدارهای دیجیتال محاسباتی پرسرعت و کم توان خواهیم پرداخت.

---

[1] Bolean Algebra

۱-۱ چالش‌های طراحی مدارهای دیجیتال در تکنولوژی‌های در مقیاس نانو

با کاهش ابعاد تکنولوژی اثر انحراف مشخصه‌های ترانزیستور از مقادیر نامی آن‌ها (که در مراحل ساخت ممکن است به صورت جزئی به‌وجود آید و موسوم به تغییرات پروسس[۱] است) بر روی تأخیر و تلف توان مدار بیشتر می‌شود. به عنوان مثال تغییرات ولتاژ آستانه[۲]، V_{TH}، اثر زیادی بر روی تأخیر مدار خواهد داشت و این به علت کاهش ولتاژ اوردرایو[۳] (V_{DD}-V_{TH}) و افزایش میزان تأثیر V_{TH} بر روی آن است.

برای جبران‌سازی این تغییرات مدار به صورتی طراحی می‌شود که در بدترین حالت (در اینجا بزرگترین مقدار V_{TH}) نیز تأخیر مورد نظر را برآورده سازد و این باعث افزایش انرژی تلف شده در مدار می‌شود. سایز ترانزیستورها و خازن‌های پارازیتی بیشتر از زمانی می‌شود که این تغییرات را در نظر نمی-گرفتیم. از آن‌جایی که انرژی دینامیکی مدار متناسب با CV_{DD}^2 است این تغییرات در نهایت به افزایش تلف توان دینامیکی مدارهای در مقیاس نانو منجر می‌شود.

در تکنولوژی‌های در مقیاس نانو تلف توان ناشی از جریان‌های نشتی ترانزیستورها دیگر قابل چشم-پوشی نیستند. برای کاهش این تلفات تکنیک‌های مختلفی ارائه شده است. تکنیک‌هایی مانند MTCMOS[۴] [۳] برای کاهش این مشکل معرفی شده است که در آن در مسیرهای غیر بحرانی مدار از

---

[۱] Process Variations

[۲] Threshold Voltage

[۳] Overdrive

[۴] Multi-Threshold CMOS

ترانزیستورهای با ولتاژ آستانه بالا استفاده می‌شود که تلفات نشتی مدار را کاهش دهد، و یا تکنیک VTCMOS[۱] [٤] که با استفاده از بایاس بدنه‌ی ترانزیستورها ولتاژ آستانه آن‌ها را بسته به نیاز سرعت و توان کم و زیاد می‌کنند. از آن‌جایی که با کوچک‌شدن ابعاد تکنولوژی ضریب بدنه هم کاهش می‌یابد، استفاده از این تکنیک در تکنولوژی‌های نسل آینده کارایی زیادی نخواهد داشت.

می‌بینیم که کاهش ابعاد تکنولوژی گرچه سرعت کار مدارها را افزایش می‌دهد، ولی افزایش تلف توان ناشی از جریان‌های نشتی و توان دینامیکی مشکلی بر سر راه کوچک‌تر شدن این ابعاد است.

مشکل دیگر افزایش تأخیر اتصالات میانی[۲] مدار است. افزایش درصد تأخیر نسبی اتصالات میانی مدار همزمان‌سازی بین قسمت‌های مختلف یک مدار دیجیتال را دشوار می‌کند. با توجه به بالا رفتن سرعت کار مدارهای دیجیتال مدرن در تکنولوژی ۱۰۰nm تأخیر انتشار در طولی از سیم حدود ۲mm موجب پیدایش انحراف[۳] ۲۰٪ در سیگنال ساعت در فرکانس ۱GHz می‌شود. با کاهش ابعاد تکنولوژی و بالارفتن فرکانس‌های کاری این طول‌ها کوتاهتر هم می‌شود. برای همزمان‌سازی بین این اتصالات میانی نیاز به تکنیک‌های ارتباطی جدیدی است که آن‌ها نیز تلف توان و مساحت اشغال‌شده‌ی مدار را افزایش می‌دهند [۵].

علاوه بر موارد ذکر شده مسأله‌ی نویز نیز در مدارهای دیجیتال در مقیاس نانو که با سرعت‌های بسیار بالا کار می‌کنند از اهمیت خاصی برخوردار است. نویز القایی در این مدارها به دو دسته‌ی نویزهای

---

[۱] Variable Threshold CMOS

[۲] Interconnect

[۳] Skew

داخلی و خارجی تقسیم می‌شود. نویزهای داخلی شامل تقسیم بار یک گره بین چند گره به طور ناخواسته، نشتی بار گره ها، نویز بدنه، کوپلاژ خازن‌های ذاتی مدار که می تواند نویز همشنوایی[۱] و گیت پشتی[۲] را شامل شود، نویز نفوذ پالس ساعت[۳] و افت اهمی[۴] هستند [٦]، [٧]. نویزهای خارجی شامل نویز ورودی، نویز شبکه منابع و زمین مدار [٨]، نویز ناشی از تابش ذرات α [٩] و تابش‌های الکترومغناطیسی مدار هستند [١٠]. افزایش اثرات این نویزها و کاهش ولتاژ اوردرایو حاشیه‌ی امنیت[۵] طراحی مدارهای دیجیتال را کاهش داده‌است.

۱-۲ تکنیک‌های افزایش سرعت در مدارهای دیجیتال محاسباتی

به طور کلی تأخیر عملکرد یک مدار ناشی از زمان گذر سیگنال از سیم های رابط و ترانزیستورها و شارژ یا دشارژ شدن خازن های ذاتی مدار به ویژه در گره خروجی و نیز در فرکانس های بالاتر تأخیر ناشی از خاصیت سلفی عناصر مدار است. معمولا تأخیر گذر سیگنال از عناصر مداری در مقابل زمان شارژ و دشارژ شدن خازن‌های بزرگ‌تر در ورودی-خروجی و گذرگاه‌ها ناچیز است (اگرچه در تکنولوژی‌های نسل آینده این تأخیر نیز از اهمیت برخوردار می‌شود). پس به طور کلی در تقریب مرتبه یک، تأخیر عملکرد یک مدار ناشی از زمان لازم برای شارژ یا دشارژ شدن خازن ها است. طبق رابطه

---

[۱] CrossTalk

[۲] Back Gate

[۳] Clock Feedthrough

[۴] IR Drop

[۵] Noise Margin