بسم الله الرحمن الرحيم

دانشگاه کاشان

دانشکده مهندسی برق و کامپیوتر

گروه الکترونیک

پایان‌نامه

جهت اخذ درجه کارشناسی ارشد

در رشته الکترونیک

عنوان:

طراحی المان‌های ترتیبی مقاوم در برابر خطای نرم در مدارهای دیجیتال

استاد راهنما:

دکتر حسین کریمیان علی‌داش

توسط:

علی اصغر سعادت زاده

شهریور ۱۳۹۳

تقدیم به:

مهربان فرشتگانی که لحظات ناب باور بودن، لذت و غرور دانستن، جسارت خواستن، عظمت رسیدن و تمام تجربه‌های یکتا و زیبای زندگیم، مدیون حضور سبز آنهاست.

تشکر و قدردانی:

سپاس بی‌کران پروردگار یکتا را که هستی‌مان بخشید و به طریق علم و دانش رهنمونمان شد و به همنشینی رهروان علم و دانش مفتخرمان نمود و خوشه‌چینی از علم و معرفت را روزیمان ساخت. در اینجا بر خود لازم می‌دانم از تمامی اساتید بزرگوار که در طول سالیان گذشته مرا در تحصیل علم یاری نموده‌اند، تشکر نمایم.

از استاد گرامی جناب آقای دکتر حسین کریمیان که راهنمایی اینجانب را در انجام تحقیق، پژوهش و نگارش این پایان‌نامه تقبل نمودند، نهایت تشکر و قدردانی را دارم. همچنین از تشریک مساعی آقای دکتر داریوش دیدبان بعنوان استاد داور داخلی و آقای دکتر محمود نیکوفرد بعنوان نماینده تحصیلات تکمیلی و نیز استاد داور داخلی دانشگاه، که این پایان‌نامه را مورد مطالعه قرار داده و در جلسه دفاعیه شرکت نموده‌اند، تشکر می‌نمایم.

چکیده

تحقیقات نشان می‌دهد اشکالات گذرا در سیستم‌های دیجیتال بسیار رایج بوده وغیر قابل اجتناب است. این اشکالات ممکن است توسط نوسانات منبع تغذیه، برخورد نوترون‌های ساطع‌شده از اشعه کیهانی و یا ذرات آلفا صورت گیرد. در این میان، برخورد ذرات پرانرژی ساطع‌شده از اشعه کیهانی برای سیستم‌های دیجیتال از اهمیتی ویژه برخوردار است. هنگامی که یک ذره پرانرژی به قسمت حساس یک قطعه نیمه‌هادی برخورد کند، کانال متراکمی از الکترون و حفره ایجاد می‌گردد. حضور میدان الکتریکی سبب می‌شود این حامل‌های جریان، در مدار حرکت کرده و چنانچه بتوانند خازن موجود در گره اصابت‌دیده را شارژ و یا دشارژ نمایند، پالس ولتاژ گذرایی بوجود می‌آید. چنانچه در حین عملیات فوق محتوای عنصر حافظه تحت تأثیر قرار گرفته و منطق آن تغییر کند، اصطلاحاً خطای نرم رخ داده است.

خطاهای نرم در گذشته تنها برای سیستم‌های هوافضا یک دغدغه محسوب می‌شد؛ ولی امروزه با کوچک شدن ابعاد تکنولوژی و در پی آن کاهش ظرفیت خازنی گره‌های مدار، کاهش سطوح ولتاژی، افزایش فرکانس کاری مدارها و کاهش توان مصرفی، این‌گونه اشکالات برای کاربردهای در سطح زمین نیز یک دغدغه جدی محسوب می‌شود. در پی کاهش ابعاد ترانزیستورها و در نتیجه کاهش مقدار خازن‌ها و بار، نرخ رخداد خطای نرم ناشی از ذرات با انرژی‌های متوسط و کم نیز افزایش یافته است. مسئله دیگری که باعث شده این خطاها اهمیت ویژه‌ای داشته باشند، آن است که نه تنها مواد بسته‌بندی مدارها نمی‌تواند از عبور ذرات شتابداری مانند نوترون جلوگیری کند، بلکه این مواد از خود ذرات آلفایی ساطع می‌کنند که از منابع تولید و ایجاد خطای نرم می‌باشد. لذا امروزه یکی از چالش‌برانگیزترین مباحث طراحی مدارات دیجیتال، میزان حساسیت آنها نسبت به برخورد ذرات پرانرژی و در نتیجه ایجاد اشکالات تک‌رخداد و چندرخداد در آنها است.

تاکنون پژوهش‌های زیادی در زمینه کاهش نرخ خطای نرم ناشی از اشکالات تک‌رخداد انجام شده، اما با افزایش تراکم قطعات بر سطح تراشه‌ها احتمال بروز خطای نرم ناشی از اشکالات چندرخداد نیز به صورت قابل توجهی افزایش یافته است. در این پایان‌نامه که با محوریت اشکالات ناشی از برخورد ذرات پرانرژی به قطعه نیمه‌هادی تدوین گشته ابتدا مباحث فیزیکی مربوطه و سپس منابع تولیدکننده و انواع مختلف این نوع اشکالات معرفی گردیده است. پس از آن روش‌هایی که تاکنون در این زمینه معرفی شده‌اند مورد بررسی قرار گرفته و در پایان با تکیه بر اشکالات چندرخداد واژگونی، روشهایی در سطح مدار پیشنهاد شده است. شبیه‌سازی‌های انجام‌شده در تکنولوژی ٦٥ نانومتر PTM نشان می‌دهد ساختارهای پیشنهادی حداقل دارای کاهش حدود ١٠ درصدی پارامترهای تأخیر و توان مصرفی نسبت به سایر ساختارهای مشابه می‌باشند. این در حالی است که این ساختارها در مقایسه با روش‌های پیشین، کاهش بیشتر نرخ خطای نرم را در پی دارند. در روش پیشنهادی سوم، گره‌های حساس شناسایی شده و با ارائه چیدمان فیزیکی (Layout) مناسب که در آن سعی شده است گره‌های حساس با فاصله از هم قرار گیرند، احتمال رخداد خطای نرم ناشی از اشکالات چندرخداد واژگونی تا حد بیشتری کاهش داده شده است.

کلمات کلیدی: قابلیت اطمینان، خطای نرم، اشکالات گذرا، اشکالات واژگونی، مقاوم‌سازی در برابر ذرات پرانرژی

فهرست مطالب

عنوان **صفحه**

فصل اول: مقدمه

۱-۱- پیشگفتار ۱

۱-۲- ترتیب ارائه مطالب ٦

فصل دوم: خطای نرم و چالش‌های آن در مدارات دیجیتال

۲-۱- مقدمه ۷

۲-۲- خطای نرم در مدارات دیجیتال ۷

۲-۳- منابع تولیدکننده خطاهای نرم ۱۲

۲-٤- عوامل طبیعی کاهش‌دهنده نرخ خطای نرم ۱٤

۲-۵- مدل‌سازی خطای نرم ۱٦

۲-٦- خلاصه و نتیجه‌گیری ۲۰

فصل سوم: مروری بر پژوهش‌های پیشین

۳-۱- مقدمه ۲۱

۳-۲- روش‌های مقاوم‌سازی شبکه توزیع پالس ساعت در مدارات دیجیتال ۲۷

۳-۳- پنجره خطاپذیری ۳۰

۳-٤- مروری بر روش‌های مقاوم‌سازی مدارات دیجیتال در برابر اشکالات گذرا و واژگونی ۳۲

۳-۵- خلاصه و نتیجه‌گیری ٦۸

فصل چهارم: روش‌های پیشنهادی کاهش نرخ خطای نرم ناشی از اشکالات واژگونی

٤-۱- مقدمه ٦۹

٤-۲- ساختارهای پیشنهادی مقاوم در برابر خطای نرم ۷۰

٤-۲-۱- لچ پیشنهادی مقاوم و کم‌توان موسوم به LPRL ۷۱

٤-۲-۱-۱- شبیه‌سازی عملکرد عادی لچ LPRL و استخراج پارامترهای زمانی ۷٤

٤-۲-۱-۲- شبیه‌سازی عملکرد مدار LPRL به هنگام برخورد ذره پرانرژی ۷۷

٤-۲-۲- لچ پیشنهادی مقاوم با توان مصرفی ناچیز موسوم به VLPRL ۸۳

٤-۲-۲-۱- شبیه‌سازی عملکرد عادی لچ VLPRL و استخراج پارامترهای زمانی ۸۵

٤-۲-۲-۲- شبیه‌سازی عملکرد مدار VLPRL به هنگام برخورد ذره پرانرژی ۸٦

٤-۲-۳- لچ پیشنهادی مقاوم با بازدهی بالا موسوم به HPRL ۸۹

٤-۲-۳-۱- شبیه‌سازی عملکرد عادی لچ HPRL و استخراج پارامترهای زمانی ۸۹

٤-۲-۳-۲- شبیه‌سازی عملکرد مدار HPRL به هنگام برخورد ذره پرانرژی ۹۲

٤-۳- طراحی چیدمان فیزیکی ۹۸

٤-٤- مقایسه ساختارهای پیشنهادی با سایر مدارات مشابه ۱۰۱
٤-٤-١- محاسبه پارامترهای زمانی ساختارهای پیشنهادی و مقایسه با سایر ساختارهای مشابه ۱۰۱
٤-٤-٢- مقایسه میزان مقاومت و عملکرد ساختارهای پیشنهادی با سایر مدارات مشابه ۱۰۳
٤-٥- خلاصه و نتیجه‌گیری ۱۰٦
فصل پنجم: نتیجه‌گیری و پیشنهادات
٥-١- خلاصه و نتیجه‌گیری ۱۰۷
٥-٢- پیشنهادات ۱۰۹
منابع و مآخذ ۱۱۰

فهرست جدول‌ها

عنوان **صفحه**

جدول ۳-۱: جدول درستی معکوس‌کننده HZ [٦] ۳٤

جدول ٤-۱: پارامترهای زمانی لچ LPRL ۷۷

جدول ٤-۲: نتایج شبیه‌سازی گره‌های حساس و میزان بار بحرانی مربوطه در ساختار LPRL ۷۹

جدول ٤-۳: بار بحرانی مربوط به گره خروجی در صورت استفاده از معکوس‌کننده دو ورودی–دو خروجی شکل ٤-۱۰ در ساختار LPRL ۸۳

جدول ٤-٤: پارامترهای زمانی لچ VLPRL ۸٦

جدول ٤-۵: گره‌های حساس و میزان بار بحرانی مربوطه در ساختار VLPRL ۸٦

جدول ٤-٦: بار بحرانی مربوط به گره خروجی در صورت استفاده از معکوس‌کننده دو ورودی–دو خروجی شکل ٤-۱۰ در ساختار VLPRL ۸٦

جدول ٤-۷: پارامترهای زمانی لچ HPRL ۹۰

جدول ٤-۸: سه‌گره‌های حساس و میزان بار بحرانی مربوطه در ساختار HPRL برای حالت خروجی صفر. ۹۸

جدول ٤-۹: سه‌گره‌های حساس و میزان بار بحرانی مربوطه در ساختار HPRL برای حالت خروجی یک. ۹۸

جدول ٤-۱۰: جفت‌گره‌های حساس و میزان بار بحرانی مربوطه در ساختار HPRL برای حالت‌های خروجی صفر و خروجی یک. ۹۸

جدول ٤-۱۱: مقایسه پارامترهای ساختارهای پیشنهادی با تعدادی مدارات مشابه در شرایط شبیه‌سازی یکسان. ۱۰۳

جدول ٤-۱۲: جفت‌گره‌های حساس مدار DICE ۱۰۵

جدول ٤-۱۳: جفت‌گره‌های حساس مدار HiPeR ۱۰۵

جدول ٤-۱٤: جفت‌گره‌های حساس مدار HiPeR-CG ۱۰۵

جدول ٤-۱۵: تک‌گره‌های حساس مدار Latch[14] ۱۰۵

جدول ٤-۱٦: جفت‌گره‌های حساس مدار SIN-LC ۱۰۵

جدول ٤-۱۷: جفت‌گره‌های حساس مدار Latch[12] ۱۰۵

جدول ٤-۱۸: جفت‌گره‌های حساس مدار LSEH2 ..... ۱۰۵

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: اثر برخورد یک ذره پرانرژی در ترانزیستور و تولید جفت‌های الکترون–حفره [۱]. ۸

شکل ۲-۲: الف) پدیده برخورد ذره و تولید بار، ب) جذب بار تولیدی توسط میدان الکتریکی و تولید جریان drift ، ج) جذب بار تولیدی به دلیل تراکم متفاوت حامل‌های بار و تولید جریان diffusion و د) شکل موج پالس جریان [۹]. ۹

شکل ۲-۳: نقاط حساس یک معکوس‌کننده معمولی در شرایط مختلف ورودی نسبت به برخورد ذره پرانرژی [۷]. ۱۱

شکل ۲-٤: نمای کلی یک سیستم دیجیتال، برخورد ذره با قسمت‌های مختلف مدار و اثرات آن [۸،۵]. ۱۱

شکل ۲-۵: جذب نوترون و شکافت ایزوتوپ ۱۰ بورون [۵]. ۱٤

شکل ۲-٦: تولید نوترون بوسیله اشعه کیهانی [۵]. ۱٤

شکل ۲-۷: مثالی از پوشش منطقی در یک مدار دیجیتال [۱]. ۱۵

شکل ۲-۸: مثالی از پوشش الکتریکی در یک مدار دیجیتال [۱]. ۱٦

شکل ۲-۹: مثالی از پوشش زمانی در یک مدار دیجیتال [۱]. ۱٦

شکل ۲-۱۰: نحوه مدل‌سازی برخورد ذره پرانرژی به کمک یک منبع جریان وابسته به زمان. ۱۷

شکل ۳-۱: دو تکنیک جهت جلوگیری از بروز خطای نرم ناشی از اشکالات گذرای بخش ترکیبی الف) استفاده از مدار رأی‌گیری اکثریت، ب) استفاده ار بخش C-element [۲٦]. ۲٦

شکل ۳-۲: مثالی از اشکال گذرای بوجود آمده در گره خروجی مدار مقاوم در برابر اشکالات گذرا به روش رأی‌گیری اکثریت [۱۲]. ۲٦

شکل ۳-۳: مثالی از اشکال گذرای بوجود آمده در گره خروجی مدار مقاوم در برابر اشکالات گذرا به روش C-element در دو حالت الف) $T_{set}<T_{delay}$، ب) $T_{set}>T_{delay}$ [۱۲]. ۲۷

شکل ۳-٤: عملکرد المان C-element [۵]. ۲۷

شکل ۳-۵: شبکه توزیع کلاک؛ تأثیر برخورد ذره پرانرژی به این شبکه و تأثیرگذاری آن تنها بر روی بخش محلی و تولید Clock race و Clock jitter [٤۰]. ۲۸

شکل ۳-٦: روش TMR جهت مقاوم‌سازی بخش عمومی سیگنال کلاک [٤۰]. ۲۹

شکل ۳-۷: مدار مطرح‌شده در [٤۰] جهت تقسیم‌نمودن خروجی و مقاوم‌سازی بخش مربوط به سیگنال کلاک. ۲۹

شکل ۳-۸: الف) ساختار ترانزیستوری یک لچ معمولی، ب) تقسیم‌بندی سیگتال پالس ساعت و بازه حساس Tfb جهت برخورد ذره پرانرژی به گره‌های ورودی و میانی [۲۵]..... ۳۲
شکل ۳-۹: پنجره WOV مربوط به گره‌های معکوس‌کننده معمولی [۲۵]..... ۳۲
شکل ۳-۱۰: ساختار ترانزیستوری معکوس‌کننده HZ [٦]..... ۳۳
شکل ۳-۱۱: نقاط حساس معکوس‌کننده HZ در حالتی که ورودی VCC است [٦]..... ۳٤
شکل ۳-۱۲: نقاط حساس معکوس‌کننده HZ در حالتی که ورودی GND است [٦]..... ۳۵
شکل ۳-۱۳: الف) ساختار ترانزیستوری دو معکوس‌کننده پست سر هم غیر مقاوم، ب) ساختار ترانزیستوری معکوس‌کننده‌های مقاوم [٤۰]..... ۳۵
شکل ۳-۱٤: ساختار داخلی یک لچ معمولی [٤۳]..... ۳۹
شکل ۳-۱۵: ساختار یک لچ SR معمولی بر مبنای گیت NOR [٤٦]..... ۳۹
شکل ۳-۱٦ الف) ساختار داخلی مدار DICE [۱۵]، ب) ساختار داخلی مدار HiPeR [٤۳]..... ۳۹
شکل ۳-۱۷: ساختار مطرح‌شده در [٤۳]..... ٤۰
شکل ۳-۱۸: الف) ساختار یک لچ SR مقاوم در برابر برخورد ذرات پرانرژی بر مبنای گیت NOR [٤٦]، ب) ساختار یک لچ SR مقاوم در برابر برخورد ذرات پرانرژی بر مبنای مدار بهینه شده [٤۷]..... ٤۳
شکل ۳-۱۹: ساختار ترانزیستوری لچ موسوم به SERT-SD [٤٦]..... ٤٤
شکل ۳-۲۰: الف) ساختار داخلی مدار موسوم به HLR، ب) ساختار داخلی مدار موسوم به HLR-CG، ج) ساختار داخلی مدار موسوم به HLR-CG2 [۳٦]..... ٤۷
شکل ۳-۲۱: الف) ساختار ترانزیستوری مدار موسوم به HiPeR، ب) ساختار ترانزیستوری مدار موسوم به HiPeR-CG [۲۰]..... ٤۹
شکل ۳-۲۲: الف) ساختار یک لچ معمولی، ب) ایده اصلی جهت مقاوم‌سازی ساختار قسمت الف [۲۱]..... ۵۰
شکل ۳-۲۳: الف) ساختار داخلی لچ موسوم به SIN_LC ب) ساختار داخلی لچ موسوم به SIN_HR [۲۵]. ۵۱
شکل ۳-۲٤: الف) ساختار ترانزیستوری مدار موسوم به LSEH1، ب) ساختار ترانزیستوری مدار موسوم به LSEH2 [۲٦]..... ۵٤
شکل ۳-۲۵: مدار [۲٦] جهت جلوگیری از بروز خطای نرم ناشی از اشکالات تک‌رخداد گذرا و واژگونی.. ۵۵
شکل ۳-۲٦: مدار [۵۱] جهت جلوگیری از بروز خطای نرم ناشی از اشکالات تک‌رخداد گذرا و واژگونی. ۵۵
شکل ۳-۲۷: مدار [۵۲] جهت جلوگیری از بروز خطای نرم ناشی از اشکالات تک‌رخداد گذرا و واژگونی.. ۵٦
شکل ۳-۲۸: مدار [٤۸] جهت جلوگیری از بروز خطای نرم ناشی از اشکالات تک‌رخداد گذرا و واژگونی.. ۵٦

شکل ۳-۲۹: مدار مطرح‌شده در [۱۲] جهت جلوگیری از بروز خطای نرم ناشی از اشکالات واژگونی..... ۵۹
شکل ۳-۳۰: مدار مطرح‌شده در [۱۲] جهت جلوگیری از بروز خطای نرم ناشی از اشکالات گذرا و واژگونی. ۵۹
شکل ۳-۳۱: ساختار ترانزیستوری مدار [٦۰]. ٦۱
شکل ۳-۳۲: ساختار ترانزیستوری مدار [٦۱]. ٦۱
شکل ۳-۳۳: ساختار اشمیت تریگری [١٤]. ٦۳
شکل ۳-۳٤: ساختار ترانزیستوری لچ [١٤]. ٦۳
شکل ۳-۳۵: ساختار ترانزیستوری مدار SEILA [٦۳]. ٦۵
شکل ۳-۳٦: الف) تحت تأثیر قرار گرفتن گره خروجی به دلیل تغییر در منطق گره‌های node1 و node2، ب) تحت تأثیر قرار نگرفتن گره خروجی به دلیل تغییر همزمان گره‌های node1 و node2 و node3 [٦۳]. ٦۵
شکل ۳-۳۷: عدم تأثیر گذاری پرتو پرانرژی به دو گره حساس مگر به همراه تغییر در ناحیه cancelling [٦۳]. ٦٦
شکل ۳-۳۸: الف) آرایش چیدمان فیزیکی متداول ب) قرار دادن ناحیه cancelling بین جفت گره‌های حساس به برخورد ذره پرانرژی [٦۳]. ٦٦
شکل ۳-۳۹: ساختار ترانزیستوری لچ [۱۰]. ٦۷
شکل ٤-۱: محیط شبیه‌سازی مورد استفاده در این پایان‌نامه..... ۷۱
شکل ٤-۲: ساختار ترانزیستوری طرح LPRL جهت مقاومت در برابر برخورد ذرات پرانرژی..... ۷۲
شکل ٤-۳: ساختار ترانزیستوری الف) بخش XNOR ، ب) معکوس‌کننده دو ورودی–دو خروجی، ج) معکوس‌کننده معمولی، بکاربرده‌شده در مدار LPRL. ۷۳
شکل ٤-٤: شبیه‌سازی عملکرد لچ LPRL در دو وضعیت شفاف و نگهداری a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) خروجی نهایی..... ۷۵
شکل ٤-۵: مقادیر Setup time و Hold time برای یک لچ حساس به سطح بالا و خروجی معکوس‌شده [٦۹]. ۷٦
شکل ٤-٦: سوئیپ‌نمودن داده ورودی و طریقه محاسبه زمان‌های Setup time و Hold time [٦۹]. ۷۷
شکل ٤-۷: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به جفت‌گره‌های Int1p و Int3p و پوشش رخداد خطای نرم ناشی از این اشکالات واژگونی a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int4p، g) خروجی نهایی. ۸۰

شکل ٤-٨: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به گره خروجی و رخداد خطای نرم ناشی از آن در صورتی که انرژی ذره بیشتر از مقدار تعیین‌شده در جدول ٤-۲ باشد. a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int4p، g) خروجی نهایی..... ۸۱
شکل ٤-۹: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به سه‌گره‌های Int1n ، Int3p و Int4p و رخداد خطای نرم ناشی از این اشکالات واژگونی در صورتی که انرژی ذره بیشتر از مقدار تعیین‌شده در جدول ٤-۲ باشد. a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int4p، g) خروجی نهایی..... ۸۲
شکل ٤-۱۰: ساختار ترانزیستوری معکوس‌کننده دو ورودی–دو خروجی [٦]..... ۸۳
شکل ٤-۱۱: ساختار ترانزیستوری طرح VLPRL جهت مقاومت در برابر برخورد ذرات اتمی پرانرژی..... ۸٤
شکل ٤-۱۲: ساختار ترانزیستوری NAND استفاده‌شده در طرح VLPRL..... ۸٤
شکل ٤-۱۳: شبیه‌سازی عملکرد لچ VLPRL در دو وضعیت شفاف و نگهداری a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) خروجی نهایی..... ۸۵
شکل ٤-١٤: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به سه‌گره‌های Int1n، Int3p و Int4p و رخداد خطای نرم ناشی از این اشکالات واژگونی در صورتی که انرژی ذره بیشتر از مقدار تعیین‌شده در جدول ٤-۵ باشد. a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int4p، g) خروجی نهایی..... ۸۷
شکل ٤-۱۵: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به گره خروجی و رخداد خطای نرم ناشی از آن در صورتی که انرژی ذره بیشتر از مقدار تعیین‌شده در جدول ٤-۵ باشد. a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int4p، g) خروجی نهایی..... ۸۸
شکل ٤-١٦: ساختار ترانزیستوری طرح HPRL جهت مقاومت در برابر برخورد ذرات پرانرژی..... ۹۰
شکل ٤-۱۷: عملکرد لچ HPRL در دو وضعیت شفاف و نگهداری a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) خروجی نهایی..... ۹۱
شکل ٤-۱۸: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به جفت‌گره‌های Int2 و Int4p و پوشش رخداد خطای نرم ناشی از این اشکالات واژگونی

a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int3n، g) تغییرات گره Int4p، h) تغییرات گره Int2، i) خروجی نهایی..... ۹٤
شکل ٤-۱۹: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به گره خروجی و پوشش رخداد خطای نرم ناشی از این اشکال واژگونی a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int3n، g) تغییرات گره Int4p، h) تغییرات گره Int2، i) خروجی نهایی. ۹۵
شکل ٤-۲۰: نتایج حاصل از شبیه‌سازی اثر برخورد ذره به ازای انرژی‌های متفاوت در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به جفت‌گره‌های Int2 و Out و رخداد خطای نرم ناشی از این اشکالات واژگونی در صورتی که انرژی ذره بیشتر از مقدار تعیین‌شده در جدول ٤-۱۰ باشد. a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int3n، g) تغییرات گره Int4p، h) تغییرات گره Int2، i) خروجی نهایی..... ۹٦
شکل ٤-۲۱: ساختار HPRL به صورت بلوکی..... ۹۹
شکل ٤-۲۲: Layout پیشنهادی جهت پیاده‌سازی طرح HPRL..... ۱۰۰

فهرست علائم و اختصارات

CG	Clock Gating
CMOS	Complementary Metal–Oxide–Semiconductor
DICE	Dual Interlock Cell
DUT	Design Under Test
ECC	Error Correction Codes
FIT	Failure In Time
FERST	Feedback Redundant SEU/SET-Tolerant
FO4	Fan-Out of 4
HI	High Impedance
HiPeR	High Performance Robust
HLR	High performance Low cost and Robust
HPRL	High Performance Robust Latch
LET	Linear Energy Transfer
LPRL	Low Power Robust Latch
LSEH	Low cost and Soft Error Hardened
MET	Multiple Event Transient
MEU	Multiple Event Upset
PDP	Power Delay Product
PG	Power Gating
RST	Robust Schmitt Trigger
SEILA	Soft Error Immune Latch
SER	Soft Error Rate
SET	Single Event Transient
SEU	Single Event Upset
SIN-HR	Split Internal Node Highly Robust
SIN-LC	Split Internal Node Low-Cost
SOI	Silicon On Insulator
TG	Transmission Gate
TMR	Triple Module Redundancy
VLPRL	Very Low Power Robust Latch
V_{th}	Threshold Voltage
WOV	Window Of Vulnerability

فصل اول: مقدمه

۱-۱- پیشگفتار

از نقطه نظر قابلیت اطمینان می‌توان کاربرد سیستم‌ها را به دو نوع بحرانی مانند کاربرد در صنعت فضایی، هوایی و خودرو و غیر بحرانی مانند گوشی‌های موبایل و دستگاه‌های پخش صدا و تصویر تقسیم نمود. بدیهی است که در کاربردهای بحرانی قابلیت اطمینان از نیازهای بسیار ضروری است؛ زیرا رخداد خرابی می‌تواند موجب از دست‌رفتن جان انسان‌ها و یا حجم بالایی از اطلاعات مهم گردد. امروزه پیشرفت تکنولوژی باعث شده است که قابلیت اطمینان برای کاربردهای غیربحرانی نیز امری مهم تلقی گردد. دلیل این مسئله آن است که بروز خطاهای متعدد در یک سیستم باعث از دست‌رفتن اعتبار سازنده قطعه شده و بازار فروش محصولات آتی را دچار مخاطره می‌کند. از این رو امروزه قابلیت اطمینان برای تمامی کاربردها، اعم از بحرانی و غیربحرانی، یک پارامتر مهم محسوب می‌شود. البته بدیهی است که میزان قابلیت اطمینان مورد نیاز برای کاربردهای مختلف، متفاوت است. از آنجا که سیستم‌های تعبیه‌شده دارای محدودیت‌های زیادی در مواردی همچون منابع و نیز هزینه می‌باشند، لذا استفاده از روش‌های تحمل‌پذیریِ اشکال که گاهاً افزونگی‌های زیادی به سیستم تحمیل می-

کند، جایز نیست. به عبارت دیگر در طراحی یک سیستم تحمل‌پذیر، طراح می‌بایست به سربارهای تحمیلی دقت لازم را داشته باشد [۱].

مدارهای دیجیتال مبتنی بر تکنولوژی CMOS به شکل ذاتی تا حدودی دارای قابلیت بازسازی سیگنال‌های تخریب‌شده می‌باشند و این مسئله باعث شده که در این تکنولوژی قابلیت اطمینان بالایی نسبت به اغتشاشات محیطی وجود داشته باشد. به همین دلیل طراحان، اغتشاشات محیطی را به عنوان یک دغدغه ثانویه برای تکنولوژی‌های ساخت قدیمی لحاظ کرده و همواره بر روی قابلیت اطمینان ذاتی آنها تکیه می‌کردند. در نتیجه هدف طراحی، عمدتاً کاهش توان مصرفی، فضای اشغالی و افزایش سرعت بوده و در واقع قابلیت اطمینان در میان پارامترهای طراحی در نظر گرفته نمی‌شد. با کاهش ابعاد ترانزیستورها و رسیدن به ابعاد نانومتری، کاهش قابلیت اطمینان مدارها به یک چالش جدی تبدیل شده و با توجه به این روند رو به رشد در طراحی مدارات VLSI، کارکرد صحیح آنها به شکل قابل توجهی دچار مخاطره گردیده است [۲].

انواع خرابی مدارهای مبتنی بر تکنولوژی‌های نانومتر را می‌توان به دو بخش تقسیم نمود:

- خرابی‌های گذرا
- خرابی‌های دائم

خرابی‌های دائم باعث می‌شوند که سیستم به طور دائم عملکردی غیر صحیح داشته باشد. برای کشف چنین اشکالاتی نیاز به روش‌های آزمون‌پذیری سامانه است. نمونه‌هایی از منابع تولید خرابی‌های دائم عبارتند از [۱،۲]:

- شکست دی‌الکتریک وابسته به زمان[1]
- تزریق حامل داغ[2]

[1] Time dependent dielectric breakdown

[2] Hot carrier injection

- عدم پایداری دمای بایاس منفی[1] در ترانزیستورها

در مقابل خرابی‌های دائم، اشکالات گذرا هستند که به دلیل شرایطِ محیطیِ خاص رخ داده و برای مدت زمان کوتاهی در سیستم حضور دارند. این‌گونه اشکالات در صورت راه-اندازی مجدد سامانه از بین می‌روند. نمونه‌هایی از منابع تولید اشکال‌های گذرا عبارتند از [۲]:

- اغتشاشات منبع تغذیه
- اغتشاشات الکترومغناطیسی
- تشعشعات کیهانی

در این میان خرابی‌های گذرای ناشی از برخورد ذرات پرانرژی ساطع‌شده توسط اشعه-های کیهانی و همچنین برخورد ذرات آلفا به نواحی حساس یک قطعه نیمه‌هادی، از اهمیت ویژه‌ای برخوردار است. گزارش شده است که در یک محیط مطلوب حدود ۹۰٪ از خرابی‌های یک سامانه کامپیوتری ناشی از اشکال‌های گذرا است [۳]. به همین دلیل در ارزیابی نرخ خطا و شکست سامانه، اشکال‌های گذرا از اهمیت بیشتری برخوردارند.

امروزه رخداد خطای نرم ناشی از برخورد ذرات ساطع‌شده از اشعه کیهانی بسیار چشمگیر بوده و با توجه به کاهش پیوسته ابعاد تکنولوژی، نرخ این رخداد همواره در حال افزایش است.

در مدارات دیجیتال بسته به موقعیت مکانی بخش اصابت‌دیده، تعاریف متفاوتی از اشکالات مطرح می‌گردد. چنانچه ذره پرانرژی به بخش ترکیبی مدار دیجیتال برخورد نموده و پالس ولتاژ گذرایی در آن بوجود آورد، از آن به تک‌رخداد گذرا یاد می‌شود. در صورتی که ذره پرانرژی به طور همزمان چندین گره از بخش ترکیبی مدار دیجیتال را تحت تأثیر قرار دهد، به آن چندرخداد گذرا گویند. اشکالات تک‌رخداد و یا چندرخداد گذرا می‌توانند در مدار ترکیبی انتشار یافته و به ورودی یک عنصر ترتیبی برسند. در این صورت چنانچه عنصر ترتیبی در مود نمونه‌برداری از خط داده ورودی خود باشد، این خطا در آن وارد شده و در نتیجه می-

[1] Negative biasing temperature instability

تواند با تغییر مقدار ذخیره‌شده در عنصر ترتیبی، منجر به تولید خطای نرم گردد. ذره پرانرژی می‌تواند به صورت مستقیم به یک عنصر ترتیبی برخورد کرده و مقدار ذخیره‌شده در آن را تغییر دهد. در این صورت خطای نرم بوجودآمده ناشی از یک اشکال تک‌رخداد واژگونی می-باشد. اگر برخورد ذره پرانرژی در چندین گره از بخش ترتیبی اثر کرده و موجب تغییر حالت آنها و در نهایت تغییر منطق آنها گردد، اشکال بوجودآمده را اصطلاحاً اشکال چندرخداد واژگونی می‌نامند [۱،۳].

عمدتاً بزرگترین بخش مدارات مختلف را حافظه‌ها تشکیل داده و به دلیل چگالی بالای آنها در مقایسه با سایر بخش‌های مدار، آسیب‌پذیری بیشتری نیز نسبت به برخورد ذرات خواهند داشت. به همین دلیل در گذشته تک‌رخداد واژگونی (در مدارات حافظه) از اهمیت بیشتری برخوردار بوده و بخش عمده خطای نرم سامانه را تشکیل می‌داده است. این امر موجب شده که تاکنون روش‌های بسیاری برای کاهش نرخ خطای نرم ناشی از اشکال‌های تک‌رخداد واژگونی ارائه شوند. کدهای تصحیح خطا[1] و روش‌هایی که برای طراحی سلول‌های حافظه و عناصر ترتیبی مقاوم ارائه شده‌اند از جمله این روش‌ها هستند. از طرفی کاهش ظرفیت خازنی گره‌های مدار، کاهش ولتاژ تغذیه، کاهش جریان‌های محرک عبورکننده از ترانزیستورهای روشن و همچنین افزایش چگالی قطعات بر سطح تراشه‌ها، موجب افزایش چشمگیر نرخ خطای نرم ناشی از اشکالات گذرا شده است. به این ترتیب مقابله با خطاهای نرم ناشی از پالس‌های ولتاژ گذرای تولیدشده در بخش ترکیبی مدارها، به یکی از مهم‌ترین چالش‌ها در طراحی مدارهای امروزی تبدیل شده است[۳].

از طرف دیگر به دلیل افزایش تراکم قطعات بر سطح تراشه، امکان تحت تأثیر قرارگرفتن چندین گره در اثر برخورد ذره پرانرژی وجود دارد. در نتیجه از دیگر نگرانی‌ها در رابطه با قابلیت اطمینان مدارات امروزی، رخداد خطای نرم ناشی از اشکالات چندرخداد است. از این رو تا به امروز تحقیقات بسیاری بر روی چگونگی کاهش نرخ خطای نرم ناشی

[1] Error correction code

از اشکالات تک‌رخداد و چندرخداد گذرا و نیز واژگونی صورت گرفته است. در روش‌های مختلف ارائه‌شده سعی شده است که علاوه بر بالا بردن مقاومت کلی مدار در برابر برخورد ذرات ساطع‌شده از اشعه کیهانی، سربارهای ناشی از مقاوم‌سازی مدارها که شامل توان مصرفی، مساحت و تأخیر می‌باشد تا حد امکان کاهش یابد [۳-۱].

در [۳] روش‌های مقاوم‌سازی مدارهای دیجیتال در برابر این اشکالات به سه دسته کلی تقسیم شده است:

الف) روش‌های در سطح قطعه[1]: در این روش‌ها سعی می‌گردد با تغییر در اندازه، نوع مواد و میزان ناخالصی، از تولید اشکال تک‌رخداد و چندرخداد جلوگیری شود. به عبارت دیگر هدف این دسته از روش‌ها، کاهش اثر بار الکتریکی برجای‌مانده در محل برخورد ذره است. با وجود اینکه این روش‌ها در کاهش حساسیت مدار نسبت به برخورد ذرات بسیار کارآمد هستند، اما هزینه‌های مربوط به فرآیند تولید و پیاده‌سازی آنها زیاد بوده و تنها در کاربردهای خاص قابل پیاده‌سازی می‌باشند.

ب) روش‌های در سطح مدار[2]: در این روش‌ها عمدتاً ساختار مداری به‌گونه‌ای بهینه می‌گردد که طرح نهایی علاوه بر دارابودن عملکردی مشابه، دارای مقاومت بیشتری نسبت به برخورد ذرات پرانرژی باشد. روش‌هایی از قبیل افزودن عناصر بازخورد[3]، خازن و مقاومت در مدار جهت کندکردن روند انتشار پالس ولتاژ گذرا، استفاده از افزونگی زمانی برای بکارگیری عناصر ترتیبی مقاوم در برابر خطای نرم و همچنین افزودن مدارهای فیلترکننده در مسیرهای انتشار ولتاژ گذرا، در این سطح از مقاوم‌سازی قرار می‌گیرند.

ج) روش‌های در سطح سامانه[4]: این روش‌ها بیشتر مبتنی بر ساختارهای کشف و تحمل‌پذیری اشکال هستند و به همین دلیل افزونگی زیادی را به طرح تحمیل می‌کنند. کدهای

[1] Device level
[2] Circuit level
[3] Feedback
[4] System level

تشخیص و تصحیح خطا که در حافظه‌ها استفاده می‌شوند در این سطح از مقاوم‌سازی قرار دارند.

تاکنون جهت مقاوم‌سازی مدارات دیجیتال در هر یک از سطوح فوق روش‌های مختلفی مطرح شده است؛ تا آنجا که تحقیقات ما نشان می‌دهد بیشتر روش‌هایی که با هدف کاهش نرخ خطای نرم در مدارهای دیجیتال مطرح شده‌اند، به مقاوم‌سازی مدارها در برابر اشکال تک‌رخداد گذرا و واژگونی پرداخته‌اند و کاهش نرخ خطای نرم ناشی از اشکال‌های چندرخداد گذرا و واژگونی بسیار کم مورد توجه قرار گرفته است. این در حالی است که در فن‌آوری‌های امروزی احتمال بروز اشکال چندرخداد گذرا و واژگونی به علت زیادشدن چگالی قطعات بر سطح تراشه بسیار افزایش یافته است.

۱-۲- ترتیب ارائه مطالب

در ادامه و در فصل دوم خطای نرم و چالش‌های آن در مدارات دیجیتال مورد بررسی قرار می‌گیرد. در فصل سوم مروری بر پژوهش‌های پیشین مرتبط با مقاوم‌سازی مدارها در برابر اشکالات تک‌رخداد و نیز چندرخداد گذرا و واژگونی صورت گرفته و در فصل چهارم به بیان روش‌های پیشنهادی جهت کاهش نرخ خطای نرم ناشی از اشکالات تک‌رخداد و نیز چندرخداد واژگونی پرداخته و نتایج شبیه‌سازی توصیف شده است. با مقایسه نتایج بدست-آمده مشاهده می‌شود که مدارات پیشنهادی هر چند از مساحت بالاتری نسبت به سایر مدارات مشابه برخوردارند، اما یا مقاومت آنها در برابر برخورد ذرات پرانرژی بیشتر است و یا تأخیر و توان مصرفی کمتری نسبت به آنها دارند. در فصل آخر به ارائه پیشنهاداتی در رابطه با مقاوم-سازی هرچه بیشتر مدارات دیجیتال در برابر اشکالات گذرای موسوم به خطای نرم پرداخته شده است.