بسم الله الرحمن الرحيم

دانشکده فنی و مهندسی

بخش مهندسی برق

پایان نامه تحصیلی برای دریافت درجه کارشناسی ارشد رشته مهندسی برق گرایش الکترونیک

روش‌های رمزگذاری گذرگاه برای کاهش توان مصرفی

مولف:

زهره نصیری گوکی

استاد راهنما:

دکتر محسن صانعی

استاد مشاور:

دکتر علی ماهانی

بهمن ماه ۱۳۹۱

این پایان نامه به عنوان یکی از شرایط درجه کارشناسی ارشد به

بخش برق

دانشکده فنی و مهندسی

دانشگاه شهید باهنر کرمان

تسلیم شده است و هیچگونه مدرکی به عنوان فراغت از تحصیل دوره مزبور شناخته نمی شود.

دانشجو :زهره نصیری گوکی

استاد راهنما : جناب آقای دکتر محسن صانعی

استاد مشاور : جناب آقای دکتر علی ماهانی

داور ۱ : جناب آقای دکتر احمد حکیمی

داور۲ : سرکار خانم دکتر مهدیه مهران

نماینده تحصیلات تکمیلی دانشکده در جلسه دفاع: سرکار خانم دکتر مریم پورمحی آبادی

معاون آموزشی و پژوهشی دانشکده : سرکار خانم دکتر مریم احتشام زاده

حق چاپ محفوظ و مخصوص به دانشگاه شهید باهنر کرمان است.

تقدیم به:

خدای را بسی شاکرم که از روی کرم پدر و مادری فداکار نصیبم ساخته تا در سایه درخت پر بار وجودشان بیاسایم و از ریشه آنها شاخ و برگ گیرم و از سایه وجودشان در راه کسب علم ودانش تلاش نمایم.

والدینی که بودنشان تاج افتخاری است بر سرم و نامشان دلیلی است بر بودنم چرا که این دو وجود پس از پروردگار مایه هستی ام بوده اند دستم را گرفتند و راه رفتن را در این وادی زندگی پر از فراز و نشیب آموختند.

آموزگارانی که برایم زندگی؛ بودن و انسان بودن را معنا کردند

حال این برگ سبزی است تحفه درویش تقدیم آنان....

به پاس تعبیر عظیم و انسانی شان از کلمه ایثار و از خودگذشتگان

به پاس عاطفه سرشار و گرمای امیدبخش وجودشان که در این سردترین روزگاران بهترین پشتیبان است.

به پاس قلب های بزرگشان که فریاد رس است و سرگردانی و ترس در پناهشان به شجاعت می گراید.

و به پاس محبت های بی دریغشان که هرگز فروکش نمی کند.

تشکر و قدردانی:

سپاس خدای را که سخنوران، در ستودن او بمانند و شمارندگان، شمردن نعمت های او ندانند و کوشندگان، حق او را گزاردن نتوانند. و سلام و دورد بر محمّد و خاندان پاک او، طاهران معصوم، هم آنان که وجودمان وامدار وجودشان است؛ و نفرین پیوسته بر دشمنان ایشان تا روز رستاخیز...

بدون شک جایگاه و منزلت معلم، اجّل از آن است که در مقام قدردانی از زحمات بی شائبه ی او، با زبان قاصر و دست ناتوان، چیزی بنگاریم. اما از آنجایی که تجلیل از معلم، سپاس از انسانی است که هدف و غایت آفرینش را تامین می کند و سلامت امانت هایی را که به دستش سپرده اند، تضمین؛ بر حسب وظیفه و از باب " من لم یشکر المنعم من المخلوقین لم یشکر اللّه عزّ و جلّ:

از استاد عزیز و گرانقدرم جناب آقای دکتر صانعی که در کمال سعه صدر، با حسن خلق و فروتنی، از هیچ کمکی در این عرصه بر من دریغ ننمودند و زحمت راهنمایی این پایان نامه را بر عهده گرفتند کمال تشکر و قدردانی را دارم و توفیق روز افزون ایشان را از خداوند خواستارم.

همچنین از استاد بزرگوارم جناب آقای دکتر ماهانی به خاطر راهنمایی‌هایشان سپاسگزارم.

چکیده

با کوچک شدن تکنولوژی مقاومت اتصالات میانی و هم‌چنین خازن بین سیم‌ها به شدت افزایش می-یابد. به علاوه افزایش اندازه تراشه‌ها باعث افزایش طول اتصالات میانی می‌شود که این افزایش طول، مقاومت و خازن باعث افزایش تاخیر انتشار گذرگاه می‌شود. هم‌چنین برای تکنولوژی های بسیار زیر میکرون کاهش انرژی و تاخیر هم شنوایی گذرگاه بسیار مهم است.

تحقیقات متعددی وجود دارد که با استفاده از روش‌های رمزگذاری سعی در کاهش فعالیت کلیدزنی گذرگاه دارند.

هدف از این پایان نامه کاهش تاخیر انتشار و توان مصرفی گذرگاه داده و آدرس با استفاده از روش های رمزگذاری گذرگاه است. در این تحقیق دو روش رمزگذاری گذرگاه را برای کاهش تاخیر انتشار و توان مصرفی ارایه کردیم. اولین روش رمزگذاری گذرگاه، برای گذرگاه داده معرفی شده است که گذرگاه را به زیرگروه های ۴ بیتی تقسیم می‌کند. کدینگ به نحوی صورت می‌گیرد که کد با داده قبلی روی گذرگاه در بیت‌های مجاور گذر مخالف ایجاد نکند. این روش کدینگ با کاهش هم شنوایی، تاخیر انتشار و توان مصرفی گذرگاه را کاهش می‌دهد.

دومین روش رمزگذاری گذرگاه را برای گذرگاه آدرس معرفی کرده ایم که در این روش داده روی گذرگاه در دو سیکل متوالی فرستاده می‌شود. نتایج شبیه سازی نشان می‌دهد که فعالیت کلیدزنی در روش پیشنهادی حدود ۲۴ درصد کاهش پیدا می‌کند. هم چنین تعداد سیم‌ها در روش پیشنهادی ۵۰ درصد کاهش می‌یابد.

کلمات کلیدی: گذرگاه آدرس، گذرگاه داده، هم شنوایی، فعالیت کلیدزنی، توان مصرفی، تاخیر، گذر تزویج، گذر خودی.

فهرست مطالب

فصل اول: مقدمه ۱

۱-۱- معرفی ۲

۱-۲- اتصالات میانی ٤

۱-۳- نویز هم شنوایی ٦

۱-۴- تاخیر ۷

۱-۵- توان مصرفی..... ۸

۱-۶- انواع گذرگاه ۹

فصل دوم: گذرگاه داده..... ۱۰

۲-۱- کد BI ۱۱

۲-۲- کد OEBI..... ۱۱

۲-۳- روش محافظت (SHD)..... ۱۲

۲-۴- کدهای حذف هم شنوایی ۱۲

۲-۴-۱- خواص کدهای حذف هم شنوایی ۱۲

۲-۴-۲- روش کدهای گذر ممنوع ۱۳

۲-۴-۳- روش کدهای الگوی ممنوع ۱۵

۲-۴-۴- کدهای اشتراکی ۱۵

۲-۴-۴-۱- کدهای اشتراکی الگوی ممنوع ۱٦

۲-۴-۴-۲- کدهای اشتراکی گذر ممنوع..... ۱۷

۲-۴-۵- روش رمزگذاری محافظت انتخابی ۱۹
۲-٤-۵-۱- رمزگذاری داده ۱۹
۲-۴-۵-۲- انتقال داده ۲۰
۲-۴-۶- یک روش رمزگذاری با استفاده از افزونگی زمانی ۲۲
۲-۴-۷- رمزگذاری برای کاهش هم شنوایی RC ۲۳
۲-۴-۷-۱- روش I: ۲٤
۲-٤-۷-۲- روش II: ۲۷
۲-۴-۸- روش رمزگذاری برای کاهش هم شنوایی و تشخیص خطا ۲۹
۲-۴-۹- روش جدید رمزگذاری برای کاهش هم شنوایی ۳۱
۲-۴-۹-۱- طرح رمزگذاری ۳۱
۲-۵- نمایشSBR ۳٤
۲-۶- تشخیص بیتهای فعال در گذرگاه داده ۳٦
۲-۶-۱- ساختار رمزگذاری ۳۷
۲-۶-۲- روش جاسازی ۳۹
فصل سوم: گذرگاه آدرس ٤۰
۳-۱- کد T0 ..... ٤۱
۳-۱-۱- روش T0_XOR ٤۲
۳-۱-۲- بهبود هزینه روش T0 (T0_Cost1) ٤۲
۳-۱-۳- روش T0_Cost2 ..... ٤۳

۳-۱-۴- روش T0_Cost3 ..... ٤٤
۳-۲- رمزگذاری البرز ٤٥
۳-۲-۱- کدبوک ثابت ٤٧
۳-۲-۲- کدبوک سازگار ٤٨
۳-۲-۳- کد البرز غیرافزونه ٤٨
۳-۳- کد گری شیفت یافته ٥٠
۳-۳-۱- حافظه آدرس گری (GA) درمقایسه با حافظه آدرس باینری (BA) ٥٢
۳-۴- کاهش کلیدزنی گذرگاه آدرس با حافظه Cache ٥٤
۳-۴-۱- ساختار سیستم ٥٤
۳-۴-۲- Cache مرجع ٥٤
۳-۴-۳- کد URDC (Unit distance redundant codes) ٥٥
۳-۴-۴- ساختار سخت افزاری ٥٨
فصل چهارم: روشهای رمزگذاری پیشنهادی ٥٩
۴-۱- روش رمزگذاری پیشنهادی برای گذرگاه داده ٦٠
۴-۱-۱- ساختار روش رمزگذاری پیشنهادی برای گذرگاه داده ٦٠
۴-۱-۲- نتایج شبیه سازی روش رمزگذاری پیشنهادی برای گذرگاه داده ٦٤
۴-۲- روش رمزگذاری پیشنهادی برای گذرگاه آدرس ٦٨
۴-۲-۱- ساختار روش رمزگذاری پیشنهادی برای گذرگاه آدرس ٦٨
۴-۲-۲- نتایج شبیه سازی روش رمزگذاری پیشنهادی برای گذرگاه آدرس ٦٨

فصل پنجم: نتیجه گیری و پیشنهادات ۷۰

۵-۱- نتیجه گیری ۷۱

۵-۲- پیشنهادات ۷۱

منابع: ۷۳

پیوستها ۷۶

واژه نامه فارسی به انگلیسی ۷۷

واژه نامه انگلیسی به فارسی ۷۹

جدول علایم اختصاری ۸۱

فهرست شکل‌ها

عنوان **صفحه**

شکل ۱-۱: تعداد ترانزیستورهای میکروپروسسورهای مختلف..... ۲

شکل ۱-۲: مشخصات هندسی یک اتصال میانی..... ۴

شکل ۱-۳: مدل ۳ بیتی بسیار زیر میکرون..... ۸

شکل ۲-۱: نیازهای سخت افزاری برای کد گذر ممنوع [14]..... ۱۴

شکل ۲-۲: کدهای اشتراکی [16]..... ۱۶

شکل ۲-۳: کدهای اشتراکی الگوی ممنوع [16] (الف) کد الگوی ممنوع برای n=5 (ب) کد اشتراکی برای (n,k) = (5,4)..... ۱۷

شکل ۲-٤: (الف) ساختار انکدر SS (ب) ساختار دیکدر SS [17]..... ۲۰

شکل ۲-۵: (الف) هم شنوایی در بیت‌های مرزی (ب) حذف هم شنوایی به کمک افزونگی زمانی [19]..... ۲۳

شکل ۲-٦: روش I برای یک گذرگاه ۵ بیتی [20]..... ۲۴

شکل ۲-۷: (الف) مدار N4_Count (ب) مدار N3_Count [20]..... ۲۶

شکل ۲-۸: روش II یرای یک گذرگاه ۵ بیتی [20]..... ۲۷

شکل ۲-۹: مدار N2_Count [20]..... ۲۸

شکل ۲-۱۰: ساختار دیکدر برای یک گذرگاه ٤ بیتی [20]..... ۲۸

شکل ۲-۱۱: الگوی رمزگذاری برای گذرگاه ۳۲ بیتی [21]..... ۲۹

شکل ۲-۱۲: ساختار انکدر روش رمزگذاری با تشخیص خطا[21] ۳۰

شکل ۲-۱۳: ساختار دیکدر روش رمزگذاری با تشخیص خطا [21]..... ۳۰

شکل ۲-۱٤: بلوک دیاگرام طرح رمزگذاری جدید برای کاهش هم شنوایی [22]..... ۳۱

شکل ۲-۱۵: بلوک مبدل لاجیکی [22]..... ۳۳

شکل ۲-۱٦: طرح رمزگذاری با خطوط محافظ [22]..... ۳۳

شکل ۲-۱۷: (الف) انکدر تبدیل مکمل دویی به SBR (ب) دیکدر تبذیل SBR به مکمل دویی [23]..... ۳۶

شکل ۲-۱۸: یک مثال برای بیت‌های فعال (الف) اعداد علامت دار (ب) اعداد بدون علامت [24] ۳۷

شکل ۲-۱۹: یک مثال برای بیت‌های فعال در رشته داده(الف) داده (ب) بیت‌های فعال (ج) پهنای بیت فعال [24]..... ۳۷

شکل ۲-۲۰: یک مثال برای رمزگذاری [24] ۳۸

شکل ۲-۲۱: یک مثال برای بیت‌های اضافی برای تشخیص پهنای بیت (الف) باینری (ب) One_Hot [24]..... ۳۸

شکل ۲-۲۲: یک مثال برای روش جاسازی [24]..... ۳۹

شکل ۳-۱: الگوریتم رمزگذاری T0 [25]..... ۴۱

شکل ۳-۲: الگوریتم رمزگذاری T0_Cost1 [27]..... ۴۳

شکل ۳-۳: الگوریتم رمزگذاری T0_Cost2 [27]..... ۴۳

شکل ۳-۴: الگوریتم رمزگذاری T0_Cost3 [27]..... ۴۴

شکل ۳-۵: مدار انکدر البرز [28] ۴۶

شکل ۳-۶: مدار دیکدر البرز [28]..... ۴۶

شکل ۳-۷: الگوریتم رمزگذاری البرز غیر افزونه [28]..... ۴۸

شکل ۳-۸: مدار انکدر البرز غیرافزونه [28]..... ۴۹

شکل ۳-۹: (الف) ساختار قدیمی سیستم (ب) ساختار با کد گری (ج) ساختار جدید با کد گری [29]..... ۵۰

شکل ۳-۱۰: (الف) حافظه دستورالعمل با آدرس کد گری (ب) حافظه دستورالعمل با آدرس کد باینری [29]..... ۵۱

شکل ۳-۱۱: دیکدر آدرس‌های باینری..... ۵۲

شکل ۳-۱۲: دیکدر آدرس‌های گری [29]..... ۵۳

شکل ۳-۱۲: ساختار سیستم با حافظه cache [30]..... ۵۴

شکل ۳-۱۳: مدار انکدر و دیکدر UDRC [30]..... ۵۶

شکل ۳-۱۴. ساختار سخت افزاری cache مرجع (الف) انکدر (ب) دیکدر [30]..... ۵۸

شکل ۴-۱: ساختار داخلی مدار تشخیص گذر مخالف..... ۶۱

شکل ۴-۲: ساختار انکدر و دیکدر روش پیشنهادی..... ۶۳

شکل ۴_۳: ساختار بلوک LC ۶۴

شکل ۴-۴: مدل U خط انتقال..... ۶۶

فهرست جدول‌ها

عنوان **صفحه**

جدول ۱-۱: دسته بندی هم‌شنوایی به ازای حالات مختلف گذر ۳ سیم مجاور [7].....۷

جدول ۲-۱: کدهای گذر ممنوع برای n=4 (الف) کد ۰۱۰۱ (ب) کد ۱۰۱۰ [14] ۱۳

جدول ۲-۲: نگاشت انکدر FTOC(4,3) [16] ۱۸

جدول ۲-۳: نگاشت دیکدر FTOC(4,3) [16].....۱۹

جدول ۲-۴: مثال برای روش SS [17].....۲۱

جدول ۲-۵: مثال برای روش کدکردن مجدد [17].....۲۱

جدول ۲-۶: ساختار رمزگذاری[19] ۲۲

جدول ۲-۷: رمزگذاری گذرگاه برای حذف هم شنوایی کلاس ٤ [22].....۳۲

جدول ۲-۸: رمزگذاری گذرگاه برای حذف هم شنوایی کلاس ۲ [22].....۳۲

جدول ۳-۱: کد one_hot برای گذرگاه ۳۲ بیتی [28].....۴۷

جدول ۳-۲: فاصله همینگ برای چهار سمبل باینری [30].....۵۵

جدول ۳-۳: فاصله همینگ برای سمبل‌های UDRC [30].....۵۵

جدول ۳-۴: جریانی از کدهای باینری و UDRC و فاصله همینگ متناظر آنها [30].....۵۷

جدول ۴-۱: حالات مختلف گذر قبل و بعد از رمزگذاری.....۶۲

جدول٤-۲: مقایسه تاخیر و تعداد سیم‌های مورد نیاز در روش‌های مختلف رمزگذاری برای گذرگاه ۳۲ بیتی.....٦٥

جدول ٤-۳: مقایسه گذر روش‌های رمزگذاری گذرگاه داده.....٦٥

جدول ۴-۴: پارامترهای خط انتقال مدل U.....۶۶

جدول ۴-۵: مقایسه توان مصرفی گذرگاه به ازای طول‌های مختلف سیم (mw).....۶۷

جدول ۴-۶: مقایسه توان مصرفی انکدر و دیکدر روش پیشنهادی با روش‌های دیگر.....۶۷

جدول۴-۷: مقایسه تعداد سیم‌های مورد نیاز در روش‌های مختلف رمزگذاری برای گذرگاه آدرس ۳۲ بیتی.....۶۹

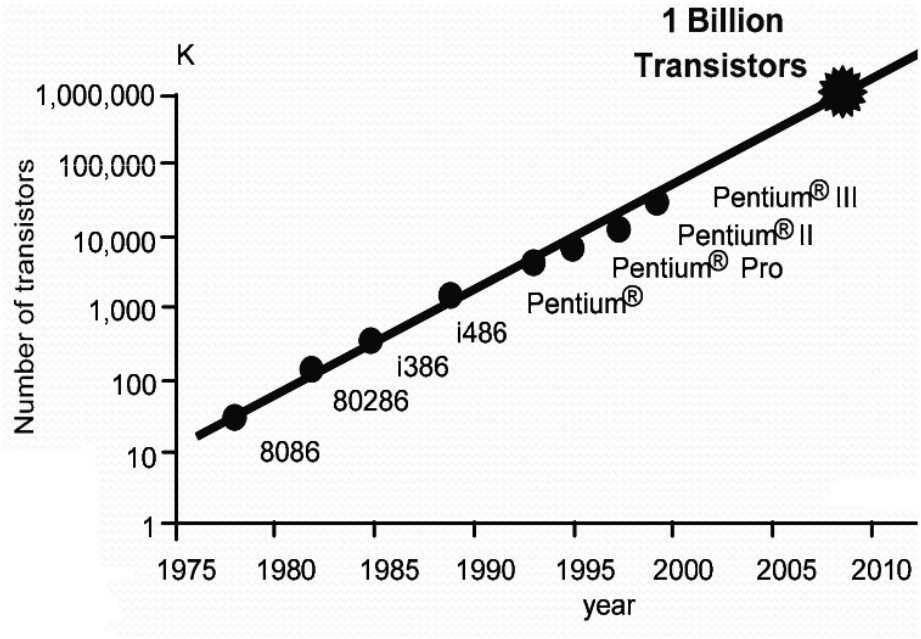
جدول۴-۸: مقایسه گذر روش‌های رمزگذاری گذرگاه آدرس.....۶۹

فصل اول

مقدمه

۱-۱- معرفی

در سال ۱۹٦۵ آقای مور پیش‌بینی کرد که تعداد ترانزیستورهای یک تراشه هر ۱۸ تا ۲٤ ماه و سرعت آن‌ها هر ۱۸ ماه دو برابر می‌شود. این پیش‌بینی‌ها با استناد به روند توسعه تکنولوژی نیمه‌هادی‌ها از سال ۱۹۵۹ تا ۱۹٦۵ ارائه شده است، تا امروز با تقریب خوبی تحقق پیدا کرده است و به نظر می‌رسد در طی چند سال آینده نیز تحقق پیدا نماید. موید این ادعا منحنی شکل ۱-۱ است که نشان‌دهنده تعداد ترانزیستورهای میکروپروسسورهای ساخت شرکت اینتل می‌باشد.



شکل ۱-۱: تعداد ترانزیستورهای میکروپروسسورهای مختلف

این منحنی نشان‌دهنده دو برابر شدن پیچیدگی تراشه‌ها در هر ۱/۹۶ سال است. بر اساس این منحنی تعداد ترانزیستورهای هر تراشه در سال ۲۰۰۸ از مرز یک میلیارد عبور کرده و تا سال ۲۰۱۲ به حدود چهار میلیارد رسیده است. مدیریت این تعداد ترانزیستور در یک تراشه کار مشکلی است و با روش-های رایج SOC عملی نیست. از طرفی با گذشت زمان، ابعاد تراشه‌ها نیز بزرگ می‌شود. با مطالعه روند توسعه تکنولوژی نیمه هادی‌ها از سال ۱۹۷۰ به بعد متوجه رشد ۷ درصدی ابعاد تراشه‌ها در هر سال می‌شویم.

این رشد باعث طولانی شدن سیم‌های مورد استفاده در تراشه‌ها و افزایش تاخیر آن‌ها می‌شود. .با در نظر گرفتن این نکته که تاخیر واحد طول سیم‌های ارتباطی نیز به تدریج افزایش می‌یابد، اهمیت موضوع بیشتر روشن می‌شود. از طرف دیگر تاخیر گیت‌های درون تراشه به تدریج کمتر می‌شود که بیانگر افزایش فرکانس کار این تراشه‌ها است. کاهش تاخیر گیت در کنار افزایش تاخیر سیم‌های ارتباطی باعث می‌شود که نسبت تاخیر گیت‌ها به تاخیر خطوط ارتباطی آن‌ها به شدت کاهش یافته و به کمتر از یک برسد. بنابراین به نظر می‌رسد که تاخیر سیم‌ها نه تنها مانع از افزایش فرکانس کار تراشه‌ها می‌شود، بلکه به تدریج فرکانس کار آن‌ها را نیز کاهش می‌دهد.

بنابراین با کوچک شدن تکنولوژی ضخامت اتصالات میانی[1] و هم‌چنین فاصله بین آن‌ها کاهش یافته است که این امر باعث افزایش مقاومت و خازن بین سیم‌ها می‌شود. به علاوه افزایش اندازه تراشه‌ها باعث افزایش طول اتصالات میانی می‌شود که این افزایش طول، مقاومت و خازن باعث افزایش تاخیر و توان مصرفی گذرگاه[2] می‌شود.

بیشتر تحقیقات به منظور بهینه کردن حاصل ضرب توان در تاخیر برای اتصالات میانی به دسته‌های زیر تقسیم میشوند.

۱) استفاده کردن از روش‌های بافر گذاری[3] [1-3]
۲) طراحی گیرنده/فرستنده به منظور کاهش سوئینگ ولتاژ در اتصالات میانی [4,5]
۳) به کار بردن روش‌های رمزگذاری به منظور کاهش فعالیت کلیدزنی درسرتاسر اتصالات میانی[6,7]
٤) استفاده ازشبکه‌های روی تراشه[4] به منظور کاهش دادن تعداد اتصالات میانی.

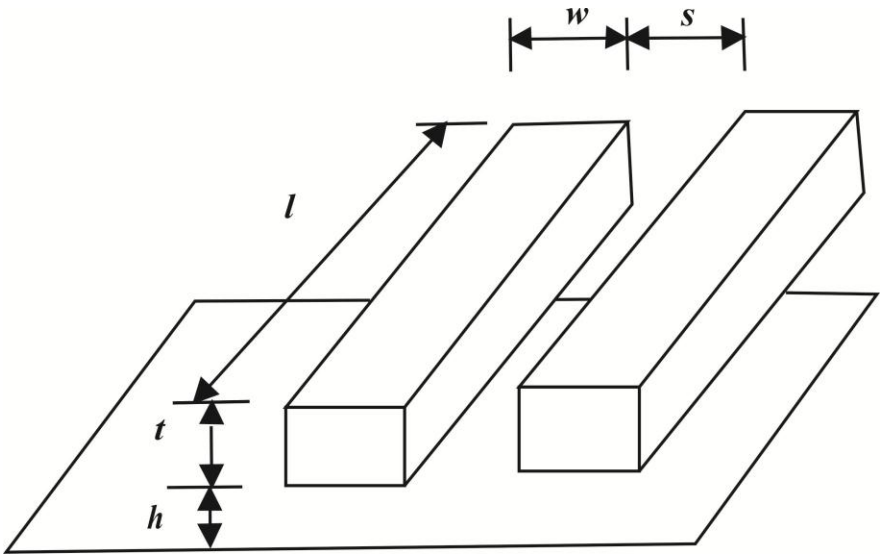
در اینجا ما به بررسی دسته سوم یعنی روش‌های رمزگذاری برای کاهش فعالیت کلیدزنی می‌پردازیم.

[1] Interconnect
[2] Bus
[3] Buffer Insertion

[4] Network On Chip (NOC)

۱-۲- اتصالات میانی

سیم‌های متصل کننده ترانزیستورها وگیت‌ها به یکدیگر، اتصالات میانی نامیده می‌شوند که امروزه نقش اصلی را در سرعت سیستم‌های پیشرفته ایفا می‌کنند. شکل ۱-۲ یک جفت سیم مجاور را نشان می‌دهد. این سیم‌ها دارای عرض W[1]، طول L[2]، ضخامت t[3] و فاصله s[4] از سیم مجاور هستند و یک ماده دی الکتریک با ارتفاع h[5] بین آن‌ها و لایه هادی زیرین وجود دارد. مجموع عرض و فاصله آن‌ها، گام سیم[6] نامیده می‌شود. به طور معمول در تکنولوژی‌های سیلیکون، دی الکتریک از جنس اکسید سیلیکون[7] یا یک ماده با ثابت دی الکتریک کم ساخته می‌شود.



شکل ۱-۲: مشخصات هندسی یک اتصال میانی

در تکنولوژی‌های پیشین که ترانزیستورها نسبتا کند عمل می‌کردند، سیم‌ها پهن و ضخیم بوده و بنابراین مقاومت کمی داشتند. تحت چنین شرایطی سیم‌ها به صورت نقاط هم پتانسیل ایده‌آل یا به صورت بار خازنی فشرده[8] رفتار می‌کردند. در نتیجه طراحان مدارهای الکتریکی رفتار الکتریکی

[1] Width
[2] Lenght
[3] Thickness
[4] Spacing
[5] Height
[6] Wire pitch
[7] SiO_2
[8] Lumped

اتصالات میانی را نادیده گرفته و صرفا به یک محاسبه ساده و تقریبی از خازن‌های پارازیتی سیم‌ها بسنده می‌کردند.

ولی در مدارات مجتمع بسیار چگال[1]، ترانزیستورها با سرعت بالا عمل کرده و سیم‌ها باریکتر شده و در نتیجه با بالا رفتن مقاومت آن‌ها، تاخیر RC سیم‌ها در خیلی از مسیرها از تاخیر گیت‌ها بیشتر شده است. از طرفی سیم‌ها بسیار نزدیک به هم قرار گرفته و بنابراین کسر بزرگی از خازن آن‌ها، مربوط به خازن بین سیم‌های مجاور می‌باشد. موقعی که ولتاژ یک سیم تغییر می‌کند، روی سیم مجاور خود از طریق تزویج خازنی[2] اثر می‌گذارد که این اثر به عنوان هم‌شنوایی نامیده می‌شود. کاهش ثابت دی الکتریک موجب کاستن تاخیر سیم، توان کلیدزنی[3] و عموما نویز هم‌شنوایی خازنی می‌شود.

به طور کلی اتصالات میانی به سه دسته تقسیم می‌شوند:

۱- اتصالات میانی سرتاسری[4]
۲- اتصالات میانی واسطه[5] (نیمه سرتاسری)
۳- اتصالات میانی محلی[6]

اتصالات میانی سرتاسری بزرگترین گام را از یکدیگر داشته و بین بلوک‌های بزرگ عملیاتی ارتباط برقرار می‌کنند. در حالی که اتصالات میانی محلی کوچکترین گام را داشته و اکثرا به عنوان اتصال بین واحدهای منطقی به کار می‌روند. از آنجایی که واحدهای منطقی در پایین‌ترین لایه تراشه جانمایی می‌شوند، اتصالات میانی محلی نیز در پایین‌ترین لایه تراشه قرار می‌گیرند و به تبع آن اتصالات میانی سرتاسری در لایه‌های فوقانی جای می‌گیرند. یکی از تفاوت‌های عمده بین اتصالات میانی سرتاسری و اتصالات میانی محلی این است که طول اتصالات میانی محلی با پیشرفت فناوری کوچکتر می‌شود، در حالی که طول اتصالات میانی سرتاسری تقریبا ثابت مانده است و یا ممکن است افزایش داشته باشد.

[1] VLSI (Very Large Scale Integration)
[2] Capacitive Coupling
[3] Switching
[4] Global Interconnect
[5] Semi Global Interconnect
[6] Local Interconnect