٤٨٥١١

دانشگاه صنعتی اصفهان

دانشکده برق و کامپیوتر

طراحی مدار جمع و تفریق کننده اعشاری بهینه بصورت خط لوله

پایان نامه کارشناسی ارشد معماری سیستمهای کامپیوتر

علی فانیان

۱۳۸۲/۷/۲۰
مرکز اطلاعات و مدارک علمی ایران
تهیه مدارک

استاد راهنما

دکتر شادرخ سماوی

۱۳۸۲/۷/۲۰

۱۳۸۱

۴۸۵۸۸
مرکز اطلاعات و مدارک علمی ایران
تهیه مدارک

دانشگاه صنعتی اصفهان

دانشکده برق و کامپیوتر

پایان نامه کارشناسی ارشد رشته معماری سیستمهای کامپیوتری آقای علی فانیان

تحت عنوان

طراحی مدار جمع و تفریق کننده اعشاری بهینه بصورت خط لوله

در تاریخ ۱۳۸۱/۶/۷ توسط کمیته تخصصی زیر مورد بررسی و تصویب نهائی قرار گرفت.

۱- استاد راهنمای پایان نامه — دکتر شادرخ سماوی

۲- استاد مشاور پایان نامه — دکتر سیدمسعود سیدکاظمی

سرپرست تحصیلات تکمیلی دانشکده — دکتر علی محمد دوست حسینی

از تمامی کسانی که مرا برای انجام این پایان نامه یاری کردند تشکر می کنم. به ویژه از جناب آقای دکتر شادرخ سماوی که راهنمائیهای ایشان بسیار ارزنده بود. همچنین از ریاست محترم دانشکده جناب آقای دکتر سید مسعود سیدی که به عنوان استاد مشاور این پایان نامه مرا یاری کردند تشکر می کنم. از آقایان دکتر پالهنگ ، مهندس حسن تفضلی که در جلسه دفاعیه اینجانب شرکت نمودند و از آقای دکتر علی محمد دوست حسینی مسئول تحصیلات تکمیلی دانشکده برق و کامپیوتر نیز کمال تشکر را دارم. همچنین از پدر و مادر عزیزم که حمایتهای معنوی ایشان باعث ساده تر گشتن کار تحقیق شد تشکر فراوان می نمایم.

کلیه حقوق مادی مترتب بر نتایج مطالعات،
ابتکارات و نوآوریهای ناشی از تحقیق موضوع
این پایان نامه متعلق به دانشگاه صنعتی اصفهان است.

تقدیم به حضرت ولی عصر امام زمان (عج)

و

پدر ، مادر و همسر عزیزم

فهرست مطالب

عنوان — صفحه

فهرست مطالب ..... شش

چکیده .....

فصل اول: مقدمه ۱

فصل دوم: اعداد ممیز شناور ۵

۲-۱) استاندارد IEEE 754 ..... ۶

۲-۲) جمع کننده و تفریق کننده اعشاری کلاسیک ۸

۲-۲-۱) الگوریتم جمع و تفریق اعداد اعشاری ۸

فصل سوم: پیاده سازی مدار جمع کننده اعشاری کلاسیک ۲۰

۳-۱) مدار جمع و تفریق کننده اعشاری کلاسیک ۲۰

۳-۲) بررسی عملکرد مدار جمع و تفریق کننده اعشاری کلاسیک ۲۷

۳-۳) مدارهای بهینه جمع و تفریق کننده اعشاری ۲۸

فصل چهارم: مدار جمع و تفریق کننده اعشاری آسنکرون ۴۰

۴-۱) طراحی ناهمگام و سابقه تاریخی آن ۴۰

۴-۱-۱) مزایای طراحی ناهمگام ۴۱

۴-۱-۲) بررسی برخی نقاط ضعف طراحی ناهمگام ۴۳

۴-۱-۳) معرفی برخی ریزپردازنده های ناهمگام ۴۴

۴-۱-۴) استفاده توامان از طراحی همگام و ناهمگام ۴۵

۴-۲) مدار جمع کننده اعشاری آسنکرون ۴۵

۴-۳) طراحی مدار آسنکرون ۴۶

۴-۴) بررسی مدار آسنکرون ۴۶

۴-۵) احتمال رخداد دسته های مختلف در عملیات نرمالیزاسیون ۴۸

۴-۵-۱) احتمال رخداد حالات مختلف در نرمالیزه سازی موقعی که نماها برابر باشند ۴۹

۴-۵-۲) احتمال رخداد حالات مختلف نرمالیزه سازی موقعی که نماها یک واحد اختلاف دارند ۵۹

۴-۶) بررسی عملکرد مدار آسنکرون ۷۱

فصل پنجم: مدار جمع و تفریق کننده اعشاری سریع بر اساس معماری خط لوله ۷٤
۵-۱) معماری مدار جمع و تفریق کننده اعشاری سریع ۷٤
۵-۱-۱) گام اول در معماری مدار جمع کننده اعشاری سریع ۷۵
۵-۱-۲) گام دوم در معماری مدار سریع جمع کننده اعشاری ۷٦
۵-۱-۳) گام سوم در معماری مدار سریع جمع و تفریق کننده و اعشاری ۷۸
۵-۲) پیاده سازی مدار جمع و تفریق کننده اعشاری سریع ۷۹
۵-۲-۱) بررسی مدارهای داخلی بلوک دوم ۸۵
۵-۲-۲) بررسی مدارهای داخلی بلوک سوم ۹۵

فصل ششم: نتیجه گیری و پیشنهادات ۱۰۱
٦-۱) پیشنهادات ۱۰۳

ضمیمه : کد VHDL مدار آسنکرون و شماتیک مدار خط لوله سریع ۱۰٤

منابع ۱٤۷

مرکز اطلاعات و مدارک علمی ایران
تهیه مدارک

چکیده

مدارات جمع و تفریق کننده از جمله مدارات پایه در پردازندهای محاسباتی است. در محاسبات علمی بیشتر از اعداد حقیقی به جای اعداد صحیح استفاده می شود. با توجه به استفاده روز افزون اعداد اعشاری در محاسبات طراحان را بر آن داشته تا مدارات سریع و بهینه را برای عملیات روی اعداد حقیقی طراحی کنند. طراحی مدارات اعشاری با پیچیدگی بیشتری نسبت به مدارات اعداد صحیح همراه است. این پیچیدگی به خاطر نوع و نحوه نمایش اعداد اعشاری و استانداردهایی است که در این ارتباط وجود دارد. امروزه با توجه به سرعتهای مورد نیاز نمی توان از مدارات سنتی جمع و تفریق کننده اعشاری استفاده کرد. این مسئله باعث شده است که تحقیقات گسترده روی مدارات جمع و تفریق کننده اعشاری انجام گیرد. در این پایان نامه با بررسی تحقیقات قبلی و دستاوردهای جدید دو مدار جمع و تفریق کننده اعشاری طراحی شده است. مدار اول بصورت آسنکرون عمل می کند. این مدار در مواردی که حجم سخت افزار مورد استفاده از اولویت برخوردار باشد بهینه است ولی زمان پاسخ آن به ورودیهای مدار بستگی دارد. مدار دوم با توجه به نیاز پردازندهای امروز طراحی شده و بصورت سنکرون عمل می کند. این مدار علاوه بر بهینه بودن از نظر سرعت در استفاده از سخت افزار نیز بهینه است. طراحی مدار جمع و تفریق کننده اعشاریی که از خط لوله استفاده می کند با توجه به ساختار اعداد اعشاری با مشکلاتی همراه است. در این مدار از خط لوله کاملاً متقارن استفاده شده است.

فصل اول

مقدمه

انسان از گذشته دور تا کنون با اعداد و محاسبات عددی سروکار داشته است به گونه ای که امروزه نقش محاسبات عددی در زندگی روزمره به سادگی قابل مشاهده است. به موازات رشد و پیشرفت علم، محاسبات عددی نیز روز به روز پیچیده تر می شد. پیچیدگی روز افزون محاسبات عددی انسان را برآن داشت تا با ارائه ابزارها و تکنیکهایی که بتواند در راستای تسهیل و تسریع محاسبات سودمند واقع گردند گام بردارد.

با پیدایش مدارهای دیجیتال[1] و ریز پردازنده ها[2] انقلاب بزرگی در زمینه سیستمهای محاسباتی و کاربردهای وابسته به آن ها بوجود آمد، به گونه ای که امروزه ریز پردازنده ها در طیف وسیعی از کاربردها، مورد استفاده قرار می گیرند.

قسمت اعظمی از مدارها در ریز پردازنده ها به انجام محاسبات عددی اختصاص دارد. اگر نگاهی به پردازنده های قدیمی شود در می یابیم که به خاطر مشکلات و مسائلی که در آن زمان در طراحی و پیاده سازی مدارهای سخت افزاری VLSI[3] وجود داشته اند، طراحان را مجبور به استفاده از کمک پردازنده های جنبی[4] در کنار پردازنده اصلی کرده اند.

---

[1] Digital Circuite

[2] Processor

[3] Very Large Scale Integration

[4] Coproccessor

با تلاش محققین و پژوهشگران در استفاده از مدارهای دیجیتال در انجام محاسبات عددی هر روز ریز پردازنده های قوی تری نسبت به نمونه قبلی پا به عرصه وجود می گزارند. این تحقیقات در قالب دو گروه دنبال می شد. گروه اول مسائل مربوط به ریز پردازنده و پیاده سازی آنها را دنبال می کردند. این گروه از محققین با انجام تحقیقات گسترده روی نیمه هادیها سعی در کم کردن حجم و افزایش سرعت ترانزیستورها کرده اند. دسته دوم با بررسی توان موجود در طراحی مدارهای سخت افزاری سعی در ارائه مدارهایی با معماری مناسب نمودند تا عملیات پردازش به صورت بهینه انجام گیرد.

امروزه با وجود کامپیوترهای پیشرفته مراحل تحقیقات و شبیه سازی عملیات به سادگی قابل انجام است که این خود باعث پیشرفت سریعتر محققان در رسیدن به اهداف خود می شود.

با توجه پیشرفتی که در ارتباط با مدارهای VLSI و ULSI[1] پدید آمده طراحی مدارهای محاسباتی پیچیده امکان پذیر شده است. در حقیقت توابعی که تا چندی قبل فقط به شکل محاسباتی نرم افزاری پیاده سازی می شد امروزه بخاطر قرار گرفتن میلیونها ترانزیستور در مقیاسی کوچک بصورت سخت افزاری طراحی می شود. این پیشرفت، محققان را برآن داشت تا با تجدید نظر روی مدارهای محاسباتی سعی در ارائه مدارهایی کنند که هم از لحاظ حجم بهینه باشد و مهمتر اینکه در کمترین زمان ممکن عملیات را انجام دهند.

کلیه ریز پردازنده های رایج امروزی به صورت همگام کار می کنند. یعنی در آنها به منظور کنترل روند تبادل اطلاعات و در کل عملکرد در مدار، از حضور یک سیگنال پالس ساعت بهره گرفته می شود. در مدارهای گسترده همگام، به منظور حفظ هماهنگی لازم بین عناصر موجود در مدار لازم است که فرکانس این سیگنال به اندازه کافی کوچک در نظر گرفته شود تا تاخیر زمانی موجود در زمان رسیدن این سیگنال هماهنگ کننده به کلیه واحدها و یا تاخیر فعالیت خود این واحدها در بدترین شرایط، در صحت عملکرد مدار خللی ایجاد نکند. این مسئله یکی از بزرگترین محدودیتهای موجود بر سر راه افزایش بازده و کارائی مدارهای همگام به شمار می رود. به دنبال آشکار شدن بیش از پیش مشکلاتی که در ارتباط با مدارهای همگام مطرح می شدند، ایده استفاده از مدارهای ناهمگام[2] از اواسط دهه ۱۹۵۰ میلادی مطرح گردید.

در این مدارها بجای استفاده از پالس ساعت از یک سری سیگنال کنترلی خاص جهت کنترل روند تبادل اطلاعات و عملکرد کلی سیستم استفاده می شود. این مسئله هر چند باعث پیچیده شدن طراحی مدارهای ناهمگام نسبت به نمونه های متناظر همگام آنها گردیده است ولی در مقابل نیز نمی توان از برتری های که در مدارهای ناهمگام به جهت حذف سیگنال پالس ساعت بدست آمده اند چشم پوشید. در کل می توان گفت استفاده از دو سبک طراحی همگام و یا ناهمگام در طراحی سیستم های محاسباتی علی رغم اینکه

---

[1] Ultra Large Scale Integration

[2] Asynchoronus

می تواند مزایایی را نسبت به نمونه دیگر در پی داشته باشد ولی در عین حال هر کدام از نقاط ضعف غیر قابل انکاری برخوردار است که این امر می تواند زمینه ایده استفاده توامان از دو سبک طراحی همگام و ناهمگام (GALS)[1] را در طراحی یک سیستم محاسباتی مطرح کند.

یکی از قسمتهای مهم در پردازنده های امروزی واحد مربوط به پردازش اعداد اعشاری است. در ریز پردازنده های قدیمی برای پردازش اعداد اعشاری از سخت افزار استفاد نمی شد، بلکه با استفاده از نرم افزار عملیات اعشاری را انجام می دادند. این روش ساده ولی بسیار کند است و امروزه اصلاً جوابگو نیست. از طرفی پردازش اعداد اعشاری به سادگی اعداد صحیح نیست و از پیچیدگی خاصی برخوردار است. پردازش روی اعداد اعشاری شامل عملیات مختلفی مانند جمع و تفریق، ضرب و تقسیم، محاسبه توابع جبری و مثلثاتی و... را دربردارد.

در این پایان نامه، هدف بررسی عملیات جمع و تفریق اعشاری و طراحی مدار جمع و تفریق کننده اعشاری به روشهای مختلف و همچنین ارائه طرحی است که با در نظر گرفتن حجم سخت افزار مورد استفاده، سعی در کاهش تاخیر دارد. این مدار با استفاده از معماری مناسب و خط لوله متقارن و موازی سازیهایی که در آن انجام گرفته است از سرعت بالایی برخوردار است.

ساختار پایان نامه به ترتیب زیر است :

در فصل دوم، ابتدا به بررسی ساختار اعداد ممیز شناور و ارائه استاندارد مورد استفاده برای نمایش اعداد ممیز شناور پرداخته شده است. سپس به بررسی الگوریتم جمع وتفریق کلاسیک اعداد اعشاری می پردازیم. توجه عمده این فصل، به روش نمایش اعداد اعشاری و چگونگی انجام عملیات جمع و تفریق روی آنها است.

در فصل سوم، ابتدا به نحوه پیاده سازی مدار جمع و تفریق کننده اعشاری کلاسیک پرداخته می شود. سپس عملکرد این مدار مورد ارزیابی قرار خواهد گرفت و نقاط ضعف آن مورد بررسی قرار می گیرد. در پایان این فصل مدارهای بهینه جمع و تفریق کننده اعشاری بررسی خواهد شد.

در فصل چهارم، ابتدا مقدمه ای از طراحی مدارهای آسنکرون و استفاده آنها در پردازندها ارائه می شود. سپس به طراحی مدار جمع و تفریق کننده اعشاری بصورت آسنکرون پرداخته، و با بررسی احتمالات در رخداد حالات مختلف، کارایی مدار جمع و تفریق کننده اعشاری را مورد ارزیابی قرارمی دهیم.

در فصل پنجم، ابتدا معماری مدار سریع جمع و تفریق کننده اعشاری پیشنهادی مورد بررسی قرار خواهد گرفت، سپس طراحی سخت افزار و پیاده سازی مدار ارائه خواهد شد.

---

[1] Globaly Asynchorons Localy Synchorons

در فصل ششم، به تحلیل نتایج و ارائه پیشنهادات اختصاص دارد.

در ضمن پایان نامه دارای یک پیوست است که کدها و شماتیک مدارهای طراحی شده در این قسمت آمده است.

فصل دوم

اعداد ممیز شناور

امروزه اعداد اعشاری بطور روز افزون مورد استفاده قرار می گیرند. درکامپیوترهای اولیه که حجم پردازش آنها محدود بوده برای پردازش اعداد حقیقی[1] از نمایش آنها بصورت ممیز ثابت[2] استفاده می شد. در نمایش اعداد بصورت ممیز ثابت یک مکان خاص برای ممیز قائل می شوند و عدد را با آن فرمت نشان می دهند. برای مثال در نمایش اعداد ممیز ثابت که از چهار بایت استفاده می کند می توان محل ممیز را بین بایتهای سوم و چهارم قرار دهیم. بنابراین برای نمایش اعداد با این فرمت یک بایت برای قسمت صحیح عدد و سه بایت برای قسمت اعشاری عدد مورد استفاده قرار می گیرد. همانطورکه ملاحظه می شود وسعت اعدادی که می توان در ممیز ثابت استفاده کرد بسیار محدود است. مهمتر این که چون محل ممیز ثابت است باعث می شود در ضرب و تقسیم اعداد حقیقی دقت را به مقدار زیادی از دست بدهیم. برای مثال فرض کنید که دو رقم برای نمایش قسمت اعشار استفاده شده باشد ، اگر عمل ضرب روی دو عدد با این فرمت انجام دهیم نیاز به چهار رقم برای نمایش قسمت اعشار نیاز است. اما چون دو رقم بیشتر برای قسمت اعشار در نظر گرفته نشده است ، مجبور به حذف دو رقم کم ارزش حاصل می شویم و با این کار باعث از دست رفتن دقت عدد می شود. به همین دلیل در نمایش اعداد حقیقی بجای استفاده از اعداد ممیز ثابت به سراغ

---

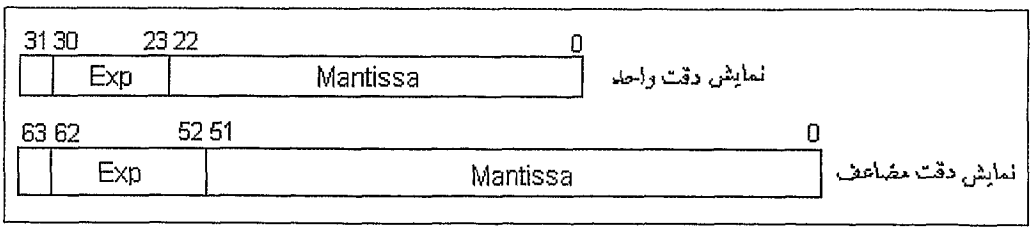
[1] Real

[2] Fixed Point

نمـایش آنها بصورت ممیز شناور[3] رفته اند. در نمایش اعداد حقیقی به صورت ممیز شناور همانطورکه از معنی آن استنباط مـی شـود محـل ممیـز ثـابت نیسـت. ایـن روش براسـاس نمـایش اعداد حقیقی بصورت علمی آن اسـت.در ایـن نـوع نمـایش برای پایه ۱۰ اعداد بصورت $a\times10^b$ است. در این نمایش به a، مانتیس و به b، نمـای عدد ممیز شناور می گویند. مثلاً عدد 123.456 را می توان بصورت 1.23456×10^2 نشان داد. همانطور کـه قـبلاً ملاحظـه شـد در نمـایش ممیـز ثابت اصطلاحاً عدد در یک پنجره محدود بود. یا بعبارت دیگر تعداد رقمهـای صـحیح عـدد و تعـداد رقمهـای اعشـاری آن در یـک پـنجره ثـابت قرار داشتند. همین مسئله باعث از دسـت رفـتن دقت می شد. برای مثال ضرب دو عدد 1.31 و 2.31 را در نظر بگیرید، حاصل بصورت 3.0261 مـی شود که در غالب نمایش چهار رقم ممیز ثابت به صورت 03.02 در می آید. در صورتی که یک رقم این عـدد صـفر اسـت. اگـر در ایـن روش مجاز به تغییر محل ممیز بودیم با جابجاکردن یک مکان به سمت چپ مـی توانسـتیم عـدد را بصـورت 3.026 ذخیـره کنیم و یا به اصطلاح دقت را بالا ببریم. این مشکل در نمایش اعـداد حقیقـی بصـورت ممیز شناور حل شده است. بنابراین محدوده وسیعی از اعداد با این روش قابل نمایش اسـت. مـثلا در نمـایش اعـداد ممیـز شـناور کـه از پـنج رقـم اسـتفاده مـی کنند دامنه این اعداد از 0.00001 تا 99999 گسترده شده است.

۲-۱) استاندارد IEEE 754

بـا اسـتفاده روز افـزون از نمـایش اعـداد حقیقـی بصـورت ممیـز شـناور، انجمـن IEEE تصمیم به وضع اسـتانداردی بـرای نمـایش اعـداد ممیـز شـناور درکامپیوتـرها گـرفت. ایـن انجمن برای نمایش اعداد اعشاری اسـتانداردی بـا نام IEEE 754 [1]را منتشر کرد. دراین استاندارد که برای نمایش دودویی اعداد اعشاری در کامپیوتـرها در نظـر گرفته شده بود اعدادحقیقی را به دو دسته دقت واحد و دقت مضاعف[2] تقسیم کردند. در دقـت واحـد برای نمایش عدد حقیقی از ۳۲ بیت استفاده می کنند و در دقت مضاعف از ٦٤ بیت برای نمایش عدد حقیقی استفاده می کنند. فرمت نمایش اعداد در شکل (۲_۱) آمده است.



شکل ۲-۱ : فرمت اعداد اشاری در IEEE 754

[3]Floating point
[1] Single Precision
[2]Double Precision