دانشکده مهندسی

طراحی مبدل آنالوگ به دیجیتال الگوریتمی توان پایین

نگارش:

مریم زارع

اساتید راهنما:

دکتر رضا لطفی – دکتر محمد میمندی نژاد

رساله جهت دریافت درجه کارشناسی ارشد

در رشته مهندسی برق-الکترونیک

شهریور ۱۳۸۸

بسم الله الرحمن الرحيم

ای خدایی که تنها به تو از همه‌ی عالم بی‌نیاز توان شد و به همه‌ی خلق از تو بی‌نیاز نتوان شد، فضل و کرم تو مرا با تو مانوس می‌سازد و احسانت مرا به سوی درگاه تو رهبری می‌کند، مرا از درگاه خود ناامید بازمگردان.

تقدیم به:

پدر مهربانم

و

همه‌ی کسانی که دوستشان دارم

تقدیر و تشکر

شکر وسپاس خداوندی را سزاست که علم را وسیله‌ای برای کسب معرفتش قرار داد.

با سپاس وتقدیر فراوان از شما اساتید بزرگوار جناب آقای دکتر لطفی و دکتر میمندی‌نژاد که مجال علم اندوزی را نصیب من کردید و همواره راهنمای من در مسیرهای علمی بوده‌اید و مرا از تجربه‌های علمی واخلاقی خود بهره‌مند ساختید.

همچنین با سپاس از خانواده‌ی عزیز ومهربانم که مایه‌ی دلگرمی من بودند و مرا با دعای خیر خویش یاری کردند.

چکیده

مبدل‌های آنالوگ به دیجیتال (ADC)، پردازش سیگنالهای آنالوگ جهان واقعی را در حوزه دیجیتال امکان پذیر می‌سازند. در میان ساختار های متعدد ADC ، مبدل های الگوریتمی (یا دوره ای[1])، به صورت یک معماری مناسب برای تحقق مبدل‌های آنالوگ به دیجیتال با سرعت‌های نمونه‌برداری پایین تا متوسط و دقت‌های بین ۸ تا ۱۷ بیت با کمترین توان مصرفی و سطح سیلیکن اشغالی شناخته شده است. این مبدل‌ها در سیستم‌های سنسور، قطعات پزشکی، سیستم های چند رسانه ای[2]، حسگرهای تصویر و گره های حسگر بی سیم[3] کاربردهای فراوانی یافته‌اند.

امروزه در دستگاه‌های قابل حمل که از طریق باتری تغذیه می‌شوند، مصرف توان و مساحت کم یک نیاز اصلی و مهم می‌باشد. از این جهت روش‌هایی که بتوانند توان مصرفی و مساحت را کاهش دهند، کاربردهای متنوعی پیدا کرده و از اهمیت زیادی برخوردار هستند. توان مصرفی یکی از مهمترین مشخصه‌های یک مبدل آنالوگ به دیجیتال مجتمع است.

پایان نامه‌ی حاضر به بررسی روشهای کاهش توان مصرفی موجود در مبدل الگوریتمی پرداخته و با ارائه یک روش جدید، ساختار مبدل الگوریتمی از نظر توان مصرفی بهینه شده است. در این پژوهش با ارائه روش پیشنهادی مقیاس گذاری خازنها و استفاده از آپ امپ با بایاس وفقی، ساختار متداول مبدل الگوریتمی اصلاح شده و توان مصرفی آپ امپ و در نتیجه کل مبدل کاهش می یابد. برای این منظور، با توجه به اینکه اهمیت اندازه‌ی خازنها در مبدل آنالوگ به دیجیتال الگوریتمی، از سیکل پرارزش به کم ارزش به شدت کاهش می‌یابد، کاهش توان مصرفی مبدل با استفاده از تغییر خازنها در سیکلهای مختلف، متناسب با ارزش بیت متناظر انجام شده است.

در این پایان نامه یک مبدل آنالوگ به دیجیتال الگوریتمی ۱۲ بیتی با فرکانس نمونه برداری 104KS/s در ولتاژ تغذیه 1.8V در تکنولوژی 0.18µm CMOS با استفاده از تکنیک پیشنهادی و نیز با ساختار متداول به طور کامل در سطح سیستمی و مداری طراحی و شبیه سازی شده است. نتایج شبیه سازی Hspice این دو مبدل مؤید این هستند که مبدل الگوریتمی با ساختار پیشنهادی نسبت به ساختار متداول در حدود ۵۳٪ کاهش توان داشته است.

[1] Cyclic
[2] Multimedia
[3] Wireless Sensor Node

فهرست مطالب

فصل اول- پیشگفتار ۱

۱-۱ انگیزه این پژوهش ۱

۱-۲ ساختار پایان نامه ۲

فصل دوم- مروری بر مبدل‌های آنالوگ به دیجیتال الگوریتمی و منابع خطا در آن‌ها ۳

۲-۱ مقدمه ۳

۲-۲ مبدل آنالوگ به دیجیتال الگوریتمی ۳

۲-۳ معماری طبقه ۱.۵ بیت ۵

۲-۳-۱ تحقق مبدل الگوریتمی با طبقه ۱.۵ بیت در قالب مدارهای خازن سوئیچشونده با ٦ خازن ٦

۲-۳-۲ تحقق مبدل الگوریتمی با طبقه ۱.۵ بیت در قالب مدارهای خازن سوئیچشونده با ٤ خازن ۷

۲-٤ منابع خطا در مبدل آنالوگ به دیجیتال الگوریتمی ۹

۲-٤-۱ نویز حرارتی ۹

۲-٤-۲ آفست مقایسه‌گرها ۱۰

۲-٤-۳ بهره DC حلقه باز محدود ۱۰

۲-٤-٤ ولتاژ افست تقویت کننده ۱۱

۲-٤-۵ نرخ چرخش و پهنای باند محدود آپ امپ ۱۲

۲-٤-٦ عدم تطبیق خازنها ۱۲

۲-٤-۷ غیرخطی بودن خازن ۱۳

۲-٤-۸ خطاهای ناشی از سوئیچ ۱۳

۲-۵ نتیجه گیری ۱۵

فصل سوم- روش‌های کاهش مصرف توان در مبدل آنالوگ به دیجیتال الگوریتمی ۱٦

۳-۱ مقدمه ۱٦

۳-۲ تکنیک اپ امپ سوئیچ شونده ۱٦

۳-۳ تکنیک به اشتراک گذاشتن اپ امپ ۱۹

۳-٤ تکنیک به اشتراک گذاشتن خازنها ۲۲

۳-۵ استفاده از توپولوژی جدید مداری ۲۵

۳-٦ تکنیک استفاده از اپ امپ با بایاس دینامیک ۲۵

۳-۷ تکنیک کالیبراسیون دیجیتال ۲۷
۳-۸ تکنیک پیشنهادی ۲۸
۳-۸-۱ ساختار پیشنهادی ۲۹
۳-۹ نتیجه گیری ۳۱

فصل چهارم- طراحی سیستمی مبدل آنالوگ به دیجیتال الگوریتمی ۳۳
٤-۱ مقدمه ۳۳
٤-۲ طراحی سیستمی مبدل ۳۳
٤-۲-۱ محاسبات نویز ۳۳
٤-۲-۲ طراحی سیستمی تقویت کننده ۳۷
٤-۳ نتایج طراحی سیستمی ساختار متداول و پیشنهادی ٤۲

فصل پنجم- طراحی مداری مبدل آنالوگ به دیجیتال الگوریتمی ٤٥
٥-۱ مقدمه ٤٥
٥-۲ تقویت کننده عملیاتی ٤٦
٥-۲-۱ انتخاب توپولوژی ٤٦
٥-۲-۲ طراحی تقویت کننده عملیاتی برای مبدل الگوریتمی متداول ٤۷
٥-۲-۲-۱ مدار بایاس ٤۹
٥-۲-۲-۲ مدار Common Mode Feedback (CMFB) ٥۰
٥-۲-۲-۳ نتیجه شبیه سازی تقویت کننده عملیاتی برای مبدل الگوریتمی متداول ٥۱
٥-۲-۳ طراحی تقویت کننده عملیاتی با بایاس وفقی برای مبدل الگوریتمی پیشنهادی ٥۲
٥-۲-۳-۱ نتیجه شبیه سازی تقویت کننده عملیاتی با بایاس وفقی ٥۳
٥-۳ مقایسه‌گر ٥٤
٥-۳-۱ نتیجه شبیه سازی مقایسه‌گر ٦۰
٥-٤ طراحی مداری sub-ADC و DAC ٦۲
٥-٥ طراحی مدارات دیجیتال ٦۳
٥-٥-۱ نتیجه شبیه سازی مدارت دیجیتال ٦٤
٥-٦ سوئیچ ها ٦٥
٥-۷ طراحی بافرهای ولتاژ ٦۸

۵-۷-۱ نتیجه شبیه سازی بافر های ولتاژ ۷۲
۵-۸ نتیجه شبیه سازی مبدل آنالوگ به دیجیتال الگوریتمی با ساختار متداول ۷۵
۵-۹ نتیجه شبیه سازی مبدل آنالوگ به دیجیتال الگوریتمی با ساختار پیشنهادی ۷۶
۵-۱۰ نتیجه گیری ۷۸

فصل ششم- نتیجه‌گیری و پیشنهادها ۷۹
٦-۱ نتیجه‌گیری ۷۹
٦-۲ پیشنهادها ۸۰

مراجع ۸۱

فصل اول

پیشگفتار

۱-۱ انگیزه این پژوهش

امروزه نیاز به پردازش اطلاعات در حوزه دیجیتال بیش از پیش احساس می‌شود. دنیای دیجیتال از قابلیت‌های منحصر به فردی از قبیل مجتمع‌سازی بالا، قابلیت طراحی و تست دقیق و راحت و حساسیت کم به نویز آنالوگ برخوردار است. از سویی دنیای واقعی اطراف ما، دنیای سیگنال های آنالوگ است. بنابراین برای بهره‌مندی از پردازش اطلاعات در دنیای دیجیتال، نیازمند استفاده از مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ، به عنوان بلوک‌های واسط بین دو حوزه آنالوگ و دیجیتال هستیم. به عبارتی دیگر مبدل‌های آنالوگ به دیجیتال (ADC)، پردازش سیگنالهای آنالوگ جهان واقعی را در حوزه دیجیتال امکان پذیر می‌سازند.

در سال‌های اخیر کاربرد دستگاه های قابل حمل مثل کامپیوترهای قابل حمل، تلفن همراه، پخش کننده‌های موسیقی دیجیتال همچنین شبکه‌های حسگر بی سیم و نیز قطعات الکترونیکی قابل کاشت در بدن، بسیار افزایش یافته است. این دستگاه‌ها از باتری استفاده می‌کنند و یا به صورت بی سیم تغذیه می‌شوند. اگر چه تراکم مدارات مجتمع دیجیتال بر روی یک تراشه تا حد زیادی از قانون Moore تبعیت می‌کند، اما ظرفیت باتری‌ها متناسب با این معیار تغییر نکرده است. بنابراین بایستی در مدارات دیجیتال و هچنین مدارات سیگنال ترکیبی (مانند مبدل های آنالوگ به دیجیتال و دیجیتال به آنالوگ)، از ساختارهایی که از نظر توان مصرفی بهینه و کارا می‌باشند استفاده نمود. علاوه بر این، توان مصرفی در وسایل غیر قابل حمل نیز مهم می‌باشد. ملاحظات متعددی از نقطه نظر توان مصرفی وجود دارد که از جمله آنها می‌توان به هزینه خنک کردن و قابلیت اطمینان متأثر از افزایش دما اشاره کرد. احتمال خطا در تراشه‌ها در اثر افزایش دما در شرایط طبیعی محیطی جند برابر می‌شود. بنابراین امروزه مسئله توان مصرفی در طراحی مدارت از مهمترین چالش‌های طراحان می‌باشد.

کاربردهای فراوان مبدل‌های آنالوگ به دیجیتال الگوریتمی در مواردی که سرعت‌های نمونه‌برداری پایین تا متوسط و دقت‌های متوسط به بالا با کمترین توان مصرفی و سطح سیلیکن اشغالی، مورد نیاز است و همچنین تمایل به سمت سیستم‌های با توان مصرفی پایین، بر اهمیت طراحی بهینه این مدارها، بیش از پیش افزوده است.

روش‌های متعددی به منظور کاهش توان مصرفی در مبدل‌های آنالوگ به دیجیتال الگوریتمی ارائه شده است. با این وجود در پژوهش‌های صورت گرفته، به دلیل تکرار ساختار آنالوگ در همه‌ی سیکلها بازدهی مبدل همچنان پایین است. بنابراین هدف از این پژوهش، اصلاح ساختار متداول مبدل الگوریتمی از نقطه نظر مصرف توان می‌باشد.

۱-۲ ساختار پایان نامه

در فصل دوم این پایان نامه، ابتدا به معرفی و تشریح عملکرد مبدل الگوریتمی پرداخته و دو نمونه متداول پیاده سازی این مبدل معرفی و توضیح داده شده است. سپس به بررسی منابع خطای موثر در عملکرد این مبدل پرداخته شده است. فصل سوم، به بررسی روش‌های کاهش مصرف توان در این مبدل اختصاص دارد. در بخش انتهایی این فصل، روش پیشنهادی مبتنی بر تکنیک مقیاس گذاری خازن‌ها برای کاهش مصرف توان بیان شده و سپس چگونگی پیاده سازی مبدل الگوریتمی پیشنهادی شرح داده می‌شود. طراحی و شبیه سازی سیستمی مبدل الگوریتمی با ساختار متداول و پیشنهادی (در نرم افزار MATLAB) در فصل چهارم بررسی خواهد شد. در فصل پنجم، بلوک‌های مختلف مبدل نظیر تقویت کننده، مقایسه‌گر، مدار sub-ADC و DAC[1]، سوئیچ ها و بافرها طراحی و با توجه به نتایج سیستمی فصل چهارم مشخصات و ملزومات اجزای مختلف برای هر دو مبدل (با ساختار متداول و ساختار اصلاح شده ی پیشنهادی) مشخص می‌شود. در این فصل یک تقویت کننده با بایاس وفقی به منظور نصف کردن جریان متناسب با ایده ی پیشنهادی معرفی و طراحی می‌شود. طراحی ومحاسبات انجام شده ی این فصل برای بررسی موردی طراحی مبدل الگوریتمی ۱۲ بیتی با فرکانس نمونه برداری 104kHz در ولتاژ تغذیه 1.8V در تکنولوژی 0.18µm CMOS با ساختار متداول و پیشنهادی، بکار رفته است. پس از بررسی ملاحظات طراحی، نتایج شبیه سازی های مداری برای بلوک های مختلف و نیز مبدل های الگوریتمی متداول و اصلاح شده، در فصل ششم ارائه شده است. نهایتا در فصل هفتم به نتیجه‌گیری پرداخته و پیشنهادهایی برای پژوهش‌های بعدی ارائه می‌شود.

[1] Digital to Analog Converter

فصل دوم

مروری بر مبدل‌های آنالوگ به دیجیتال الگوریتمی و منابع خطا در آنها

۲-۱ مقدمه

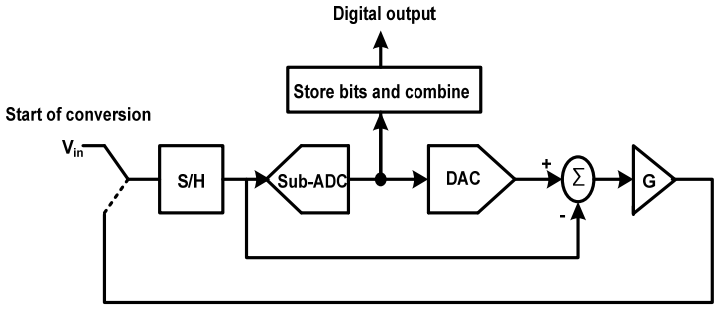
در این فصل ابتدا اساس عملکرد مبدل آنالوگ به دیجیتال الگوریتمی توضیح داده خواهد شد. سپس دو نمونه پیاده سازی این مبدل در قالب مدار خازن سوئیچ‌شونده[1] با استفاده از طبقه تمام تفاضلی ۶ و ۴ خازنه را بررسی می‌نماییم. در ادامه به بررسی منابع خطای موثر در عملکرد این مبدل می‌پردازیم.

۲-۲ مبدل آنالوگ به دیجیتال الگوریتمی

در شکل‌دهی مبدل آنالوگ به دیجیتال الگوریتمی از یک یا دو طبقه پشت‌سر هم، تحت عنوان طبقه باقیمانده[2] یا طبقه بهره[3] استفاده می‌شود که خروجی این طبقه به ورودی آن فیدبک می‌شود. ساختار یک مبدل آنالوگ به دیجیتال الگوریتمی متشکل از یک طبقه بهره در شکل ۲-۱ نشان داده شده است. در این ساختار از یک مدار نمونه بردار (SH)، یک زیر مبدل (sub-ADC)، یک مبدل دیجیتال به آنالوگ، یک تفریق کننده آنالوگ و یک تقویت کننده استفاده می‌گردد. عملکرد مدار به این صورت است که در هر تبدیل ابتدا ورودی آنالوگ نمونه‌گیری می‌شود. این نمونه توسط یک زیر مبدل آنالوگ به دیجیتال، که در حقیقت یک مبدل آنالوگ به دیجیتال فلش است، برای استخراج B بیت کوانتیزه می‌شود. سپس مقدار کوانتیزه شده توسط یک مبدل دیجیتال به آنالوگ دوباره به آنالوگ تبدیل شده و توسط یک تفریق کننده از مقدار سیگنال آنالوگ اولیه ورودی کم می‌شود تا مقدار خطای کوانتیزاسیون در خروجی آن ظاهر شود. آنگاه خطای کوانتیزاسیون توسط یک تقویت کننده با بهره 2^B به محدوده تمام مقیاس ورودی برده می‌شود. در نهایت سیگنال باقیمانده حاصل در سیکل ساعت بعدی برای استخراج بیت‌های بیشتر به

[1] Switched-Capacitor
[2] Residue Stage
[3] Gain Stage

همان طبقه فیدبک می‌شود. این امر با توجه به رزولوشن ADC در تعداد دوره‌ی معینی از پالس ساعت تکرار می-شود تا تمام بیت‌ها آماده شوند. خروجی هر سیکل را اصطلاحا ولتاژ باقیمانده می‌نامند. در پیاده‌سازی خازن‌سوئیچ-شونده همه اعمال S/H، تبدیل دیجیتال به آنالوگ، تفریق و تقویت توسط یک بلوک مداری به نام مبدل دیجیتال به آنالوگ ضرب کننده (MDAC)[1] که شامل یک تقویت کننده عملیاتی و مجموعه‌ای از خازن‌های سوئیچ‌شونده است، محقق می‌شوند.



شکل ۲-۱ ساختار مبدل آنالوگ به دیجیتال الگوریتمی

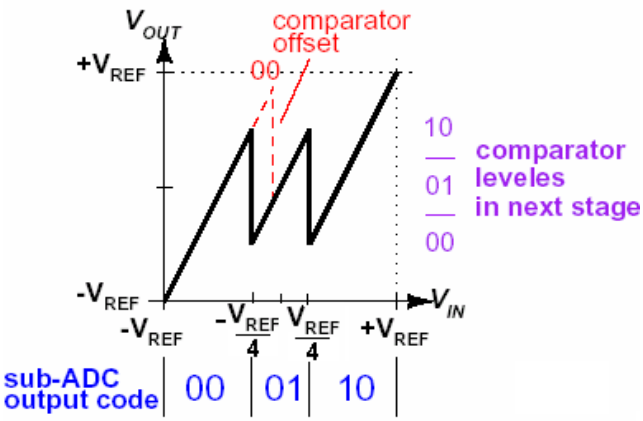
از مهمترین مزایای مبدل الگوریتمی که در بسیاری از کاربردها مهم است، مساحت کم آن می‌باشد. زیرا در پیاده سازی آن معمولا از یک یا دو طبقه SC و مقایسه‌گر استفاده می‌شود. از معایب این مبدل، با توجه به اینکه برای یک تبدیل تعداد زیادی سیکل کلاک نیاز می‌باشد، کند بودن آن است. در معماری مبدل الگوریتمی به دلیل اینکه از لحظه نمونه برداری سیگنال ورودی تا زمانی که کلمه دیجیتال آن نمونه، آماده می‌شود زمان زیادی نیاز دارد، رکود مبدل[2] زیاد می‌باشد. همچنین در این مبدل تا زمانی که فرآیند تبدیل یک نمونه تمام نشود، امکان شروع فرآیند تبدیل نمونه بعدی وجود ندارد. بنابراین با توجه به پایین بودن through put نیز، این مبدل تنها برای کاربردهای فرکانس پایین و متوسط مناسب می‌باشد.

ساختار مبدل آنالوگ به دیجیتال الگوریتمی از نظر مصرف توان بهینه نیست. زیرا نویز و دقت مورد نیاز، از با ارزشترین بیت (MSB) تا کم ارزشترین بیت (LSB) کاهش می‌یابد. اما مداری که استفاده می شود معمولا ثابت است [1]. این امر باعث می‌شود انرژی که مدار در هر سیکل استفاده می‌کند ثابت باشد در حالی که نیازی نیست توان مشابهی در همه سیکلها مصرف شود.

[1] Multiplying Digital-to-Analog Converter
[2] Latency

۲-۳ معماری طبقه ۱.۵ بیت

یکی از تکنیک های بسیار رایج در پیاده سازی این مبدل، استفاده از بیت اضافی[1] و تصحیح دیجیتالی خطا[2] به منظور جبرانسازی اثر آفست مقایسه‌گر های بلوک sub-ADC است. ساده‌ترین طبقه مبدل الگوریتمی، یک طبقه یک‌بیتی با یک سطح کوانتیزاسیون اضافی است که آن را اصطلاحاً طبقه ۱.۵ بیت می‌نامند. در این ساختار، یک مقایسه‌گر به زیر مبدل اضافه شده و در نتیجه دو بیت دیجیتال در خروجی خواهد داشت. تابع انتقال این طبقه در شکل ۲-۲ نشان داده شده است. بازه سیگنال هم در ورودی و هم در خروجی از $-V_{ref}$ تا $+V_{ref}$ می‌باشد. سطوح تصمیم گیری مقایسه‌گرها در $-V_{ref}/4$ و $+V_{ref}/4$ تنظیم شده و کد های خروجی ADC برای سه ناحیه، "00"، "01" و "10" هستند. بیت پر ارزش به عنوان بیت موثر در نظر گرفته می شود و و بیت کم ارزش با بیت پر ارزش سیکل بعد جمع می‌شود و بدین ترتیب خروجی‌های اضافی (redundant) به خروجی‌های باینری تبدیل می‌شوند. همانطور که در شکل ۲-۲ با خطچین نشان داده شده است، افست مقایسه‌گرها می‌تواند سطوح مقایسه را جابجا کند. و کد خروجی ADC بجای "01" ، "00" باقی می ماند. اما در هر حال ولتاژ باقیمانده همچنان در بازه ورودی سیکل بعد قرار دارد و بجای ناحیه "01" یا "00" سیکل بعدی، در ناحیه "10" می‌باشد. از آنجا که خروجی سیکل ها با یک بیت هم پوشانی جمع می‌شوند، دومین بیت پر ارزش تصحیح خواهد شد. و وقتی که کدهای سیکل های بعدی محاسبه شوند، بیت سوم و به همین ترتیب سایر بیت ها نیز، اصلاح خواهند شد. برای توضیحات بیشتر می‌توان به مراجع [2] و [3] مراجعه نمود.



$$V_O = \begin{cases} 2V_i - V_{ref} & V_i > V_{ref}/4 \\ 2V_i & -V_{ref}/4 \le V_i \le V_{ref}/4 \\ 2V_i + V_{ref} & V_i < -V_{ref}/4 \end{cases}$$

شکل۲-۲ تابع انتقال طبقه ۱.۵ بیت [2]

[1] Bit Redundancy
[2] Digital Error Correction

۲-۳-۱ تحقق مبدل الگوریتمی با طبقه ۱.۵ بیت در قالب مدارهای خازن سوئیچ‌شونده با ۶ خازن

شکل ۲-۳ یک نمونه پیاده سازی متداول مبدل الگوریتمی در قالب مدار SC با استفاده ۶ خازن و یک تقویت کننده و sub-ADC (که شامل دو مقایسه‌گر می‌باشد) را نشان می دهد [4]. این مبدل در سه فاز کار می‌کند.

۱- در فاز نخست، Φ_1، (شکل ۲-۳ (الف))، سیگنال ورودی تفاضلی بر روی خازن های C_1 تا C_4 ذخیره می شود. (بازه سیگنال ورودی از $-V_{ref}$ تا $+V_{ref}$ می باشد). در همین لحظه، سیگنال ورودی به مدار sub-ADC نیز اعمال می شود و بدین ترتیب اولین بیت پر ارزش تولید می شود.

۲- شکل ۲-۳ (ب) فاز دوم کلاک، Φ_2، را نشان می دهد. در این فاز، خازن های C_2 و C_4 در حلقه فیدبک قرار گرفته و صفحه بالایی خازن‌های C_1 و C_3 به خروجی مالتی پلکسر متصل می‌شوند. با این شکل دهی، در صورت برابر بودن مقدار خازن‌ها، ولتاژ ذخیره شده بر روی خازن‌های C_1 و C_3 پس از کسر شدن ولتاژ مرجع مناسب از آن، به ولتاژ خازن های C_2 و C_4 اضافه می‌شود و به این ترتیب اولین باقیمانده آنالوگ در خروجی تقویت کننده (مطابق رابطه زیر) تولید می‌شود.

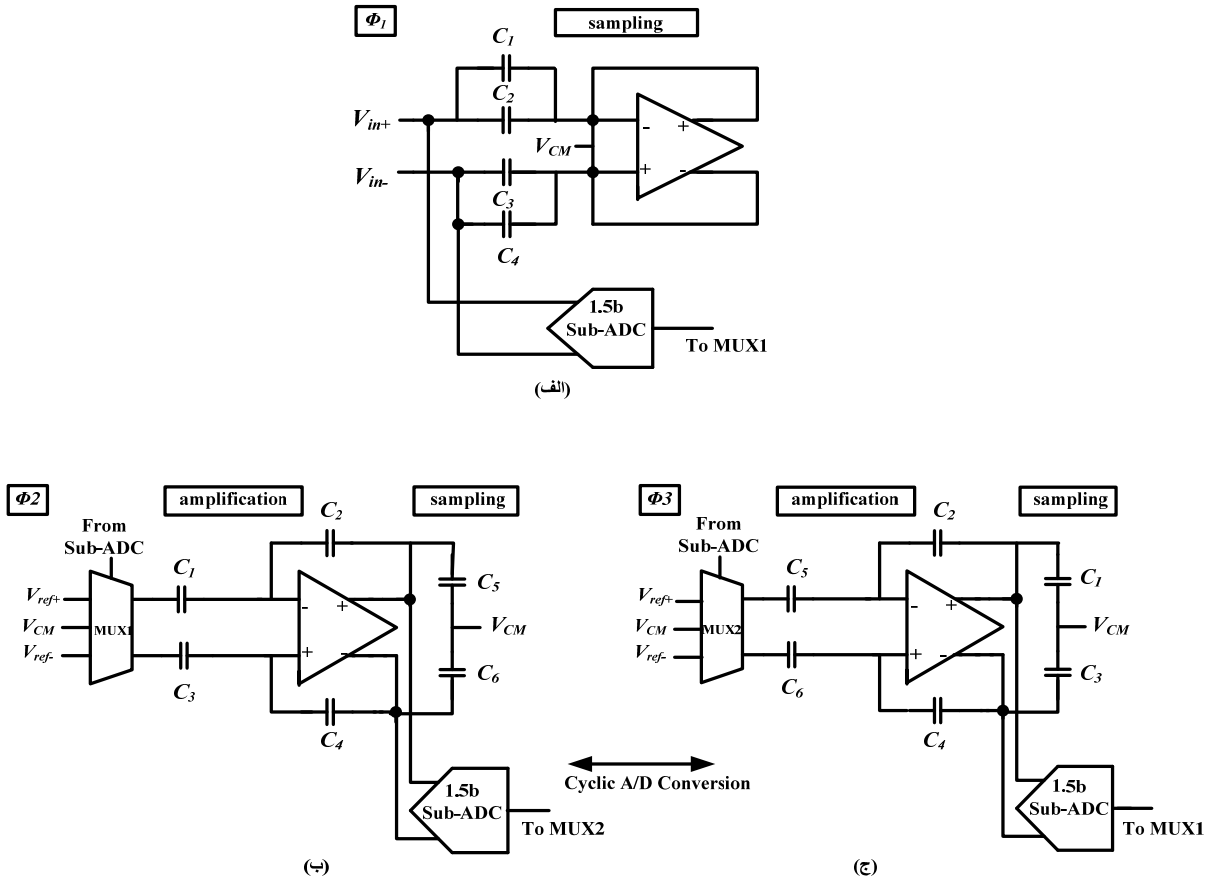
$$V_{res1} = 2V_{in} - V_{DAC0} \qquad (۲-۱)$$

در اینجا ولتاژ خروجی DAC ، V_{DAC0}، توسط خروجی sub-ADC در فاز قبل (و از طریق مالتی پلکسر)، تعیین می‌شود. به طوری که وقتی خروجی sub-ADC برابر ۰۰، ۰۱ و ۱۰ باشد، V_{DAC0} به ترتیب برابر خواهد بود با: V_{ref-}, V_{CM}, V_{ref+}. در انتهای این فاز خروجی تقویت کننده بر روی خازن های C_5 و C_6 ذخیره شده و sub-ADC دومین خروجی دیجیتال را تولید می کند.

۳- فاز بعدی، Φ_3، در شکل ۲-۳ (ج) نشان داده شده است. در فاز تقویت‌کنندگی Φ_3، صفحه‌ی بالایی خازن-های C_5 و C_6 به مالتی پلکسر متصل می‌شوند و خازن‌های C_1 و C_3 از دومین ولتاژ باقیمانده نمونه می-گیرند. در نهایت با این شکل‌دهی و پس از انتقال بار، ولتاژ باقیمانده بعدی به صورت رابطه زیر تولید می-شود:

$$V_{res2} = 2V_{res1} - V_{DAC1} \qquad (۲-۲)$$

دو شکل نشان داده شده در شکل ۲-۳ (ب) و (ج) در فاز های Φ_4 ، Φ_5 و.... تکرار می شوند تا خروجی دیجتال با رزولوشن مورد نظر بدست آید. خروجی باینری از جمع کردن خروجی سیکل‌ها با یک بیت هم پوشانی بدست می‌آید.



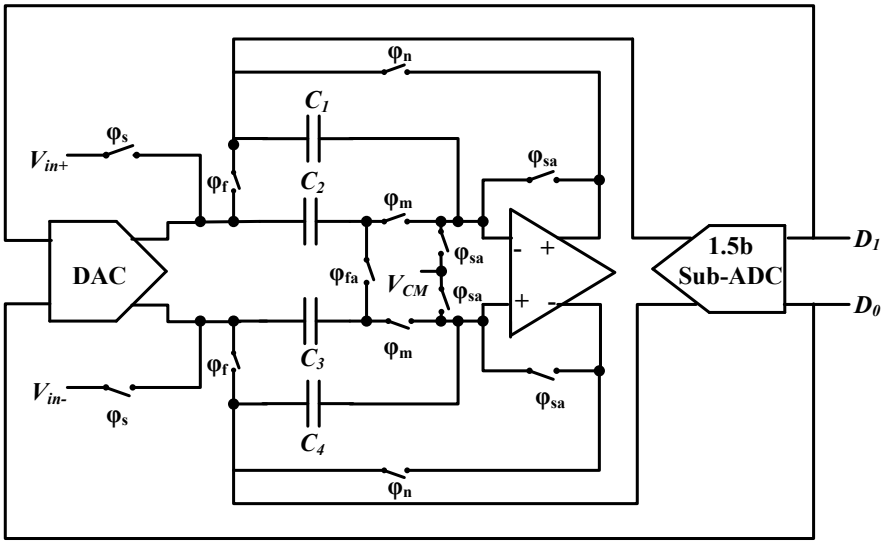
شکل ۲–۳ فاز های عملکرد مبدل الگوریتمی ۶ خازنه متداول 1.5bit/step

۲–۳–۲ تحقق مبدل الگوریتمی با طبقه ۱.۵ بیت در قالب مدارهای خازن سوئیچ‌شونده با ۴ خازن

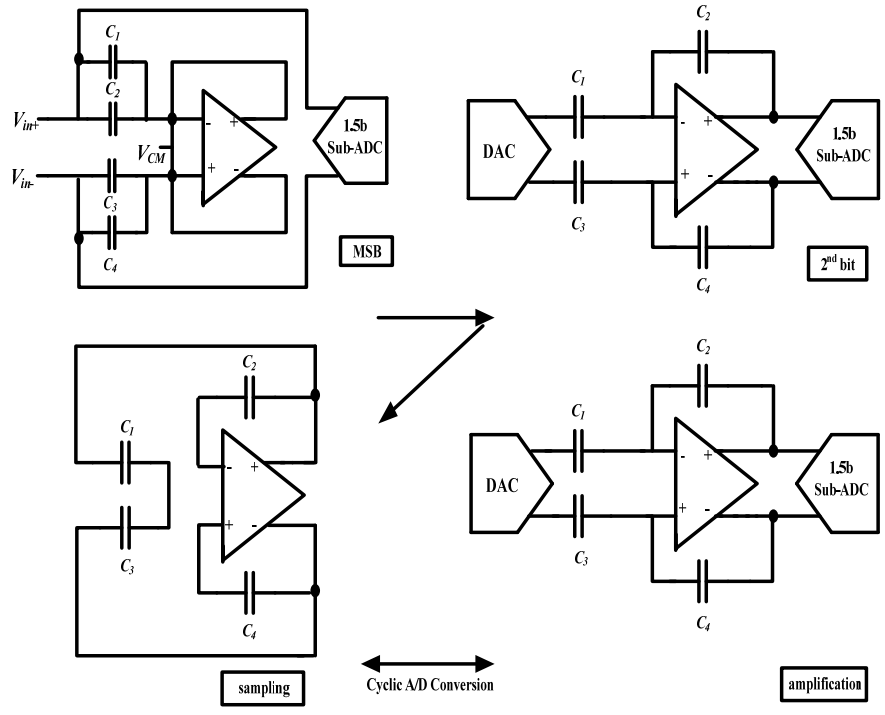
پیاده سازی SC مبدل الگوریتمی با چهار خازن در [5] گزارش شده است. شکل ۲–۴ شماتیک مدار مبدل الگوریتمی با سوئیچها را نشان می‌دهد. دیاگرام فازهای این ساختار در شکل ۲–۵ نشان داده شده است. این مدار شامل یک تقویت کننده، چهار خازن و دو مقایسه‌گر و تعدادی سوئیچ می‌باشد.

در ادامه نحوه عملکرد این مدار توضیح داده می‌شود. در حین فاز اول سیگنال تفاضلی توسط خازن های C_1 تا C_4 نمونه گرفته می‌شود. Sub-ADC به ترمینال ورودی تفاضلی متصل شده و بیت MSB تعیین می‌شود. در فاز بعد، ولتاژ خروجی DAC توسط MSB مشخص شده و صفحه بالایی خازن های C_1 و C_2 به خروجی DAC وصل می‌شوند. بعد از این عملیات، اولین ولتاژ باقیمانده در خروجی تقویت کننده تولید می‌شود، به این ترتیب که خروجی تقویت کننده برابر با $2V_{signal} - D_0*V_R$ بوده که D_0، ۱–، ۰ و یا ۱+ بوده و $V_R=V_{RP}-V_{RN}$ ولتاژ مرجع استفاده شده در DAC می‌باشد. و sub-ADC دومین بیت پر ارزش را ایجاد می‌کند. سپس در فاز نمونه برداری

سیکل دوم، توسط خازن های C_1 و C_3 از خروجی تقویت کننده نمونه گرفته می‌شود. و به طور هم زمان رقم دوم، D_1، به وسیله sub-ADC تعیین می‌شود. در فاز تقویت کننده‌گی بعدی مشابه قبل، صفحه بالایی خازنهای C_1 و C_3 به DAC متصل می‌شوند. در این عملیات، ولتاژ مرجع تولید شده توسط DAC از اولین باقیمانده که در دو ضرب شده، کم می‌شود تا دومین باقیمانده آنالوگ در خروجی تقویت کننده تولید شود. برای رسیدن به N بیت رزولوشن بعد از تصحیح دیجیتال، این فرآیند N بار تکرار می‌شود.



شکل ۲-۴ شماتیک مبدل الگوریتمی با ساختار SC ۴-خازنه



شکل۲-۵ دیاگرام فاز مبدل الگوریتمی با ۴-خازن

عملکرد این مدار تا حدودی شبیه ساختار متداول ۶-خازنه (که در بخش قبل توضیح داده شد) می‌باشد. اما تفاوت های این دو ساختار به این شرح می‌باشد: در ساختار متداول ۶-خازنه، ولتاژ باقیمانده در انتهای هر سیکل، بر روی دو خازن اضافی که در خروجی تقویت کننده قرار می‌گیرند، ذخیره می‌شود. در حالی که در این ساختار تنها ۴ خازن وجود دارد، که این امر منجر به اضافه شدن یک فاز نمونه برداری در هر سیکل می‌شود. در فاز نمونه برداری هر سیکل، ولتاژ باقیمانده که بر روی خازن‌های فیدبک نگهداری می‌شود، بر روی خازن‌های C_1 و C_3 ذخیره می‌شود. بنابراین، ساختار ۴-خازنه N سیکل کلاک برای تبدیل N بیت آنالوگ به دیجیتال نیاز دارد، در حالی که ساختار ۶-خازنه $N/2$ سیکل کلاک نیاز خواهد داشت. اما، به دلیل تعداد کمتر خازنها، کالیبراسیون در ساختار ۴-خازنه نسبت به ساختار ۶-خازنه ساده‌تر خواهد بود.

۲-۴ منابع خطا در مبدل آنالوگ به دیجیتال الگوریتمی

در بخش حاضر، به بررسی عوامل خطای موثر در عملکرد مبدل آنالوگ به دیجیتال الگوریتمی پرداخته می‌شود. برای اینکه به رزولوشن، خطی بودن و SNR مطلوب برسیم، باید مبدل به گونه ای طراحی شود تا اثرات غیر ایده-آل کمترین تاثیر را روی کارایی مبدل داشته باشند. در این بخش، تعدادی از منابع مختلف خطا که در مبدل الگوریتمی وجود دارد را بررسی نموده و با تفکیک منابع خطا و مدل‌سازی دقیق آنها و بررسی اثر هر یک بر مشخصه طبقه ۱.۵ بیت و بر معیارهای شایستگی مبدل، می‌توان دقت موردنیاز برای هر یک از اجزاء و شیوه اصلاح آنها را بدست آورد. از جمله این عوامل خطا که بررسی خواهد شد، نویز حرارتی، بهره DC محدود اپ‌امپ، نرخ چرخش[1] و پهنای باند محدود اپ‌امپ، افست، عدم تطبیق و غیر خطی بودن خازنها می‌باشد.

۲-۴-۱ نویز حرارتی

یکی از مهمترین منابع تولید نویز در مبدل الگوریتمی با ساختار خازن سوئیچ شونده، نویز حرارتی می‌باشد. این نویز ناشی از حرکت تصادفی حامل های بار در المانهای مدار، ازجمله مقاومت ها، سوئیچ ها و نویز ترانزیستورهای داخل اپ امپ می‌باشد. توان نویز هر سیکل از مبدل الگوریتمی وقتی به ورودی ارجاع داده شود، بر بهره توان سیکل‌های قبلی اش تقسیم می‌شود، از آنجا که نویز حرارتی سیکل های مختلف ناهمبسته هستند، کل توان نویز ورودی مبدل را می‌توان از رابطه‌ی ۲-۳ بدست آورد [6]:

$$\overline{V}^2_{ni,t} = \overline{V}^2_{n1} + \frac{\overline{V}^2_{n2}}{G^2_1} + \frac{\overline{V}^2_{n3}}{G^2_1 G^2_2} + \dots \qquad (۲-۳)$$

[1] Slew Rate

در این رابطه G_i مبین بهره و V_{ni}^2 توان نویز سیکل i ام مبدل است. این نویز عمدتا ناشی از سوئیچ های نمونه برداری و آپ امپ است. نویز سوئیچ ناشی از مقاومت غیر صفر حالت روشن آن می‌باشد. هنگام نمونه برداری این نویز در خازن نمونه بردار، ذخیره می‌شود. به این منبع نویز حرارتی معمولا نویز KT/C گفته می شود. زیرا این نویز با KT/C که در آن C خازن نمونه بردار، T دمای مطلق و K ثابت بولتزمن است، متناسب می باشد. بنابراین رابطه نویز به صورت زیر در نظر گرفته می‌شود [7]:

$$\overline{V_n}^2 = \frac{kT}{\beta C_f} + \overline{v_{opamp}}^2 \qquad (۴-۲)$$

که در آن $\overline{v_{opamp}}^2$، نویز حرارتی تقویت کننده بوده که به طور معکوس با خازن متناسب می‌باشد. این نویز به توپولوژی و بایاس تقویت کننده بستگی دارد [7]. با توجه به این که طبق رابطه ۲-۴، نویز با عکس خازن‌ها مرتبط است، سبب محدودیت حداقل اندازه خازن های مبدل می‌شود.

۲-۴-۲ آفست مقایسه‌گرها

مقایسه‌گرها هسته اصلی بلوک sub-ADC را تشکیل می‌دهند. به منظور عملکرد صحیح مبدل الگوریتمی، آفست مقایسه‌گر بایستی از (1/2)LSB دقت آن کمتر باشد. در حالی که در مبدل‌های با دقت بالا، دستیابی به چنین محدوده آفستی به سادگی امکان پذیر نمی باشد. بنابراین، استفاده از تکنیک‌هایی برای کاهش اثر این خطا بر عملکرد مبدل ضروری است. متداولترین این روش‌ها، بکارگیری تکنیک بیت اضافی و تصحیح دیجیتالی خطا می‌باشد. همان‌طور که در بخش ۲-۳ نیز بیان شد، به علت وجود یک بیت اضافی (خاصیت ۱.۵بیت)، اگر مقدار آفست مقایسه‌گرها از مقدار $V_{ref}/4$ که مقدار نسبتا بزرگی است، بیشتر نباشد، این خطا توسط تصحیح دیجیتالی خطا اصلاح شده و تاثیری بر روی مشخصه کل مبدل نمی‌گذارد [8].

۲-۴-۳ بهره DC حلقه باز محدود

بخاطر اینکه بهره DC حلقه باز آپ‌امپ محدود می‌باشد، در تابع انتقال باقیمانده خطا خواهیم داشت. زیرا برای ایجاد زمین مجازی در ورودی اپ امپ که در ساختار های SC مورد نیاز است، باید بهره اپ امپ بینهایت باشد. اگر بهره واقعی آپ‌امپ را برابر با A فرض کنیم و تابع انتقال طبقه ۱.۵ بیت را ، دوباره محاسبه کنیم خواهیم داشت:

$$V_o = \frac{1}{1+(\beta A_{ol})^{-1}}(2V_{in} - DV_{ref}) \qquad \beta = \frac{C_f}{C_f + C_s + C_{IP}} \qquad (۵-۲)$$

در این رابطه A_{ol}، β و C_{IP} به‌ترتیب بهره DC حلقه باز آپ‌امپ، ضریب فیدبک و خازن ورودی آپ‌امپ می‌باشند. از آنجا که مقدار A_{ol} خیلی بزرگ است، رابطه (۲-۵) را می‌توان به صورت زیر تقریب زد:

$$V_o \cong (1-\frac{1}{\beta A_{ol}})(2V_{in} - DV_{ref}) \qquad (۲-۶)$$

چنانکه ملاحظه می‌شود هرچه مقدار بهره بیشتر باشد مقدار خطا کمتر خواهد بود. همان طور که در رابطه (۲-۶) دیده می‌شود، بهره DC محدود تقویت کننده، بهره و پله ولتاژ آستانه مقایسه‌گر را در تابع انتقال با مقدار خطای برابر با $1/(\beta A_{ol})$ کاهش می‌دهد، که مقدار این خطا نباید بیشتر از $\pm(1/2)LSB$ دقت باقیمانده سیکلهای بعدی باشد[7]. همچنین اثر خازن پارازیتیکی ورودی، در ضریب فیدبک در نظر گرفته شده است (رابطه ۲-۵)، باید توجه داشت که بهره محدود آپ‌امپ علاوه بر این که خودش به تنهایی موجب ایجاد خطا می‌شود، باعث می‌شود که خازن ورودی آپ‌امپ (C_{IP}) نیز مهم شود. به عبارت دیگر باعث کوچکتر شدن ضریب فیدبک (β) می‌شود (رابطه(۲-۵)).

۲-٤-٤ ولتاژ افست تقویت کننده

اثر ولتاژ افست تقویت کننده، که علت اصلی آن عدم تطبیق المان‌های مدار آپ‌امپ می‌باشد را، می‌توان به صورت یک منبع ولتاژ DC ثابت، V_{os}، در پایانه ورودی آپ امپ مدل کرد. با در نظر گرفتن قانون بقای بار، اثر ولتاژ افست در تابع انتقال طبقه ۱.۵ بیت به صورت یک آفست ثابت در خروجی طبقه ظاهر می‌شود [8].

$$V_o = (2V_{in} - DV_{ref}) + V_{os}(\frac{1}{\beta}) \qquad (۲-۷)$$

که β همان ضریب فیدبک است (رابطه(۲-۵)). همانگونه که در رابطه فوق دیده می‌شود، ولتاژ افست آپ‌امپ منحنی مشخصه طبقه و همچنین کل مشخصه مبدل را یک مقدار ثابت شیفت می‌دهد. که این منجر می‌شود محدوده مجاز ولتاژ ورودی کمتر شود. اثر این ولتاژ افست را می‌توان با تکنیک مداری "Auto-Zeroing" و یا اندازه گیری افست و حذف آن توسط روشهای آنالوگ یا دیجیتال، جبرانسازی نمود [7]. در روش "Auto-Zeroing" در فاز نمونه برداری تقویت کننده به صورت حلقه بسته با بهره فیدبک واحد بسته شده و افست تقویت کننده در خازن نمونه‌گیر ذخیره می‌شود. سپس در فاز بعدی، افست از مقدار ذخیره شده در خازن کم می‌شود. بدین‌ترتیب افست حذف می‌شود. البته به دلیل بهره محدود تقویت کننده، مقداری از افست به خروجی منتقل می‌شود که با افزایش بهره قابل تضعیف می‌باشد.

۲-۴-۵ نرخ چرخش و پهنای باند محدود آپ امپ

در اثر پهنای باند و نرخ چرخش محدود آپ‌امپ، خروجی طبقه مدتی طول می‌کشد تا به مقدار نهایی خود نشست کند. و چون بعد از یک مدت زمان محدود (نیم سیکل ساعت) از خروجی طبقه نمونه‌برداری می‌شود، به دلیل این نشست ناقص خروجی تقویت کننده، خطا رخ می‌دهد. به منظور بررسی این اثر، برای جلوگیری از پیچیدگی روابط، آپ‌امپ را به صورت تک‌قطب با ثابت زمانی τ در نظرمی‌گیریم. که در این صورت تابع انتقال طبقه ۱.۵ بیت به صورت زیر حاصل می‌شود:

$$V_o = (1 - e^{\frac{-t_s}{\tau}}).(2V_{in} - DV_{ref}) \qquad (۲-۸)$$

که t_s مدت زمانی است که آپ‌امپ فرصت دارد تا به مقدار نهایی نشست کند. معمولاً t_s کمی کمتر از نصف دوره تناوب پالس ساعت می‌باشد. همان طور که در رابطه (۲-۸) دیده می‌شود، هر چه مقدار پهنای باند آپ‌امپ کمتر (τ بزرگتر)، یا فرکانس نمونه‌برداری مبدل بیشتر باشد (t_s کوچکتر)، خطای ناشی از پهنای باند محدود بیشتر می‌شود.

۲-٤-٦ عدم تطبیق خازن‌ها

در MDAC های خازن سوئیچ شونده، عدم تطبیق خازن نمونه بردار، C_s، و خازن فیدبک، C_f، یک منبع خطای مهم می‌باشد. به دلیل رزولوشن محدود فرآیند لیتوگرافی، عدم تطبیق خازن در لبه‌های صفحات خازن بیشتر می‌باشد. بنابراین خازنها با صفحات بزرگتر تطبیق بهتری دارند. تغییرات در ضخامت اکسید بین صفحات خازنها نیز بر تطبیق اثر می‌گذارد، که اثرشان کمتر می‌باشد [9]. باید توجه داشت که با بزرگتر کردن خازن‌ها، مقدار سطح اشغالی و توان مصرفی مبدل نیز افزایش می‌یابد.

به منظور بررسی اثر عدم تطبیق خازن‌ها بر روی عملکرد مبدل فرض کنید خازن‌های C_s وC_f با هم مساوی نباشند و به اندازه ΔC با هم اختلاف داشته باشند، در این صورت [7]:

$$C_s = C + \frac{\Delta C}{2} \qquad (۲-۹)$$

$$C_f = C - \frac{\Delta C}{2} \qquad (۲-۱۰)$$

چنانچه رابطه $|\Delta C / C| \langle\langle 1$ برقرار باشد می‌توان نوشت [7]: