به نام خدا

۹۳۸۸۵

بسمه‌تعالی

دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

عنوان:

کاهش نویز فاز و مصرف توان در نوسان‌سازهای سینوسی فرکانس بالا با تکنولوژی CMOS

۱۳۸۷/۳/۱۱

نگارش :

ابومسلم جان‌نثاری

استاد راهنما:

جناب آقای دکتر محمود کمره‌ای

استاد مشاور:

جناب آقای دکتر ناصر یزدانی

رساله برای دریافت درجه دکتری در رشته مهندسی برق گرایش مخابرات سیستم

اسفند سال ۱۳۸۶

۹۲۸۸۵

بسمه‌تعالی

دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

پایان‌نامه برای دریافت درجه دکتری در رشته مهندسی برق گرایش مخابرات سیستم

عنوان: کاهش نویز فاز و مصرف توان در نوسان‌سازهای سینوسی فرکانس بالا با تکنولوژی CMOS

نگارش : ابومسلم جان‌نثاری

این پایان‌نامه در تاریخ ۱۳۸۶/۱۲/۲۷ در مقابل هیات داوران دفاع گردید و مورد تصویب قرار گرفت.

معاون آموزشی و تحصیلات تکمیلی پردیس دانشکده‌های فنی:	دکتر جواد فیض
رئیس دانشکده مهندسی برق و کامپیوتر:	دکتر پرویز جبه‌دار مارالانی
معاون پژوهشی و تحصیلات تکمیلی- دانشکده مهندسی برق و کامپیوتر:	دکتر سعید نادر اصفهانی
استاد راهنما:	دکتر محمود کمره‌ای
استاد مشاور:	دکتر ناصر یزدانی
استاد مدعو خارجی:	دکتر عبدالعلی عبدی‌پور
استاد مدعو خارجی:	دکتر عبدالرضا نبوی
استاد مدعو داخلی:	دکتر علی افضلی‌کوشا
استاد مدعو داخلی و نماینده کمیته تحصیلات تکمیلی:	دکتر سید مهدی فخرایی

تعهدنامه اصالت اثر

اینجانب ابومسلم جان‌نثاری تائید می‌نمایم که مطالب مندرج در این پایان‌نامه حاصل کار پژوهشی اینجانب است و به دست‌آوردهای پژوهشی دیگران که در این نوشته از آنها استفاده شده است، طبق مقررات ارجاع گردیده است. این پایان‌نامه قبلاً" برای احراز هیچ مدرک هم سطح یا بالاتر ارائه نشده است.

کلیه حقوق مادی و معنوی این اثر متعلق به دانشکده مهندسی برق و کامپیوتر دانشگاه تهران می‌باشد.

امضاء

تقدیر و تشکر :

از استاد ارجمندم آقای دکتر کمره‌ای به خاطر راهنمایی‌های بی‌دریغ ایشان در مراحل انجام رساله و نیز آقای دکتر یزدانی برای مشاوره و تشویق اینجانب، همچنین از همسرم که در تمام مراحل دوره دکتری با حمایت بی‌دریغ خود مایه دلگرمی و امیدواری بنده بوده‌اند، صمیمانه قدردانی و تشکر می‌نمایم.

تقدیم به

همسر عزیزم و پدر و مادر مهربانم

چکیده :

در این رساله هدف بررسی روش‌های کاهش نویز فاز و مصرف توان نوسان‌سازهای سینوسی فرکانس بالای ساخته شده با تکنولوژی CMOS و ارائه روش‌های جدید می‌باشد. محدوده فرکانس کار مورد نظر برای این نوسان‌سازها بین 500MHz تا 10GHz و در برگیرنده باند ISM برای کاربردهای شبکه‌های بی‌سیم سیار است. روشهای مختلف برای مدل کردن نویز فاز نوسان‌سازها بررسی و اصلاحیه‌ای بر تئوری نویز فاز عمومی حاجی‌میری ارائه شده است. در این رساله روش سوئیچینگ پالسی به عنوان روشی کارآمد در کاهش موثر نویز فاز نوسان‌سازها که همچنین قادر است توان مصرفی نوسان‌ساز را کاهش دهد، پیشنهاد گردیده است. این روش مبتنی بر کنترل پالسی جریان ترانزیستورها برای کنترل تاثیر نویز آنها در نویز فاز نوسان‌ساز می‌باشد. در ادامه به روشهای دیگر سوئیچینگ ترانزیستورها برای سادگی پیاده‌سازی طرح و بهبود بیشتر نویز فاز پرداخته شده و روش سوئیچینگ سینوسی برای کاهش نویز فاز و مصرف توان پیشنهاد گردیده است. این روش بدلیل سادگی در پیاده‌سازی و سوئیچینگ نرم، قابل استفاده در نوسان‌سازهای سینوسی فرکانس بالا می‌باشد. در این رساله همچنین به مسئله کاهش ولتاژ تغذیه در تکنولوژیهای پیشرفته CMOS که باعث کاهش دامنه نوسان نوسان‌ساز و در نتیجه افزایش نویز فاز آن می‌شود، پرداخته شده است. نوسان‌ساز Complementary با تکتولوژی CMOS برای ولتاژهای بسیار کم تغذیه و با نویز فاز کم مورد بررسی و تحلیل قرار گرفته است. بدلیل اهمیت نوسان‌سازهای متعامد (QVCO) در مدولاسیون‌های دیجیتال دو بعدی، روش‌های پیشنهادی ارئه شده برای نوسان‌سازهای VCO، در ادامه به نوسان‌سازهای QVCO نیز تعمیم داده شده است. روش‌های سوئیچینگ پالسی و سینوسی پیشنهادی همراه با بکارگیری روش‌های موثر کوپلاژ دو نوسان‌ساز، در نوسان‌سازهای QVCO نیز بکار گرفته شده است. همچنین بررسی اجمالی روی روشهای کوپلاژ نوسان‌سازهای QVCO بعمل آمده و روش کوپلاژ توام هارمونیک‌های اول و دوم نوسان برای

نوسان‌سازهای QVCO پیشنهاد شده است. استفاده از روش کوپلاژ توام هارمونیک‌های اول و دوم، علاوه بر بالا بردن دقت تعامد فاز خروجی‌های QVCO، باعث کاهش موثر نویز فاز و مصرف توان آن و نیز کاهش حساسیت به عدم تقارن دو نوسان‌ساز می‌شود. در ادامه رساله به طراحی layout نوسان‌سازهای پیشنهادی برای پیاده‌سازی روی تراشه پرداخته شده است. همچنین مشکلات پیاده‌سازی و حساسیت آنها به پارامترهای تکنولوژی بررسی شده و شبیه‌سازیهای بعد از layout و مقایسه آنها با شبیه‌سازیهای قبل از layout ارائه گردیده است. در انتهای رساله ضمن جمع‌بندی مطالب به موارد تحقیق آتی در زمینه کاهش نویز فاز نوسان‌سازها اشاره شده است. با کاهش نویز فاز نوسان‌سازهای سینوسی، امکان افزایش نرخ اطلاعات با تعداد کاربران بیشتر در شبکه‌های بی‌سیم مهیا شده و نیز امکان طراحی نوسان‌ساز در تکنولوژیهای پیشرفته CMOS که نویز ترانزیستورها بسیار بیشتر از تکنولوژیهای قبلی است، میسر می‌گردد. همچنین کاهش ولتاژ تغذیه که باعث کاهش دامنه نوسان و افزایش نویز فاز می‌شود، می‌تواند توسط روشهای بهبود نویز فاز جبران شود. در کنار کاهش نویز فاز، کاهش مصرف توان نوسان‌سازهای سینوسی همچنین می‌تواند گام موثری در کاهش مصرف توان و افزایش کارآیی فرستنده- گیرنده‌های سیار گردد.

فهرست مطالب

مقدمه ۱

فصل ۱ نویز فاز ۷

۱-۱) مقدمه ۷

۱-۲) توصیف نویز فاز ۷

۲-۲) مدل سیستمی نویز فاز ۹

۱-۳) مدل کردن نویز فاز در نوسان‌سازها ۱۵

۱-۳-۱) مدل خطی مستقل از زمان(LTI) ۱۵

۱-۳-۲) مدل خطی متغیر با زمان (LTV) ۲۰

۱-۳-۳) اصلاح مدل ارائه شده توسط آقای حاجی‌میری [۲۸] ۲۸

۱-۳-۴) مدلهای غیرخطی برای نویز فاز ۳۱

۱-۴) نویز فاز در سنتزکننده‌های فرکانس ۳۲

۱-۴-۱) اثر نویز فاز مرجع ۳۲

۱-۴-۲) اثر نویز فاز VCO ۳٤

۱-۵) نتیجه‌گیری ۳٦

فصل ۲ طرح پیشنهادی برای کاهش نویز فاز ۳۷

۲-۱) مقدمه ۳۷

۲-۲) طرح کلی کاهش نویز فاز ۳۷

۲-۳) طرح سوئیچینگ پالسی ٤۰

۲-۴) کاهش مصرف توان در نوسان سازها ٤٦

۲-۵) شبیه‌سازی نویز فاز در نوسان‌سازها ٤۷

۲-۶) شبیه‌سازی نوسان‌ساز پیشنهادی ٤۸

۲-۷) نتیجه‌گیری ۵۵

فصل ۳ طرح سوئیچینگ سینوسی برای کاهش نویز فاز ۵٦

۳-۱) مقدمه ۵٦

۳-۲) کاهش نویز فاز توسط کنترل تابع حساسیت فاز نوسان‌ساز ٥٦
۳-۳) تحلیل روش سوئیچینگ سینوسی ٥٩
۳-۳-۱) نویز ٦٢
۳-۳-۲) مصرف توان ٦٥
۳-۴) پیاده‌سازی و شبیه‌سازی روش سوئیچینگ سینوسی ٦٦
۳-۵) نتیجه‌گیری ٧٣
فصل ۴ طراحی ولتاژ پایین و کاهش نویز فاز نوسان‌ساز با کنترل ولتاژ تغذیه ٧٤
۴-۱) مقدمه ٧٤
۴-۲) ساختار نوسان‌ساز Complementary در تکنولوژی CMOS ٧٤
۴-۳) مصرف توان نوسان‌ساز Complementary ٧٥
۴-۴) نویز فاز نوسان‌ساز Complementary ٧٨
۴-۵) شبیه‌سازی نویز فاز ٧٩
۴-۶) نتیجه‌گیری ٨١
فصل ۵ کاهش نویز فاز در نوسان‌سازهای متعامد QVCO ٨٢
۵-۱) مقدمه ٨٢
۵-۲) نوسان‌سازهای کوپل شده QVCO ٨٣
۵-۳) نوسان‌ساز QVCO بر اساس تلفیق هارمونیک‌های اول و دوم نوسان ٨٨
۵-۴) شبیه‌سازی نوسان‌ساز SISC پیشنهادی ٩٠
۵-۵) استفاده از VCO های پیشنهادی در طرح QVCO ٩٢
۵-۶) شبیه‌سازی نوسان‌ساز QVCO سوئیچینگ سینوسی پیشنهادی ٩٣
۵-۷) نتیجه‌گیری ٩٥
فصل ۶ پیاده‌سازی و ترسیم Layout ٩٦
۶-۱) مقدمه ٩٦
۶-۲) آنالیز حساسیت مدار سوئیچینگ سینوسی ٩٦
۶-۳) آنالیز حساسیت مدار سوئیچینگ پالسی ٩٧
۶-۴) آنالیز حساسیت برای نوسان‌سازهای QVCO ٩٩

۶-۵) حساسیت به دما و پروسه ساخت ۹۹
۶-۶) ترسیم Layout ۱۰۲
۶-۶-۱) ترسیم Layout مدار سوئیچینگ سینوسی ۱۰۳
۶-۶-۲) ترسیم Layout مدار سوئیچینگ پالسی ۱۰۷
۶-۶-۳) ترسیم Layout مدار نوسان‌ساز سوئیچینگ سینوسی QVCO ۱۰۹
۶-۶-۴) ترسیم Layout مدار نوسان‌ساز SISC-QVCO ۱۱۰
۶-۷) نتیجه‌گیری فصل ۱۱۲
فصل ۷ نتیجه‌گیری کلی ۱۱۴
دست‌آوردهای این تحقیق ۱۱۹
مراجع ۱۲۱

فهرست جداول

جدول (۰-۱) پارامترهای نویز فیلکر برای پروسه های مختلف TSMC- CMOS ۵
جدول(۱-۱) نویز فاز مورد نیاز برای استانداردهای مختلف ۱۵
جدول (۲-۱) ابعاد ترانزیستورهای مدار شکل ۲-۸ برای نوسانساز بایاس ثابت و سوئیچ شونده ۵۱
جدول (۲-۲) ابعاد ترانزیستورهای مدار شکل ۲-۱۰ ..... ۵۳
جدول (۳-۱) ابعاد ترانزیستورها و سایر مشخصات مدار شکل ۳-۵ ..... ۶۸
جدول (۴-۱) ابعاد ترانزیستورهای مدار شکل ۴-۱ برای ولتاژ تغذیه ۱,۲ ولت ۸۰
جدول(۵-۱) ابعاد ترانزیستورهای نوسانساز SISC شکل ۵-۶ ..... ۹۰
جدول (۵-۲) ابعاد ترانزیستورهای نوسانساز QVCO سوئیچینگ سینوسی شکل ۵-۸ ..... ۹۳
جدول (۶-۱) نتایج شبیه‌سازی نویز فاز در حالت‌های مختلف برای نوسان‌ساز شکل ۲-۱۰ ..... ۱۰۰
جدول (۶-۲) نتایج شبیه‌سازی نویز فاز در حالت‌های مختلف برای نوسان‌ساز شکل ۳-۵ ..... ۱۰۰
جدول (۶-۳) نتایج شبیه‌سازی نویز فاز در حالت‌های مختلف برای نوسان‌ساز شکل ۵-۶ ..... ۱۰۱
جدول (۶-۴) نتایج شبیه‌سازی نویز فاز در حالت‌های مختلف برای نوسان‌ساز شکل ۵-۸ ..... ۱۰۱
جدول (۶-۵) نتایج شبیه‌سازی نویز فاز در حالت‌های مختلف ۱۰۵
جدول (۶-۶) نتایج شبیه‌سازی نویز فاز در تغییرات فرکانس نوسان با تغییر خازن مدار تانک ۱۰۶
جدول(۶-۷) نتایج شبیه‌سازی نویز فاز در حالت‌های مختلف ۱۰۸
جدول (۶-۸) نتایج شبیه‌سازی نویز فاز قبل و بعد از layout ۱۱۰
جدول (۶-۹) نتایج شبیه‌سازی نویز فاز قبل از layout، در شرایط تغییر فرکانس نوسان ۱۱۰
جدول (۶-۱۰) نتایج شبیه‌سازی نویز فاز قبل و بعد از layout و در شرایط تغییر فرکانس نوسان ... ۱۱۲
جدول (۶-۱۱) نتایج شبیه‌سازی نویز فاز قبل از layout، در شرایط تغییر فرکانس نوسان ۱۱۲

فهرست اشکال

شکل(۱-۱) طیف فرکانسی نوسان‌ساز در حالت ایده آل و در عمل ۷

شکل(۱-۲) اثر نویز فاز نوسان‌ساز محلی (LO) در گیرنده ۸

شکل(۱-۳) مدل سیستمی برای نویز فاز نوسان‌ساز در نرم افزار MATLAB ۱۱

شکل(۱-۴) (a) نمودار منظومه برای 4-QAM با فرض SNR=30dB، (b) نمودار منظومه برای 4-QAM با فرض SNR=30dB و نویز فاز -100dBc/Hz@1MHz ۱۲

شکل(۱-۵) نمودار منظومه برای64-QAM در سیستم 802.11n به ازای نویز فازهای مختلف (a) -85dBc/Hz @100KHz، (b) -90dBc/Hz @100KHz، (c) 95dBc/Hz @100KHz، (d) 80dBc/Hz @100KHz [۱۴] ۱۴

شکل(۱-۶) سیستم فیدبک مثبت برای نوسان‌ساز ۱۶

شکل(۱-۷) منحنی نویز فاز نوسان‌ساز بر حسب فرکانس آفست [۱۵] ۱۷

شکل(۱-۸) طیف فرکانسی منابع نویز [۴۷] ۱۸

شکل (۱-۹) نوسان‌ساز با استفاده از سلف‌های bondwire [۱۸] ۲۰

شکل(۱-۱۰) مدار رزونانس موازی با تحریک ضربه جریان ۲۱

شکل(۱-۱۱) شکل موج خروجی نوسانساز با تحریک ضربه جریان ۲۱

شکل(۱-۱۲) نحوه انتقال فرکانسی بخش‌های طیف نویز به فرکانس حامل ۲۴

شکل(۱-۱۳) نوسان‌ساز تفاضلی آقای حاجی‌میری [۳۰] ۲۵

شکل(۱-۱۴) نوسان‌ساز کولپیتس و شکل موجهای ولتاژ خروجی، جریان ترانزیستور وجریان نویز ۲۶

شکل (۱-۱۵) آرایش ترانزیستورها به صورت Cascode ۲۷

شکل (۱-۱۶) طیف جریان نویز و طیف تابع ISF ۲۹

شکل (۱-۱۷) نحوه انتقال بخش‌های مختلف نویز به طیف نوسان‌ساز و ایجاد نویز فاز برای نوسان‌ساز ۳۰

شکل (۱-۱۸) مدل حلقه قفل کننده فاز ۳۳

شکل(۱-۱۹) تابع تبدیل نویز فاز مرجع به فاز خروجی (معادله (۳۲)) ۳۳

شکل (۱-۲۰) مدل نویز فاز VCO درحلقه قفل کننده فاز ۳۴

شکل (۱-۲۱) تابع تبدیل نویز فاز VCO به فاز خروجی (معادله (۳۶)) ۳۴

شکل(۱-۲۲) مثالی از طیف نویز فاز PLL ۳۶
شکل(۲-۱) نوسان‌ساز تفاضلی آقای حاجی‌میری (a) شماتیک مدار (b) مدار معادل و شکل موج جریان تزریقی به مدار رزونانس ۳۸
شکل(۲-۲) طرح کلی برای سوئیچ کردن جریان بایاس ۳۹
شکل (۲-۳) تابع a(t) ۴۱
شکل(۲-۴) ISF اولیه و ISF معادل ۴۱
شکل(۲-۵) تابع F(d) ۴۲
شکل (۲-۶) نویز Cyclo-Stationary و نویز Stationary ۴۲
شکل (۲-۷) تابع IMF(d) بر حسب d در مقیاس لگاریتمی ۴۵
شکل (۲-۸) مدار نوسان‌ساز تفاضلی آقای حاجی‌میری با منابع نویز قرار داده شده در آن برای شبیه‌سازی حوزه زمان ۴۹
شکل (۲-۹) طیف فرکانسی نوسان‌ساز با بایاس ثابت(d=100%) و با بایاس سوئیچ شونده (d=20%) ۵۱
شکل (۲-۱۰) نوسان‌ساز بر اساس روش پیشنهادی همراه با مدار سوئیچینگ آن در فرکانس 1.8GHz ۵۲
شکل(۲-۱۱) طیف فرکانسی نوسان‌ساز با بایاس ثابت(d=100%) و با بایاس سوئیچ شونده (d=40%) (مدار شکل ۲-۱۰) ۵۴
شکل(۳-۱) طرح مدار نوسان‌ساز بر اساس روش سوئیچینگ سینوسی ۵۹
شکل(۳-۲) کاهش توان نویز با سیکل کاری پالس سوئیچ کننده ۶۲
شکل (۳-۳) بهبود نویز فاز در دو حالت نویز فیلکر غالب و نویز حرارتی غالب بر حسب سیکل کاری سوئیچینگ ۶۵
شکل (۳-۴) نسبت توان متوسط مصرفی در نوسان‌ساز سوئیچینگ شکل۳۴ ..... ۶۶
شکل (۳-۵) نوسان‌ساز با روش سوئیچینگ سینوسی بر اساس ساختار شکل ۳-۱ ..... ۶۷
شکل(۳-۶) نوسان‌ساز سوئیچینگ سینوسی بر اساس ساختار شکل ۳-۱ ..... ۶۹
شکل(۳-۷) شکل موج ولتاژهای خروجی نوسان‌ساز همراه با شکل موج ولتاژ گیت-سورس ۷۰
شکل(۳-۸) شکل موج جریان برای ترانزیستورهای MB1 و MB2 ..... ۷۱
شکل (۳-۹) شکل تابع ISF نرمالیزه، شکل تابع a(t) و شکل تابع ISF-معادل به صورت حاصلضرب دو شکل موج اخیر ۷۱

شکل (۳-۱۰) نتیجه شبیه‌سازی نویز فاز نوسان‌ساز مرجع شکل ۲-۱ و نوسان‌ساز سوئیچینگ سینوسی شکل ۳-۵ ..... ۷۲
شکل(٤-۱) نوسان‌ساز Complemntary با تکنولوژی CMOS ۷٤
شکل (٤-۲) شکل موج ولتاژهای Vgs,n و Vds,n ۷٦
شکل (٤-۳) نواحی کاری مختلف برای ترانزیستور Mn1 در مدار شکل ٤-۱ ..... ۷۷
شکل(٤-٤) شکل تابع ISF و تابع ISF-معادل ۷۹
شکل (٤-٥) نویز فاز نوسان‌ساز در فرکانس آفست 1MHz بر حسب تغییرات ولتاژ تغذیه ۷۹
شکل(٤-٦) مصرف توان نوسان‌ساز بر حسب تغییرات ولتاژ تغذیه ۸۰
شکل(٥-۱) نوسان‌ساز با خروجی‌های متعامد با استفاده از (a) مدار تقسیم بر دو (b) کوپل کردن نوسان‌سازها ۸٤
شکل(٥-۲) (a) نوسان‌ساز QVCO [۶۸]، (b) شکل فازورهای جریان و ولتاژ در دو نوسان‌ساز..... ۸٥
شکل(٥-۳) نوسان‌ساز با خروجی‌های متعامد(QVCO) کوپلاژ کسکودی [٦۹] ۸۷
شکل(٥-۴) نوسان‌ساز با خروجی‌های متعامد(QVCO)،SIPC [۷۰]..... ۸۷
شکل(٥-٥) توپولوژی (a) درین مشترک (b) سورس مشترک، برای ایجاد هارمونیک دوم..... ۸۸
شکل(٥-٦) نوسان‌ساز متعامد SISC پیشنهادی..... ۸۹
شکل (٥-۷) نتایج شبیه‌سازی نویزفاز SpectreRF برای سه نوسان‌ساز کوپلاژ کسکودی، SIPC و نوسان‌ساز پیشنهادی SISC..... ۹۱
شکل (٥-۸) نوسان‌ساز QVCO بر اساس بکارگیری نوسان‌ساز VCO شکل ۳-۵ و استفاده از روش کوپلاژ کسکودی..... ۹۲
شکل(٥-۹) نتایج شبیه‌سازی نویزفازSpectreRF برای سه نوسان‌ساز کوپلاژ کسکودی، SIPC و نوسان‌ساز پیشنهادی..... ۹٤
شکل (٦-۱) Layout مربوط به مدار نوسان‌ساز سوئیچینگ سینوسی شکل ۳-۵..... ۱۰٤
شکل (٦-۲) خازن مدار تانک به صورت خازنهای NMOS..... ۱۰٤
شکل (٦-۳) نتیجه شبیه‌سازی نویز فاز قبل و بعد از layout برای فرکانس نوسان 1.7055، 1.6537 و 1.7055 گیگاهرتز ۱۰٦
شکل (٦-٤) Layout مربوط به مدار نوسان‌ساز سوئیچینگ پالسی شکل ۲-۱۰ ..... ۱۰۸

شکل (۶-۵) نتیجه شبیه‌سازی نویز فاز قبل و بعد از layout برای فرکانس نوسان ۱,۵۸۸ و ۱,۵۴۶ گیگاهرتز ۱۰۹
شکل(۶-۶) Layout مربوط به مدار نوسان‌ساز متعامد سوئیچینگ سینوسی شکل ۵-۸ ..... ۱۰۹
شکل (۶-۷) Layout مربوط به مدار نوسان‌ساز متعامد SISC شکل ۵-۶..... ۱۱۱

مقدمه

در سالهای اخیر، مخابرات سیار و شبکه‌های بی‌سیم رشد بسیار قابل توجهی داشته‌اند. با پیشرفت روش‌های مخابرات دیجیتال سیار، نیاز به افزایش نرخ بالای مبادله اطلاعات در شبکه‌های بی‌سیم و نیز افزایش تعداد کاربران این شبکه‌ها، بیشتر شده و از جمله موارد تحقیق در سالهای اخیر به شمار می‌رود [۱-۳]. شبکه‌های بی‌سیم Ad-Hoc و نیز شبکه‌های سنسوری[1] از مهمترین شبکه‌های بی‌سیم با کاربردهای وسیع محسوب میشوند[٤-٦]. در بحث شبکه‌های سنسوری مسئله کاهش مصرف توان از اهمیت ویژه‌ای برخوردار است که نیازمند طراحی‌های کم توان و به کارگیری تکنیک‌های مخابراتی برای کنترل شبکه می‌باشد. افزایش نرخ مبادله اطلاعات، نیازمند افزایش پهنای باند فرکانس و نیز افزایش تعداد کاربران نیازمند افزایش تعداد کانالهای فرکانسی است که هر دو مورد نیازمند تخصیص بیشتر پهنای باند می‌باشد. در باند ISM بدلیل محدودیت در تخصیص پهنای باند، لازم است طیف فرکانسی به صورت بهینه مورد استفاده قرار گیرد. برای افزایش نرخ اطلاعات در شبکه‌های بی‌سیم از روشهای پیچیده مدولاسیون نظیر OFDM[2] و MIMO[3] با بیشترین تعداد بیت اطلاعات بر هر سمبل استفاده می‌شود. این روش‌ها، امکان استفاده بهینه از پهنای باند فرکانسی برای ارسال اطلاعات را فراهم می‌آورند. اما استفاده از این مدولاسیونها شرایط سنگینی را برای بلوکهای RF[4] در پیاده‌سازی ایجاد می‌کنند [۷-۹].

در فرستنده-گیرنده‌های مخابراتی، جابجایی طیف سیگنال توسط نوسان‌ساز محلی(LO[5]) انجام می‌گیرد. لذا شکل طیف فرکانسی LO هم در فرستنده و هم در گیرنده بسیار مهم است و هر گونه پخش‌شدگی در شکل طیف فرکانسی LO باعث افزایش پهنای باند سیگنال دمدوله شده و نیز انتقال سیگنال‌های خارج از باند به داخل باند می‌شود که این باعث می‌شود نتوان کانال‌های فرکانسی را خیلی به هم نزدیک کرد و در نتیجه بخشی از پهنای باند که بین کانال‌ها است بدون استفاده می‌ماند. بنابراین

---

[1] Wireless Sensor Network
[2] Orthogonal Frequency Division Multiplexing
[3] Multiple Input Multiple Output
[4] RF : Radio-Frequency
[5] Local Oscillator

شکل طیف فرکانسی LO هم در فرستنده و هم در گیرنده یکی از عوامل مهم در محدود کردن تعداد کانالها و در نتیجه تعداد کاربران سیستم می‌باشد. از اینرو درک عمیق محدودیتهای نوسان‌سازها و ارائه روش‌های طراحی برای بهبود آنها لازم است.

تغییر شکل طیف فرکانسی نوسان‌ساز از حالت ایده‌آل تحت عنوان نویز فاز تعریف می‌شود که محدودیت اصلی نوسان‌ساز در فرستنده-گیرنده‌های مخابراتی می‌باشد. برای مدولاسیونهای پیچیده مثل OFDM و MIMO، نویز فاز مورد نیاز برای نوسان ساز باید بسیار کم باشد که این محدودیت با افزایش نرخ اطلاعات و نزدیک کردن کانالهای کاربران بیشتر می‌شود[۷-۱٤]. بنابراین بررسی اثر نویز فاز نوسان‌سازها در سیستمهای مخابراتی پیشرفته و ارائه راه حل‌های کاهش آن چه از دیدگاه الکترونیک و طراحی نوسان‌سازهای با نویز فاز حداقل و چه از دیدگاه مخابراتی و استفاده از روشهای پردازش سیگنال و کدینگ لازم است.

بحث نویز فاز نوسان‌سازهای سینوسی و مدل کردن و ارائه راه حل‌های بهبود آن از دهه ۱۹٦۰ مطرح بوده است. اولین فرمول‌بندی ریاضی برای نویز فاز نوسان‌سازها در سال ۱۹٦٦ توسط Leeson [۱۵] براساس اندازه‌گیری‌های تجربی ارائه شد. مدل ارائه شده براساس فرض خطی و مستقل از زمان بودن سیستم نوسان‌ساز در قالب یک حلقه فیدبک مثبت بود. هر چند که فرمول‌بندی ارائه شده توجیه کننده تنها بخشی از منحنی نویز فاز بود و برای انطباق مدل با نتایج از پارامترهای اندازه‌گیری استفاده می‌کرد، اما مدل خوبی برای توجیه این پدیده بود. به طوریکه کارهای بعدی در مورد نویز فاز براساس این مدل بوده است. در سال ۱۹۹٦، مدل خطی مستقل از زمان Leeson برای کاربردهای طراحی مدارات مجتمع RF (IC[1]) در [۱٦] مورد بررسی بیشتر قرار گرفت و فرمول‌بندی بسته Leeson که تنها فرمول نویز فاز را ارائه می‌کرد، با فرض سیستم نوسان‌ساز با فیدبک مثبت به دقت تحلیل شد و روند رسیدن به فرمول Leeson ارائه گردید. نتیجه مدل Leeson و بررسی آن توسط Razavi [۱۶-۱۷]، لزوم استفاده از المان‌های با ضریب کیفیت زیاد را برای داشتن نویز فاز کم نوسان‌سازها، پیش‌بینی می‌کرد. بر اساس این

---

[1]IC: Integrated Circuit

نتیجه، روش‌های بهبود ضریب کیفیت المانهای L , C داخل تراشه (On-chip) برای بهبود نویز فاز ارائه شده است [۱۸-۲۷].

در سال ۱۹۹۸، مدل خطی وابسته به زمان (LTV[1]) توسط حاجی میری [۲۸] برای بررسی نویز فاز نوسان‌سازها ارائه شد. این مدل تحول وسیعی در بحث نویز فاز اسیلاتورها ایجاد کرد و قادر بود توجیه کاملی روی نواحی مختلف منحنی نویز فاز اسیلاتورها ارائه نماید. مقالات متعددی براساس این مدل به ارائه نوسان سازهای با نویز فاز کم پرداختند[۲۸-۳۸]. در این مدل تابع حساسیت فاز نوسان فاز از جمله توابع مهم در تحلیل نوسان ساز می‌باشد که بعداً به بحث در این خصوص خواهیم پرداخت. در این رساله نیز مدل حاجی‌میری بررسی گردیده و تصحیحی بر این مدل ارائه شده است [۳۹].

پس از ارائه مدل خطی وابسته به زمان توسط حاجی‌میری [۲۹]، مدلهای پیچیده‌تر غیرخطی نیز برای تحلیل نویز فاز نوسان‌سازها ارائه شده اند[۴۰-۴۵]. مدلهای ارائه شده بسیار پیچیده بوده و تنها برای تحلیل و بدست آوردن نویز فاز پس از طراحی نوسان‌ساز به کار می‌روند. در واقع مدلهای غیرخطی قادر به ارائه روش مشخص در طراحی نوسان‌ساز با نویز فاز کم نمی‌باشند.

از دید طراحی الکترونیک و پیاده سازی مدار و نیز با رفتن به سوی تکنولوژیهای پیشرفته CMOS[2] با حداقل طول کانال ترانزیستور MOS[3] و افزایش نویز المانهای اکتیو، مسئله کاهش نویز فاز نوسان‌سازها، یک چالش به شمار می‌رود. در سالهای اخیر نتایج زیادی از تحقیق روی مسئله کاهش نویز فاز نوسان‌سازها ارائه شده است[۱۸-۳۸]. روشهای ارائه شده هرکدام به نوعی سعی در کاهش نویز فاز نوسان ساز و برآورده کردن شرایط لازم برای پیاده سازی شبکه‌های بی‌سیم سریع داشته‌اند.

در واقع از دیدگاه پیاده‌سازی الکترونیکی، مسئله عمده، کاهش هزینه و استفاده از تکنولوژیهای سازگار برای مدارات آنالوگ و دیجیتال می‌باشد. تکنولوژی CMOS با مشخصه کم هزینه بودن و سازگاری آن با

---

[1]LTV: Linear Time-Variant
[2]CMOS: Complementary Metal-Oxide-Semiconductor
[3]MOS: Metal-Oxide-Semiconductor

مدارات دیجیتال، تکنولوژی برتر در پیاده‌سازی مدارات آنالوگ و دیجیتال در محدوده فرکانس تا ۱۰GHZ به شمار می‌رود [۴۶].

روند حرکت به سوی طول کانالهای بسیار کوتاه برای CMOS برای کاهش سطح تراشه و امکان مجتمع‌سازی بیشتر و نیز کاهش هزینه، طراحی‌های Short-channel را می‌طلبد. در کاهش طول کانال ترانزیستورهای MOS و پیشرفت تکنولوژی CMOS برای سرعت بالا، مسئله عمده، کاهش ولتاژ تغذیه و نیز افزایش نویز ترانزیستورها می‌باشد که هر دو مورد باعث افزایش نویز فاز نوسان‌ساز می‌شود. در واقع کاهش ولتاژ تغذیه باعث کاهش دامنه نوسان می‌گردد که نویز فاز با ۲۰log دامنه نوسان کم می‌شود. بنابراین در کاهش ولتاژ تغذیه از 3V به 1.5V یعنی نصف شدن آن، انتظار می‌رود نویز فاز نوسان ساز ۶dB افزایش یابد. از طرفی همانطور که ذکر شد نویز ترانزیستورها نیز برای تکنولوژیهای پیشرفته CMOS در حال افزایش است. برای نمونه جدول ۰-۱ که در برگیرنده پارامترهای نویز فیلکر برای تکنولوژیهای مختلف CMOS است، را در نظر می‌گیریم. از آنجایی که ولتاژ نویز فیلکر در یک ترانزیستور MOS به صورت زیر تعریف می‌شود [۴۷]:

$$\frac{\overline{v_n^2}}{\Delta f} = \frac{KF}{W.L.C_{ox} f^{AF}}. \qquad (۱)$$

بنابراین افزایش KF و کاهش AF و نیز کاهش سطح ترانزیستور با کم شدن طول کانال (L)، باعث افزایش نویز فیلکر می‌گردد. نویز حرارتی ترانزیستورها هم مشابها" برای تکنولوژیهای برتر Short-channel افزایش می‌یابد. برای نویز حرارتی ترانزیستور MOS داریم[۴۷]:

$$\frac{\overline{v_n^2}}{\Delta f} = \gamma \frac{4KT}{g_m} \qquad (۲)$$

که در آن γ، پارامتر وابسته به طول کانال است که برای ترانزیستورهای باطول کانال بلند $(L > 1\mu m)$ در حدود 0.67 است، در حالی که برای ترانزیستورهای با طول کانال $(L < 0.5\mu m)$ حدود 2.5 است. بنابراین واضح است که Scaling پروسه CMOS و رفتن به تکنولوژیهای پیشرفته CMOS با طول کانال کم، باعث افزایش نویز ترانزیستورها و در نتیجه افزایش نویز فاز اسیلاتورهای سینوسی می‌گردد. بنابراین