بسم الله الرحمن الرحيم

دانشگاه کاشان

دانشکده مهندسی برق و کامپیوتر

گروه الکترونیک

پایان‌نامه

جهت اخذ درجه کارشناسی ارشد

در رشته الکترونیک

عنوان:

طراحی المان حافظه‌دار مناسب مورد نیاز در مبدل‌های زمان به دیجیتال

استاد راهنما:

دکتر حسین کریمیان

توسط:

بهاره بهزادی

بهمن ۱۳۹۳

تقدیم به:

کسانی که آموزگار زندگانیم بودند، کسانی که وجودم برایشان همه رنج بود و وجودشان برایم همه مهر، کسانی که بودنم را با لطفشان و کوتاهیم را به بزرگواریشان بخشیدند.

تشکر و قدردانی:

بدین وسیله مراتب تشکر خود را از جناب آقای دکتر حسین کریمیان که فراتر از یک استاد وقت گرانبهای خویش را با طیب خاطر در اختیارم گذاشتند و با راهنمایی‌ها و برخورد دوستانه خود به مثابه مشوقی مشفق یاریگرم بودند، اعلام می‌دارم.

همچنین تقدیر و تشکر می‌نمایم از آقای دکتر محمود نیکوفرد که به عنوان نماینده تحصیلات تکمیلی و نیز استاد داور داخلی دانشگاه و آقای دکتر داریوش دیدبان به عنوان استاد داور داخلی در این پایان نامه همراهی‌ام کردند که شاگردی این دو بزرگوار بالاترین افتخار بنده است.

چکیده

یک مبدل زمان به دیجیتال سیستمی است که ورودی آن یک بازه زمانی بوده و خروجی آن برابر با کد دیجیتال متناسب با طول بازه زمانی می‌باشد که یکی از اصلی‌ترین بلوک‌های مورد نیاز برای ورود به دنیای مدرن و نوین پردازش در حوزه زمان می‌باشد. پردازش در حوزه زمان از اطلاعات نهفته شده در زمان به جای اطلاعات موجود در دامنه برای عملیات پردازش بهره می‌گیرد. همچنین با توجه به اینکه آینده فناوری به سمت مجتمع سازی و کاهش بیشتر ولتاژ تغذیه حرکت می‌کند، مسئله سرعت و میزان تلفات توان از اهمیت ویژه ای برخوردار است و کاربرد مبدل‌های TDC تمام دیجیتالی ضروری می‌باشند.

مبدل زمان به دیجیتال معمولا شامل دو بخش می‌شود: بخش اول که مقدار زمان‌های بزرگ را اندازه‌گیری می‌کند و بخش دیگر که مقادیر زمانی را با تفکیک بالا اندازه‌گیری می‌کند. از مشخصه‌های مهم یک مبدل زمان به دیجیتال می‌توان به قدرت تفکیک اندازه‌گیری، بیشینه محدوده اندازه‌گیری ورودی، مشخصه‌های غیرخطی بودن، سرعت نمونه‌برداری و غیره اشاره کرد.

پژوهش‌های زیادی برای بهینه‌سازی و ارائه روش‌های اندازه‌گیری نوین زمان صورت گرفته است. روش‌های متعددی برای اندازه‌گیری و تبدیل زمان به کلمه دیجیتال ارائه شده است که با مطالعه و بررسی این روش‌ها، مبدل‌های زمان به دیجیتال مبتنی بر خط تاخیر به عنوان پرکابردترین آن‌ها انتخاب شده است. از آنجایی که در این مبدل‌های زمان به دیجیتال، المان حافظه‌دار نقش کلیدی در عملکرد و میزان توان تلفاتی آن‌ها دارد، باید المان حافظه‌دار سریع و مناسبی در ساختار TDC استفاده شود.

در این پایان نامه فلیپ–فلاپ جدیدی جهت استفاده در ساختار TDC طراحی شده است. فلیپ–فلاپ پیشنهادی جزء دسته فلیپ–فلاپ‌های فعال شونده با پالس ساعت است. این فلیپ–فلاپ فعال شونده با پالس قادر به clock gating می‌باشد و توان مصرفی کمتر و سرعت بیشتری نسبت به سایر فلیپ–فلاپ‌های مشابه خود دارد.

در فلیپ–فلاپ پیشنهاد شده، یک مدار تولید کننده پالس جداگانه می‌تواند به صورت مشترک بین چندین لچ استفاده شود، که کاهش بیشتر توان مصرفی را در پی دارد. به منظور مطالعه دقیق‌تر و ارزیابی عملکرد فلیپ فلاپ پیشنهادی یک مبدل زمان به دیجیتال ۳۲ بیتی طراحی و شبیه‌سازی شده است. کلیه شبیه‌سازی‌های مربوط به TDC ۳۲ بیتی توسط نرم افزارHSPICE با فناوری CMOS ۹۰ نانومتر PTM انجام شده است که نتایج حاصل شده نشان می‌دهد مبدلی که از فلیپ–فلاپ پیشنهادی در ساختار آن استفاده شده حداقل دارای کاهش ۱۷ درصدی پارامتر PDP (حاصل ضرب توان و تاخیر) و همچنین دارای ۱۷ درصد کاهش توان مصرفی مبدل نسبت به مبدل‌هایی که از سایر فلیپ–فلاپ‌ها استفاده کرده‌اند می‌باشد.

کلمات کلیدی: فلیپ–فلاپ، لچ، مبدل آنالوگ به دیجیتال، مبدل زمان به دیجیتال، کاهش توان مصرفی

فهرست مطالب

عنوان **صفحه**

فصل اول: مقدمه ۱

۱-۱- پیشگفتار ۱

۱-۲- مبدل زمان به دیجیتال ۳

۱-۳- ترتیب ارائه مطالب ۵

فصل دوم: مبدل آنالوگ به دیجیتال ٦

۲-۱- مقدمه ٦

۲-۲- مشخصه‌های عمومی مبدل‌های آنالوگ به دیجیتال ۷

۲-۲-۱- درجه تفکیک ۷

۲-۲-۲- نرخ نمونه‌برداری ۸

۲-۲-۳- خطای کوانتیزاسیون ۹

۲-۲-٤- خطای آفست ۹

۲-۲-۵- خطای بهره ۱۰

۲-۲-٦- خطای غیرخطی تفاضلی ۱۱

۲-۲-۷- خطای غیرخطی تجمعی ۱۲

۲-۲-۸- کد گمشده ۱۳

۲-۳- مروری بر مبدل‌های آنالوگ به دیجیتال ۱٤

۲-۳-۱- مبدل آنالوگ به دیجیتال تقریب متوالی ۱٤

۲-۳-۲- مبدل آنالوگ به دیجیتال فلش ۱۵

۲-۳-۳- مبدل آنالوگ به دیجیتال دو مرحله‌ای ۱٦

۲-۳-٤- مبدل آنالوگ به دیجیتال خط لوله‌ای ۱۷

۲-۳-۵- مبدل آنالوگ به دیجیتال سیگما-دلتا ۱۹

۲-٤- نتیجه‌گیری ۲۰

فصل سوم: معرفی و بررسی ساختار TDC ۲۱

۳-۱- مقدمه ۲۱

۳-۲- انواع مبدل‌های زمان به دیجیتال ۲۲

۳-۲-۱- مبدل زمان به دیجیتال شمارنده ۲۲

۳-۲-۲- مبدل زمان به دیجیتال خطی ۲٤

۳-۲-۳- مبدل زمان به دیجیتال Vernier ۲۸

۳-۳- انواع فلیپ-فلاپ‌ها ۳۰

۱-۱-۱- محاسبه پارامترهای زمانی ۳۲

۳-٤- نتیجه‌گیری ۳۳
فصل چهارم: فلیپ-فلاپ پیشنهادی جهت استفاده در TDC **۳۵**
٤-۱- مقدمه ۳۵
٤-۲- مطالبات مبدل زمان به دیجیتال ۳٦
٤-۳- بررسی عملکرد TDC با استفاده از POWERPC 603 ..... ۳۹
٤-۳-۱- ارزیابی پارامترهای TDC با استفاده از فلیپ-فلاپ PowerPC 603 ..... ٤٦
٤-٤- بررسی عملکرد TDC با استفاده از HLFF ٤۷
٤-٤-۱- ارزیابی پارامترهای TDC با استفاده از HLFF ۵۳
٤-۵- بررسی عملکرد TDC با استفاده از CPEFF ۵۳
٤-۵-۱- ارزیابی پارامترهای TDC با استفاده از CPEFF ٦۰
٤-٦- بررسی عملکرد TDC با استفاده از CPEFF اصلاح شده ٦۰
٤-٦-۱- ارزیابی پارامترهای TDC با استفاده از CPEFF اصلاح شده ٦۷
٤-۷- فلیپ-فلاپ پیشنهادی و بررسی عملکرد آن داخل ساختار TDC ٦۷
٤-۸- خلاصه و نتیجه‌گیری ۷٦
فصل پنجم: نتیجه‌گیری و پیشنهادات **۷۸**
۵-۱- خلاصه و نتیجه‌گیری ۷۸
۵-۲- پیشنهادات ۷۹
منابع و مآخذ **۸۱**

فهرست جدول‌ها

عنوان **صفحه**

جدول۳-۱: رابطه بین کد ترمومتری و خروجی دیجیتال ۲ بیتی ۲۷

جدول ٤-۱: نمایش مقادیر استخراج شده توان مصرفی فلیپ-فلاپ PowerPC 603 ، تاخیر، خطای بهره، خطای آفست و توان مصرفی مربوط به TDC ٤٦

جدول ٤-۲: نمایش مقادیر استخراج شده توان مصرفی فلیپ-فلاپ HLFF، تاخیر، خطای بهره، خطای آفست و توان مصرفی مربوط به TDC ٥٢

جدول ٤-۳ : نمایش مقادیر محاسبه شده توان مصرفی فلیپ-فلاپ CPEFF، تاخیر، خطای بهره، خطای آفست و توان مصرفی مربوط به TDC ٦٠

جدول ٤-٤: نمایش مقادیر محاسبه شده توان مصرفی فلیپ-فلاپ CPEFF اصلاح شده، تاخیر، خطای بهره، خطای آفست و توان مصرفی مربوط به TDC ٦٦

جدول ٤-٥: نمایش مقادیر محاسبه شده توان مصرفی فلیپ-فلاپ پیشنهادی، تاخیر، خطای بهره، خطای آفست و توان مصرفی مربوط به TDC ٧٤

جدول ٤-٦: مقایسه مقدار setup time و توان مصرفی فلیپ-فلاپ و توان مصرفی، تاخیر پاسخ‌دهی نسبت به پالس ساعت و حاصل ضرب توان و تاخیر TDC با استفاده از فلیپ-فلاپ‌های بررسی شده در فصل ٤ ..... ٧٤

جدول ٤- ۷: مقایسه خطاهای مربوط به TDC با استفاده از هر یک از فلیپ-فلاپ‌های بررسی شده در فصل ٤ ..... ٧٥

فهرست شکل‌ها

عنوان **صفحه**

شکل ۱-۱: مفهوم مبدل زمان به دیجیتال [۵]..... ۳

شکل ۲-۱: ایده کلی تبدیل آنالوگ به دیجیتال [۱۵]..... ۷

شکل ۲-۲: مشخصه خروجی- ورودی یک مبدل آنالوگ به دیجیتال ایده‌آل ۳ بیتی [۱۷]..... ۸

شکل ۲-۳: مشخصه ایده‌آل یک مبدل آنالوگ به دیجیتال سه بیتی و خطای کوانتیزاسیون [۱۷]..... ۹

شکل ۲-٤: نماش مقدار خطای آفست..... ۱۰

شکل ۲-۵: نمایش خطای بهره [۱۸]..... ۱۱

شکل ۲-٦: نمایش DNL [۱۸]..... ۱۲

شکل ۲-۷: نمایش INL [۱۸]..... ۱۳

شکل ۲-۸: نمایش کد گمشده [۱۸]..... ۱۳

شکل ۲-۹: مبدل تقریب متوالی [۱۵]..... ۱۵

شکل ۲-۱۰: معماری کلی مبدل فلش N بیتی [۲۲]..... ۱۵

شکل ۲-۱۱: نمایش مبدل دو مرحله‌ای [۱۵]..... ۱۷

شکل ۲-۱۲: نمایش مبدل خط لوله‌ای [۱٤]..... ۱۸

شکل ۲- ۱۳: مبدل سیگما-دلتا..... ۲۰

شکل ۳-۱: بلوک دیاگرام مبدل آنالوگ به دیجیتال مبتنی بر اندازه‌گیری زمان..... ۲۲

شکل ۳-۲: تبدیل فاصله زمانی بین دو سیگنال به خروجی دیجیتال توسط TDC..... ۲۲

شکل ۳-۳: مبدل زمان به دیجییتال شمارنده [۳۹]..... ۲۳

شکل ۳-٤: نمایش اندازهگیری فاصله زمانی به وسیله TDC شمارنده [٤]..... ۲٤

شکل ۳-۵: نمایش اندازهگیری فاصله زمانی به وسیله TDC به واسطه تقسیم دوره پالس ساعت به فاصله‌های زمانی کوچکتر [٤]..... ۲۵

شکل ۳-٦: ساختار مرکزی مبدل زمان به دیجیتال خطی [۱۲]..... ۲۵

شکل ۳-۷: نمایش عملکرد TDC خطی [٤]..... ۲٦

شکل ۳-۸: رمزگشایی کد ترمومتری به کد دیجیتال به وسیله انکدر..... ۲۷

شکل ۳-۹: مبدل زمان به دیجیتال ورنیر [۱۲]..... ۲۸

شکل ۳-۱۰: نمایش عملکرد TDC ورنیر..... ۲۹

شکل ۳-۱۱: نمایش فلیپ-فلاپ پایه-پیرو..... ۳۰

شکل ۳-۱۲: پالس ساعت اعمال شده به فلیپ-فلاپ های پایه-پیرو ۳۱
شکل ۳-۱۳: نمایش فلیپ-فلاپ فعال شونده با پالس ساعت ۳۱
شکل ۳-۱٤: نمایش عملکرد فلیپ-فلاپ فعال شونده با پالس ساعت ۳۲
شکل ۳- ۱۵: مقادیر setup time و hold time برای یک فلیپ-فلاپ حساس به لبه بالارونده پالس ساعت .۳۳
شکل ۳-۱٦: سوییپ نمودن داده ورودی و طریقه محاسبه زمان‌های setup time و hold time [۵۰] ۳۳
شکل ٤-۱: نمایش مدل شبیه‌سازی فلیپ-فلاپ جهت اندازه‌گیری مقدار پارامتر setup time..... ۳۸
شکل ٤-۲: نمایش مدل شبیه‌سازی خط تاخیر جهت اندازه‌گیری مقدار تاخیر هر یک از بافرها..... ۳۸
شکل ٤-۳: مدار تاخیر متشکل از مالتی پلکسر و بافر ۳۹
شکل ٤-٤: مدار فلیپ-فلاپ Power Pc 603 [۵۳]..... ٤۰
شکل ٤-۵: نتایج شبیه‌سازی و شکل موج‌های فلیپ-فلاپ a PowerPC 603) پالس ساعت b) داده ورودی c) خروجی..... ٤۱
شکل ٤-٦: نحوه محاسبه مقدار setup time و hold time فلیپ-فلاپ Power Pc 603..... ٤۲
شکل ٤- ۷: مدار TDC ۳۲ بیتی طراحی شده..... ٤۳
شکل ٤-۸: شکل موج‌های TDC ۳۲ بیتی a) پالس ساعت b) داده ورووردی c) خروجی‌ها ٤۳
شکل ٤-۹: منحنی مشخصه واقعی به صورت خط چین و منحنی ایده‌آل به صورت خط پر برای TDC ۳۲ بیتی ٤۵
شکل ٤-۱۰: نمایش INL به صورت خط چین و DNL به صورت خط پر..... ٤۵
شکل ٤-۱۱: مدار فلیپ-فلاپ HLFF [۵۷]..... ٤۷
شکل ٤-۱۲: شکل موج‌های فلیپ-فلاپ a HLFF) پالس ساعت b) گره ckb c) داده ورودی d) خروجی e) گره X..... ٤۸
شکل ٤-۱۳: نحوه محاسبه مقدار setup time و hold time فلیپ-فلاپ HLFF..... ٤۹
شکل ٤-۱٤: شکل موج‌های TDC ۳۲ بیتی a) پالس ساعت b) داده ورووردی c) خروجی ۵۰
شکل ٤-۱۵: منحنی مشخصه واقعی به صورت خط چین و منحنی ایده‌آل به صورت خط پر برای TDC ۳۲ بیتی ۵۱
شکل ٤-۱٦: نمایش INL به صورت خط چین و DNL به صورت خط پر..... ۵۲
شکل ٤-۱۷: مدار فلیپ-فلاپ CPEFF [٦۰]..... ۵٤
شکل ٤-۱۸: شکل موج‌های فلیپ-فلاپ a CPEFF)پالس ساعت b)پالس ساعت تولید شده توسط pulse generator c) داده ورودی d) خروجی e) فیدبک خروجی f) گره X..... ۵۵

شکل ٤-١٩: نحوه محاسبه مقدار setup time و hold time فلیپ-فلاپ CPEFF.....٥٦
شکل ٤-٢٠:مدار 32 TDC بیتی طراحی شده همراه مدار pulse generator ٥٧
شکل ٤-٢١: شکل موج‌های TDC ٣٢ بیتی a) پالس ساعت b) داده ورودی c) خروجی ٥٧
شکل ٤-٢٢: منحنی مشخصه واقعی به صورت خط چین و منحنی ایده‌آل به صورت خط پر برای TDC ٣٢ بیتی ٥٨
شکل ٤-٢٣: نمایش INL به صورت خط چین و DNL به صورت خط پر.....٥٩
شکل ٤-٢٤: مدار فلیپ-فلاپ اصلاح شده CPEFF ٦١
شکل ٤-٢٥: شکل موج‌های فلیپ-فلاپ اصلاح شده a CPEFF) پالس ساعت b) پالس ساعت تولید شده توسط c pulse generator) داده ورودی d) فیدبک خروجیe) خروجی f) گره X.....٦٢
شکل ٤-٢٦: نحوه محاسبه مقدار setup time و hold time فلیپ-فلاپ CPEFF اصلاح شده.....٦٣
شکل ٤-٢٧: شکل موج‌های TDC ٣٢ بیتی a) پالس ساعت b) داده ورودی c) خروجی ٦٤
شکل ٤-٢٨: منحنی مشخصه واقعی به صورت خط چین و منحنی ایده‌آل به صورت خط پر برای TDC ٣٢ بیتی ٦٥
شکل ٤-٢٩: نمایش INL به صورت خط چین و DNL به صورت خط پر.....٦٦
شکل ٤-٣٠: مدار فلیپ-فلاپ پیشنهادی ٦٧
شکل ٤-٣١: نتایج شبیه‌سازی فلیپ-فلاپ پیشنهادی a) پالس ساعت b) پالس ساعت تولید شده توسط c pulse generator) داده ورودی d) خروجی e) گره X.....٦٩
شکل ٤-٣٢: نحوه محاسبه مقدار setup time و hold time فلیپ-فلاپ پیشنهادی.....٧٠
شکل ٤-٣٣: شکل موج‌های TDC ٣٢ بیتی a) پالس ساعت b) ورودی‌ها c) خروجی‌ها.....٧١
شکل ٤-٣٤: منحنی مشخصه واقعی به صورت خط چین و منحنی ایده‌آل به صورت خط پر برای TDC ٣٢ بیتی ٧٢
شکل ٤-٣٥: نمایش INL به صورت خط چین و DNL به صورت خط پر.....٧٣

فهرست علائم و اختصارات

ADC	Analog to Digital Converter
CG	Clock Gating
CGCPEFF	Clock Gating Conditional Pulse Enhancement Flip-flop
CPEFF	Conditional Pulse Enhancement Flip-flop
DAC	Digital to Analog Converter
DNL	Differential Non Linearity
IC	Integrated Circuit
INL	Integral Non Linearity
LSB	Least Significant Bit
LTDC	Linear Time to Digital Converter
MCPEFF	Modified Conditional Pulse Enhancement Flip-flop
MSB	Most Significant Bit
PDP	Power Delay Product
SAR	Successive Approximation Register
S/H	Sample and Hold
TADC	Time-based Analog to Digital Converter
TDC	Time to Digital Converter
VTC	Voltage to Time Converter

فصل اول: مقدمه

۱-۱- پیشگفتار

در دهه‌های گذشته پردازش سیگنال دیجیتال به نحو چشم‌گیری پیشرفت نموده است. مجتمع‌سازی[1] در مقیاس وسیع، کاهش هزینه ساخت و کاهش توان مصرفی در تکنولوژی‌های جدید سبب گشته است که طراحان مدارها و سیستم‌های الکترونیکی تلاش کنند مدارهای آنالوگ را با معادل دیجیتال آن‌ها جایگزین نمایند. از سوی دیگر سیگنال‌های طبیعی، آنالوگ هستند و پیش از اعمال به پردازنده‌های[2] دیجیتال باید به سیگنال‌های دیجیتال تبدیل شوند [۱].

از طرف دیگر مسیر پیشرفت تکنولوژی نیمه هادی‌ها، حاکی از کاهش سریع در ابعاد ترانزیستورها است. با کاهش طول کانال ماسفت‌ها[3] ضخامت لایه اکسید نیز کاهش یافته که در نتیجه حداکثر ولتاژ قابل تحمل بین گیت و کانال کاهش می‌یابد که این مسئله مطلوب بازار الکترونیک می‌باشد، زیرا منجر به استفاده از باتری‌های کوچکتر و سبکتر می‌شود. در مدارهای مجتمع دیجیتال کاهش ولتاژ منبع تغذیه، خود منجر به کاهش توان مصرفی می‌شود. این امر باعث می‌شود که کاهش ولتاژ منبع تغذیه از نظر طراحی مدار، مطلوب طراحان مدارهای دیجیتال

[1] Integration
[2] Proccessor
[3] MOSFET

باشد. اما در مدارهای آنالوگ این موضوع برقرار نیست و کاهش منبع تغذیه، با حفظ مشخصات مطلوب مدار، مشکلات ضعف نقاط بایاس عملیاتی، زیاد شدن جریان نشتی و غیرخطی شدن مشخصه را به همراه دارد و حتی می‌تواند باعث افزایش توان مصرفی مدار نیز بشود. به طور مثال، در طراحی تقویت کننده‌ها، کاهش ولتاژ تغذیه باعث کاهش تعداد ترانزیستورهایی می‌شود که می‌توان کسکود[1] کرد و در نتیجه بهره مدار کاهش می‌یابد لذا برای گرفتن بهره مطلوب باید تعداد طبقات را افزایش داد که منجر به افزایش توان مصرفی می‌شود. در نتیجه به دلیل محدودیت‌هایی که مدارهای آنالوگ برای طراحان ایجاد می‌کنند، این مدارها جای خود را به مدارهای کاملاً دیجیتال داده‌اند [۳،۲].

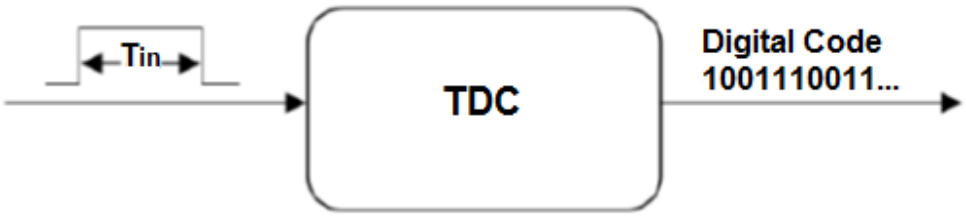
با پیشرفت علم، اندازه‌گیری بازه‌های زمانی بین دو رخداد بسیار مهم و اساسی شده و زمان‌سنج‌های امروزی قابلیت اندازه‌گیری فاصله‌های زمانی کوچک را ندارند، که در این راستا مبدل‌های زمان به دیجیتال[2] [٤-۱۰] جهت تولید کد دیجیتال با حداقل ولتاژ منبع تغذیه ابداع شده و در سال‌های اخیر توسعه چشمگیری داشته‌اند. همزمان با ارائه روش‌های نوین جهت زمان‌سنجی، با پیشرفت تکنولوژی مدارات مجتمع[3] و نیاز به مدارات با دقت بالا و توان مصرفی پایین، می‌توان دقت زمانی[4] در حد پیکو ثانیه را نیز از این مدارات انتظار داشت که کاربردهای بسیار وسیعی در زمینه‌های گوناگون دارند. از جمله کاربرد این مبدل‌ها اندازه‌گیری فاصله از جسم یا فاصله دو جسم از یکدیگر به وسیله لیزر [۱۱]، مشاهده اجسام و افراد، نقشه‌برداری‌های زمینی و دریایی، اندازه‌گیری‌های رادیویی و کاربردهای پزشکی می‌توان اشاره کرد، همچنین مبدل‌های TDC یکی از بلوک‌های اصلی در فیزیک ذرات پرانرژی، اندازه‌گیری‌های فاز و نوسان سازها[5] به شمار می‌رود [٤].

[1] Cascode
[2] Time to Digital Converter (TDC)
[3] Integrated Circuit (IC)
[4] Resolution
[5] Oscillator

اولین نسل مبدل‌های TDC مبتنی بر مدارات آنالوگ بودند که در این مبدل‌ها ابتدا فاصله زمانی اندازه‌گیری شده به ولتاژ تبدیل شده سپس در گام دوم این ولتاژ توسط مبدل آنالوگ به دیجیتال[1] به مقدار دیجیتال تبدیل می‌شود. اما با توجه به مشکلاتی که در حوزه آنالوگ وجود دارد، با حذف مبدل‌های آنالوگ به دیجیتال از مدار این TDCها، ساختارهای مبدل TDC کاملا دیجیتال ارائه گردیده که هیچ بلوک آنالوگی ندارد و مشکلات مربوط به مدارات آنالوگ را نداشته همچنین قادر به کار در ولتاژهای پایین می‌باشد و می‌توانند در زمینه‌های بیشتری مورد استفاده قرار بگیرند [۱۲،٤].

۱-۲- مبدل زمان به دیجیتال

یک مبدل زمان به دیجیتال سیستمی است که ورودی آن بازه زمانی بین دو سیگنال مورد نظر و خروجی آن کد دیجیتال متناظر با طول بازه زمانی اعمالی است. شکل ۱-۱ مفاهیم بیان شده را نمایش می‌دهد.



شکل ۱-۱: مفهوم مبدل زمان به دیجیتال [۵]

در مبدل‌های زمان به دیجیتال، ورودی مبدل کمیت زمان می‌باشد و پردازش بر روی سیگنال زمانی انجام می‌شود و زمان مانند ولتاژ، قابلیت ذخیره شدن و تبدیل شدن را ندارد و علاوه بر این ممکن است فقط یک نمونه برای تبدیل داشته باشیم [۵].

اندازه‌گیری وقفه زمانی به دو روش انجام می‌شود. در روش اول که اندازه‌گیری کم دقت نامیده می‌شود، فاصله دو سیگنال ورودی به وسیله یک شمارنده[2] استاندارد سنجیده می‌شود که

[1] Analog to Digital Converter (ADC)
[2] Counter

اغلب دقتی در حد چند میکرو ثانیه تا چند ده ثانیه دارد، در روش دوم که اندازه‌گیری دقیق نامیده می‌شود، تفاضل زمانی ورودی و زمان اندازه‌گیری شده توسط روش اول، با دقت بالایی در حد چند پیکو ثانیه تا چند صد پیکو ثانیه اندازه‌گیری می‌شود. برای انجام روش دوم از پیکربندی‌های خط تاخیر[1] CMOS [۱۳،۷،٦] استفاده می‌شود. از آنجایی که روش‌های مبتنی بر خط تاخیر CMOS به صورت تمام دیجیتال بوده و به کمک فرآیند ساخت استاندارد CMOS دیجیتال قابل پیاده‌سازی است، بیشترمورد توجه قرار گرفته است. چون در این ساختارها از تاخیر یک بافر[2] منطقی به عنوان واحد زمانی استفاده می‌شود، تاخیر این المان مشخص کننده مقدار دقت مدار است و می‌توان با کنترل تاخیر بافرها و setup time فلیپ–فلاپ‌ها به مبدل‌هایی با دقت بالا دست یافت.

در روش دوم، عملکرد مبدل TDC مبتنی بر خط تاخیر، در واقع یک مدار غیرهمزمان[3] است که اندازه‌گیری زمان بین دو رخداد را انجام می‌دهد و تفاوت آن با شمارنده در دقت بالای آن است. ایده اصلی ساخت این TDCها بر مبنای استفاده از خط تاخیر می‌باشد که این خط تاخیر از تعدادی المان تاخیر و تعدادی المان حافظه‌دار تشکیل شده است. المان تاخیر می‌تواند دروازه منطقی معکوس‌کننده[4] یا بافر باشد و المان حافظه‌دار، فلیپ–فلاپ است. دقت این TDCها وابسته به میزان تاخیر بافر و سرعت آن‌ها نیز وابسته به سرعت فلیپ–فلاپ است [٤].

از آنجایی که المان حافظه‌دار[5]، عامل کلیدی کنترل سرعت TDC است، در نتیجه در این پایان‌نامه تمرکز اصلی بر روی المان حافظه‌دار سریع با توان مصرفی پایین جهت استفاده در داخل ساختار مبدل TDC می‌باشد. همچنین به منظور بررسی تاثیر المان حافظه‌دار در عملکرد TDC، از ساختار مبدل زمان به دیجیتال خطی[6] ۳۲ بیتی استفاده می‌شود.

---

[1] Delay line
[2] Buffer
[3] Asynchrony
[4] Inverter
[5] Storage element
[6] Linear Time to Digital Converter (LTDC)

۱-۳- ترتیب ارائه مطالب

در ادامه و در فصل دوم مبدل‌های آنالوگ به دیجیتال معرفی و سپس به برخی از مشخصه-های عمومی این مبدل‌ها اشاره می‌شود و در پایان این فصل مروری بر انواع مبدل‌های آنالوگ به دیجیتال انجام شده است. در فصل سوم ابتدا به معرفی مبدل‌های زمان به دیجیتال پرداخته شده و سپس در ادامه این فصل انواع مبدل‌های زمان به دیجیتال مورد بررسی قرار گرفته است. فصل چهارم حاوی پیشنهاد فلیپ-فلاپ مناسب جهت استفاده در TDC و بررسی سایر فلیپ-فلاپ‌ها و عملکرد آن‌ها داخل TDC و مقایسه آن‌ها با یکدیگر می‌باشد. در نهایت، در فصل پنجم نتیجه‌گیری و پیشنهادات ارائه می‌گردد .

فصل دوم: مبدل آنالوگ به دیجیتال

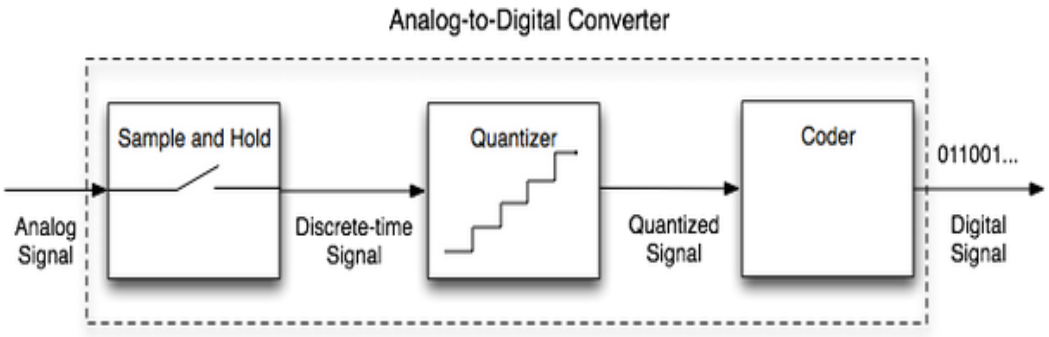
۲–۱– مقدمه

با توجه به اینکه سیگنال‌ها در دنیای واقعی آنالوگ هستند پیش از ورود این سیگنال‌ها به سیستم دیجیتال نیاز به مدار واسطی[1] است که عمل تبدیل از آنالوگ به دیجیتال را انجام دهد. بنابراین مبدل‌های آنالوگ به دیجیتال به عنوان پل ارتباطی دنیای کمیت‌های آنالوگ و دنیای پردازش دیجیتال نقش کلیدی در بسیاری از سیستم‌های الکترونیکی، مخابراتی و کنترلی را ایفا می‌کنند [۱٤].

سیگنال‌های آنالوگ همچون اعداد بر روی محور اعداد حقیقی دارای مقادیر پیوسته در زمان هستند، وظیفه مبدل این است که محدوده‌ای از اعداد حقیقی را که معرف ورودی هستند به زیرمحدوده‌های کوچکتری تقسیم نموده و به هر کدام یک کد نسبت دهد. طی عملیات تبدیل، از ورودی در زمان‌هایی معین نمونه‌برداری می‌شود و نمونه‌ها بر روی محور اعداد حقیقی مذکور نظیر می‌گردند، سپس مبدل تشخیص می‌دهد که کدام زیرمحدوده با نمونه برداشته شده مطابقت

[1] Interface Circuit (IC)

دارد و کد دیجیتال مناسب را به خروجی ارسال می‌کند. پس می‌توان تبدیل آنالوگ به دیجیتال را به دو عمل نمونه‌گیری[1] و کوانتیزاسیون[2] تفکیک نمود. عمل نمونه‌گیری، سیگنال پیوسته در زمان را به سیگنال گسسته در زمان و عمل کوانتیزاسیون، سیگنال با دامنه پیوسته را به مجموعه‌ای از سطوح گسسته که می‌توانند با کدهای دیجیتال بیان شوند، تبدیل می‌کند. شکل ۲-۱ این ایده کلی توضیح داده شده را نشان می‌دهد.



شکل ۲-۱: ایده کلی تبدیل آنالوگ به دیجیتال [۱۵]

۲-۲- مشخصه‌های عمومی مبدل‌های آنالوگ به دیجیتال

در این قسمت تعدادی از مشخصه‌های یک مبدل آنالوگ به دیجیتال که دارای کاربرد در فصول بعدی هستند و معرفی آنها الزامی به نظر می‌رسد اشاره شده است.

۲-۲-۱- درجه تفکیک[3]

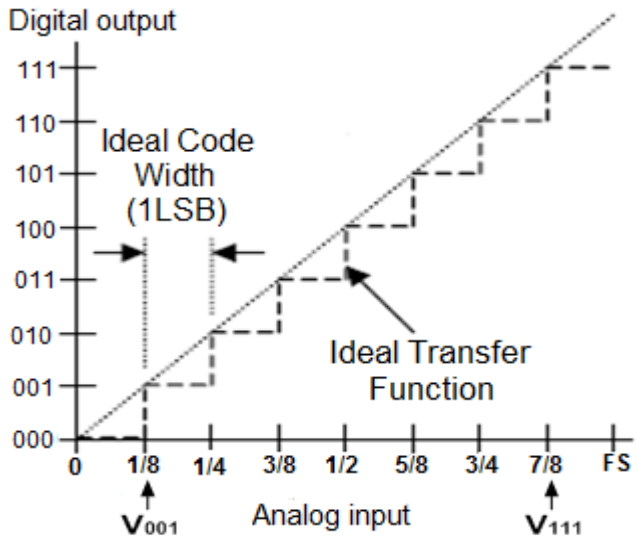
شکل ۲-۲ مشخصه خروجی- ورودی یک مبدل آنالوگ به دیجیتال ایده‌آل ۳ بیتی را نمایش می‌دهد. درجه تفکیک یک مبدل آنالوگ به دیجیتال در واقع همان تعداد سطوحی از سیگنال آنالوگ در خروجی است که می‌توان آن را به صورت باینری[4] بیان کرد. طبیعی است که هر چه درجه تفکیک یک مبدل بیشتر باشد خروجی آن با دقت بیشتری ورودی را دنبال خواهد

[1] Sampling
[2] Quantization
[3] Resolution
[4] binary

کرد. برای مثال یک مبدل ۱۲ بیتی در حالت ایده‌آل می‌تواند 2^{12} سطح را در خروجی خود تولید کند که به عنوان یک مبدل با درجه تفکیک ۱۲ بیت شناخته می‌شود. به کوچکترین اختلاف سطوح ولتاژ قابل تشخیص در یک مبدل، V_{LSB} یا سطح کوانتایز[1] می‌گویند و آنرا با Δ نمایش می‌دهند که معادل با یک LSB[2] (کم ارزشترین بیت) است. برای یک مبدل N بیتی برابر است با:

$$V_{lSB} = \frac{V_{FS}}{2^N} \qquad (۱-۲)$$

در رابطه (۲-۱) V_{FS} حداکثر ولتاژ ورودی و V_{LSB} کوچکترین اختلاف سطوح ولتاژ قابل تشخیص در یک مبدل است [۱۶].



شکل ۲-۲: مشخصه خروجی- ورودی یک مبدل آنالوگ به دیجیتال ایده‌آل ۳ بیتی [۱۷]

۲-۲-۲- نرخ نمونه برداری[3]

نرخ نمونه‌برداری برابر با تعداد نمونه‌هایی است که مبدل در واحد زمان پردازش می‌کند که به نوع مبدل و فرکانس کاری آن مربوط است، فرکانس نمونه‌برداری را با F_S نمایش می‌دهند [۱۶].

[1] Quantized level
[2] Least Significant Bit (LSB)
[3] Sampling Rate