دانشگاه گیلان

دانشکده فنی و مهندسی

پایان نامه کارشناسی ارشد

رشته مهندسی برق گرایش الکترونیک

طراحی بهینه به منظور کاهش خطای نرم در مدارهای ترکیبی

از:

هومن سالمی شکوری

استاد راهنما:

دکتر راهبه نیارکی اصلی

استاد مشاور:

دکتر سیاوش امین‌نژاد

مهرماه ۹۲

بسم الله الرحمن الرحیم

تقدیر و تشکر:

سپاس بر خداوند منان که توفیق نگارش این پایان نامه را بر من عنایت فرمود و سپاس از همه عزیزانی که بـه نـوعی در انجـام این رساله با راهنمایی‌ها و مساعدت‌های بی‌دریغ خود راهگشا بوده‌اند.

از **پدر و مادر عزیزم** که همواره با کمک‌های بی‌دریغ و دعای خیرشان بدون هیچ چشم‌داشتی جاده زندگی را روشـن نمـوده و مرا در گام برداشتن در مسیر صحیح زندگی هدایت کردند، کمال تشکر و قدردانی را دارم که اگر زحمات و راهنمایی‌های ایشان نبود، رسیدن به این مقطع میسر نمی‌شد.

از زحمات و مساعدت‌های استاد راهنمای محترمه، **سرکار خانم دکتر نیارکی** و استاد مشاور محتـرم، **جنـاب آقـای دکتـر امین‌نژاد** که همواره با رهنمودهای سازنده مرا رهنمون بوده‌اند، تشکر و سپاس‌گزاری مـی‌نمـایم و از درگـاه حـق تعـالی بـرای ایشان موجبات توفیق روز افزون را مسالت دارم.

همچنین تشکر ویژه‌ای از **سرکار خانم جعفرزاده** دارم که زحمت تایپ، ویرایش و صفحه‌بندی پایان نامـه را تقبـل فرمودنـد و برای ایشان در تمامی مراحل زندگی آرزوی موفقیت دارم.

فهرست مطالب

فهرست شکل‌ها.....ث

فهرست جدول‌ها.....ح

فهرست علائم اختصاری.....خ

چکیده فارسی.....ذ

چکیده انگلیسی.....ر

فصل اول: مقدمه.....۱

۱-۱ معرفی موضوع.....۲

۱-۲ اهمیت خطای نرم در مدارات ترکیبی.....۴

۱-۲-۱ مدار ترکیبی.....۴

۱-۲-۲ خطای نرم در مدارات ترکیبی.....۵

۱-۲-۳ مقایسه خطای نرم در مدارات ترکیبی و ترتیبی.....۹

۱-۳ معیارهای محاسبه خطای نرم.....۱۱

۱-۳-۱ بار بحرانی.....۱۱

۱-۳-۲ مشاهده‌پذیری.....۱۱

۱-۳-۳ قابلیت اطمینان.....۱۲

۱-۴ فصل‌بندی پایان نامه.....۱۲

فصل دوم: شیوه‌های موثر مقاوم‌سازی مدارات ترکیبی در برابر خطای نرم.....۱۳

۲-۱ مقاوم‌سازی در سطح تکنولوژی ساخت.....۱۴

۲-۲ مقاوم‌سازی مدار در سطح معماری.....۱۵

۲-۲-۱ تغییر اندازه و جابه‌جایی.....۱۵

۲-۲-۲ افزونگی.....۱۷

۲-۲-۳ تکنیک‌های مداری.....۲۰

۲-۲-۴ روش‌های انتخابی.....۲۶

فصل سوم: محاسبه معیارهای مهم در زمینه مقاوم‌سازی مدارات ترکیبی ۳۰
۳-۱ بار بحرانی ۳۱
۳-۲ احتمال سیگنال ۳۵
۳-۳ مشاهده‌پذیری ۳۸
۳-۴ قابلیت اطمینان ۴۲
۳-۵ بدست آوردن مقادیر معیارهای مهم برای مدارهای تست ۴۵
۳-۵-۱ مدار تست C۱۷ ..... ۴۶
۳-۵-۲ مدار تست C۲۶ ..... ۴۶
۳-۵-۳ مدار تست C۴۳۲ ..... ۴۶
۳-۵-۴ مدار تست C۴۹۹ ..... ۴۷
۳-۵-۵ مدار تست C۸۸۰ ..... ۴۷
فصل چهارم: مقاوم‌سازی انتخابی به کمک مفاهیم مشاهده‌پذیری و قابلیت اطمینان ۴۸
۴-۱ روش پیشنهادی اول برای مقاوم‌سازی انتخابی مدارات ترکیبی در برابر خطای نرم ۴۹
۴-۲ انجام شبیه‌سازی، مقایسه و انتخاب روش مناسب برای مقاوم‌سازی گره‌های انتخاب شده ۵۱
۴-۳ روش پیشنهادی دوم برای مقاوم‌سازی و بهبود پارامتر PDP توسط قابلیت اطمینان ۵۶
۴-۴ شبیه‌سازی تغییرات فرآیند ۵۸
فصل پنجم: نتیجه‌گیری و پیشنهاد برای ادامه کار ۵۹
۵-۱ خلاصه و نتیجه‌گیری ۶۰
۵-۲ پیشنهاد برای ادامه کار ۶۲
مراجع ۶۳

فهرست شکل‌ها

شکل ۱-۱ برخورد نوترون پرانرژی با زیرلایه سیلیکن و تولید زوج‌های الکترون- حفره..... ۳

شکل ۱-۲ یک مدار ترکیبی با N ورودی و M خروجی..... ۵

شکل ۱-۳ رفتار زمانی یک سلول حافظه در شرایط ایده‌آل و تحت SEU..... ۶

شکل ۱-۴ رفتار مدار در شرایط ایده‌آل و تحت SET. ۷

شکل ۱-۵ تضعیف یک پالس SET توسط اثر پوشش الکتریکی..... ۸

شکل ۱-۶ حذف پالس SET توسط اثر پوشش منطقی گیت AND..... ۸

شکل ۱-۷ انتشار پالس SET و حالت‌های متفاوت رسیدن پالس به فلیپ‌فلاپ..... ۹

شکل ۱-۸ مدار C-CREST برای تشخیص و اندازه‌گیری خطای نرم..... ۱۰

شکل ۱-۹ نرخ وقوع خطای نرم بر حسب فرکانس برای مدارات ترتیبی و ترکیبی..... ۱۰

شکل ۲-۱ تکنیک SOI برای کاهش خطای نرم در ادوات میکروالکترونیک..... ۱۶

شکل ۲-۲ شماتیک روش TMR..... ۱۷

شکل ۲-۳ روش DMR برای مقابله با خطای نرم در مدار ترکیبی..... ۱۸

شکل ۲-۴ مدار عنصر C..... ۱۹

شکل ۲-۵ روش شیفت زمانی برای از بین بردن خطای نرم در مدار ترکیبی..... ۱۹

شکل ۲-۶ روش افزونگی زمانی برای حذف خطای نرم در مدارات ترکیبی..... ۱۹

شکل ۲-۷ شکل موج اصلی و تاخیر یافته و خروجی این دو گیت..... ۲۰

شکل ۲-۸ حذف خطای نرم با استفاده از روش افزونگی زمانی..... ۲۱

شکل ۲-۹ سلول RADJAM پیوست شده برای حذف خطای نرم به خروجی یک سلول معکوس‌کننده..... ۲۱

شکل ۲-۱۰ فیلتر TTF برای حذف خطای نرم..... ۲۳

شکل ۲-۱۱ استفاده از آشکارساز همزمان خطا برای حذف خطای نرم..... ۲۳

شکل ۲-۱۲ استفاده از تکنیک کلمپ برای حذف خطای نرم..... ۲۳

شکل ۲-۱۳ مدار منطقی سه طبقه با اعمال ترانزیستور عبوری..... ۲۴

شکل ۲-۱۴ حذف خطای نرم به کمک اشمیت تریگر و ترانزیستور عبوری..... ۲۵

شکل ۲-۱۵ اثر هیسترزیس در اشمیت تریگر..... ۲۶

شکل ۳-۱ پالس جریان نمایی برای مدل کردن خطای نرم اعمال شده در گره..... ۳۲

شکل ۳-۲ مدل یک گلیچ مثبت و منفی..... ۳۲

شکل ۳-۳ مدار C۱۷ از مجموعه مدارات ۸۵ ISCAS..... ۳۴

شکل ۳-۴ شکل موج گره خروجی G۲۲ از مدار C۱۷ در حالت عادی..... ۳۴

شکل ۳-۵ شکل موج گره خروجی G۲۲ پس از اعمال منبع جریان به منظور مدل کردن خطای نرم..... ۳۴

شکل ۳-۶ احتمال وقوع هر یک از حالات منطقی برای گیت‌های مختلف..... ۳۵

شکل ۳-۷ الگوریتم محاسبه احتمال سیگنال برای گره‌های مختلف یک مدار..... ۳۶

شکل ۳-۸ محاسبه احتمال سیگنال برای گره‌های مختلف مدار C۱۷..... ۳۶

شکل ۳-۹ مقدار احتمال سیگنال برای ورودی‌های گیت‌های مختلف..... ۳۸

شکل ۳-۱۰ الگوریتم محاسبه مشاهده‌پذیری برای گره‌های یک مدار..... ۳۹

شکل ۳-۱۱ محاسبه مشاهده‌پذیری برای گره‌های مختلف مدار C۱۷..... ۴۰

شکل ۳-۱۲ الگوریتم محاسبه قابلیت اطمینان برای یک مدار..... ۴۳

شکل ۴-۱ الگوریتم روش پیشنهادی اول برای مقاوم‌سازی انتخابی مدار ترکیبی..... ۵۰

شکل ۴-۲ مقایسه مقدار بار بحرانی هر مدار تست برای روش‌های انتخابی مختلف..... ۵۴

شکل ۴-۳ مقایسه تاخیر روش‌های انتخابی مختلف برای هر مدار تست..... ۵۴

شکل ۴-۴ میزان توان مصرفی برای روش‌های انتخابی مختلف برای هر مدار تست..... ۵۵

شکل ۴-۵ مقایسه PDP روش‌های مختلف برای هر مدار..... ۵۵

شکل ۴-۶ الگوریتم روش پیشنهادی دوم برای حذف خطای نرم با در نظر گرفتن قابلیت اطمینان..... ۵۷

شکل ۴-۷ مقایسه مقدار PDP قبل و بعد از اعمال قابلیت اطمینان برای هر مدار..... ۵۸

فهرست جدول‌ها

جدول ۴-۱ ترتیب گره‌های مدارهای تست بر اساس مقدار مشاهده‌پذیری..... ۵۱

جدول ۴-۲ نتایج شبیه‌سازی برای مقدار بار بحرانی هر مدار تست برای حالت عادی و روش پیشنهادی..... ۵۳

جدول ۴-۳ مقدار قابلیت اطمینان برای مدارهای تست..... ۵۷

جدول ۴-۴ مقایسه PDP مدار در حالت عادی و با در نظر گرفتن قابلیت اطمینان..... ۵۷

جدول ۴-۵ بررسی روش پیشنهادی در حضور تغییرات فرآیند..... ۵۸

فهرست علائم اختصاری

SEE : اثر تک رخدادی

SER : نرخ خطای نرم

SEU : آشفتگی تک رخدادی

SET : گذار تک رخدادی

$Q_{critical}$: بار بحرانی

t_g : تاخیر گیت

Vss, Vdd: ولتاژ تغذیه

V_{tn} : ولتاژ آستانه ترانزیستور NMOS

V_{tp} : ولتاژ آستانه ترانزیستور PMOS

V_{th+} : ولتاژ آستانه بالای اشمیت تریگر

V_{th-} : ولتاژ آستانه پایین اشمیت تریگر

POF : احتمال وقوع خطا

$E_{i(j)}$: عدد خطای ترانزیستور i به ازای بردار ورودی گیت j

k : تعداد کل بردارهای ورودی شبیه‌سازی شده

$P_{i(t,j)}$: احتمال برخورد نوترون یا شار کل نوترون برای ترانزیستور t از گیت i و به ازای بردار ورودی گیت j

$Ad_{i(t)}$: مساحت ناحیه فعال ترانزیستور t از گیت i

$W_{i(t)}$: تابع وزن

R_x : قابلیت اطمینان سیگنال x

$P()$: تابع احتمال

q_i : قابلیت اطمینان بلوک i

Q : بار توزیع شده

$Q_{collected}$: مقدار بار جمع شده

N_{flux} : شدت شار نوترونی

CS : سطح مقطع گره

Q_s : بازده جمع‌آوری بار

W : عرض ترانزیستور

L : طول ترانزیستور

k_n' : ترارسانایی ترانزیستور NMOS

k_p' : ترارسانایی ترانزیستور PMOS

PDP : حاصل‌ضرب توان در تاخیر

چکیده

طراحی بهینه به منظور کاهش خطای نرم در مدارات ترکیبی

هومن سالمی شکوری

با کاهش مقیاس تکنولوژی، افزایش پیچیدگی سیستم‌ها و کاهش سطوح ولتاژ، خطای نرم در مدارات مجتمع به صورت وسیعی افزایش یافته است و این امر موجب بوجود آمدن اختلال در عملکرد سیستم‌ها گشته است. مورد مهمی که در سال‌های اخیر مورد توجه قرار گرفته است، بحث خطای نرم در مدارات ترکیبی است که نشان داده می‌شود با افزایش فرکانس کار مدارها، اهمیتی بالاتر از خطای نرم در مدارات ترتیبی پیدا می‌کند. لذا بحث طراحی مدارهای ترکیبی به گونه‌ای که بتوانند در برابر خطای نرم مقاومت مناسبی داشته باشند، یکی از مباحث مهم و نوین در زمینه مقاوم‌سازی و کاهش خطای نرم بشمار می‌رود. هدف از اجرای این پایان‌نامه ارائه یک روش بهینه برای مقاوم‌سازی مدارات ترکیبی است.

در این پایان‌نامه ابتدا به بررسی مفاهیم اولیه خطای نرم پرداخته و در رابطه با خطای نرم در مدارات ترکیبی صحبت خواهیم نمود. در ادامه شیوه‌های مختلف مقاوم‌سازی مدارات ترکیبی در برابر خطای نرم را مورد بررسی قرار خواهیم داد. به معیارهای مهم در حوزه مقاوم‌سازی در برابر خطای نرم اشاره نموده و نحوه محاسبه آنها را توضیح می‌دهیم. سپس به ارائه روش پیشنهادی می‌پردازیم.

در این روش نقاطی که در برابر خطای نرم آسیب‌پذیری بیشتری دارند، با استفاده از معیار مشاهده‌پذیری منطقی بدست آمدند. مدارات در نظر گرفته شده برای آزمون، پنج مدار C۱۷، C۲۶، C۴۳۲، C۴۹۹ و C۸۸۰ از مجموعه مدارات ISCAS۸۵ می‌باشند که در تکنولوژی ۴۵ نانومتر شبیه‌سازی شدند. برای یافتن روش مقاوم‌سازی مناسب برای اعمال به گره‌های انتخابی، سه روش رایج در مقاوم‌سازی گره‌های مدار ترکیبی که شامل افزونگی زمانی، اشمیت تریگر و فیدبک ترانزیستوری می‌باشند، بر روی گره‌های انتخابی از مدارهای آزمون استاندارد اعمال شدند.

نتایج حاصل از بررسی روش‌های مختلف نشان داد که مدار مقاوم شده با اشمیت تریگر دارای بیشترین مقدار بار بحرانی و کمترین فاکتور توان-تاخیر است. میزان متوسط افزایش بار بحرانی برای مدارهای آزمون در این روش ۲۰٪ بدست آمد؛ درحالیکه این مقدار برای فیدبک ترانزیستوری برابر با ۱۲٪ و برای افزونگی زمانی ۹٪ است. همچنین کاهش فاکتور توان-تاخیر بطور متوسط برای روش اشمیت تریگر برابر ۱۶٪ بدست آمد که این مقدار برای فیدبک ترانزیستوری ۱۳٪ و افزونگی زمانی ۹٪ می‌باشد. در مرحله بعد برای بهینه‌سازی مدار از نظر فاکتور توان-تاخیر، درصد مناسبی از گره‌های مدار بر اساس میزان قابلیت اطمینان مدار تعیین شد و برای مقاوم‌سازی مورد استفاده قرار گرفت. با اصلاح روش اولیه با در نظر گرفتن قابلیت اطمینان مشاهده شد که برای مدارات آزمون مذکور بسته به تعداد گره‌ها در حدود ۲۰٪ تا ۱۰۰٪ بهبود در پارامتر توان-تاخیر داریم.

کلمات کلیدی: بار بحرانی، خطای نرم، مدار ترکیبی، مقاوم‌سازی مدار.

Abstract

Optimum design for soft error reduction in combinational circuits

Hooman Salemi Shakoori

Due to the reduction in technology scaling, supply voltage and increment of system complexities, soft errors in integerated circuits have dramatically increased. Radiation induced soft errors in combinational logics are recently expected to become as important as soft errors in memories and it is predicted that in high operating frequency, combinational logic errors would dominate over sequential logic errors. Then, design of combinational circuits for having good hardening against soft error, is a novel and important issue in reduction of soft error. In this thesis, we introduce an optimum method for hardening of combinatiobal circuits.

In this thesis, first we provide some basic concepts of soft error and we will talk about soft error in combinational circuits. Next, we have an overview on different methods of combinational logics hardening against soft errors. We will explain some important criterions of soft error hardening and calculating them. Then we present our proposed method.

In this method, first of all we find the most sensitive nodes of the circuit by observability computations. Next for optimizing power-delay product and area, reliability of the circuit is computed and the number of the necessary nodes for hardening will be identified. Then, we carry out three different hardening methods including time redundancy, Schmitt trigger and transistor feedback on standard test circuits as our vehicles. Simulation results show that a hardened circuit with Schmitt trigger has the most critical charge and the least power-delay product and is introduced as the best method.

Key words: Combinational circuit, critical charge, circuit resilience, soft error.

فصل اول

مقدمه

یکی از مهم‌ترین تهدیدات در عرصه قابلیت اطمینان سیستم‌های الکترونیکی در تکنولوژی‌های نوین، بحث خطای نرم[1] است. در این فصل به معرفی خطای نرم در مدارات الکترونیکی و بیان اهمیت آن خواهیم پرداخت. همچنین اشاره‌ای به منابع ایجادکننده خطای نرم خواهیم داشت. سپس به تشریح خطای نرم در مدارات ترکیبی[2] پرداخته و آن را با مبحث خطای نرم در مدارات ترتیبی[3] مقایسه خواهیم نمود. در ادامه در رابطه با معیارهای محاسبه خطای نرم صحبت خواهیم کرد و در انتها نیز به بررسی فصل‌بندی پایان نامه می‌پردازیم.

۱-۱ معرفی موضوع

با پیشرفت تکنولوژی ساخت مدارات مجتمع، مسئله قابلیت اطمینان و مقاوم بودن سیستم‌های الکترونیکی در برابر خطاهای مختلف به نگرانی اصلی فعالان این حوزه تبدیل شده است. پائین آمدن مقیاس ترانزیستورها با کاهش اندازه هندسی آن‌ها، کاسته شدن از ولتاژ و ظرفیت آن‌ها که منجر به کاهش جریان تغذیه مدارها شده و افزایش فرکانس کاری موجب شده است که مدارات مجتمع در برابر خطاها آسیب‌پذیرتر شوند. این امر برای خطاهایی که توسط نویز الکتریکی و اثرات ناشی از تشعشع ایجاد می‌گردند، از حساسیت بالاتری برخوردار است و سبب شده است که حاشیه نویز و مقاومت این سیستم‌ها در برابر منابع داخلی و خارجی خطا بطور چشم‌گیری کاهش یابد [۱].

یک خطا، یک رفتار منطقی غیرصحیح است که در نتیجه برخی از ایرادات، نقص‌ها یا شکاف‌های فیزیکی در یک سیستم ایجاد می‌شود. خطاها با توجه به منبع یا زمان به دسته‌های دائم، گذرا یا متناوب تقسیم می‌شوند [۲]. کاهش مقیاس تکنولوژی موجب شده است که خطاهای دائم بیشتری در قطعات و اتصالات و خطاهای موقت بیشتری مانند خطا به علت وقوع یک رخداد گذرا در ذخیره مقادیر منطقی پدید آیند [۳].

اثرات ناشی از تشعشع توسط ذرات باردار می‌توانند نتایج مختلفی بر مدارات نیمه‌هادی داشته باشند. همچنان که ترانزیستورها با کاهش مقیاس تکنولوژی کوچک‌تر می‌شوند، نسبت به اشکالات و خطاهای موقت بوجود آمده توسط برخورد ذرات باردار ناشی از محیط‌های پیرامون حساس‌تر می‌شوند. این اشکالات بوجود آمده را اثر تک‌رخدادی[4] (SEE) می‌نامیم و جزو بزرگ‌ترین نگرانی‌ها پیرامون عملکرد مدارهای الکترونیکی با اندازه زیر مایکرون[5] (DSM) هستند. اثر تک‌رخدادی می‌تواند ایجاد خطای نرم کند که در آن داده‌ای قطع شود یا از بین برود؛ اما درصورتی‌که مدار بازنشانی شود، می‌تواند بدرستی کار کند. خطاهای نرم، نتیجه برخورد ذراتی هستند که عمدتا شامل موارد زیر می‌باشند: ۱) ذرات آلفای ناشی از تجزیه ایزوتوپ‌های

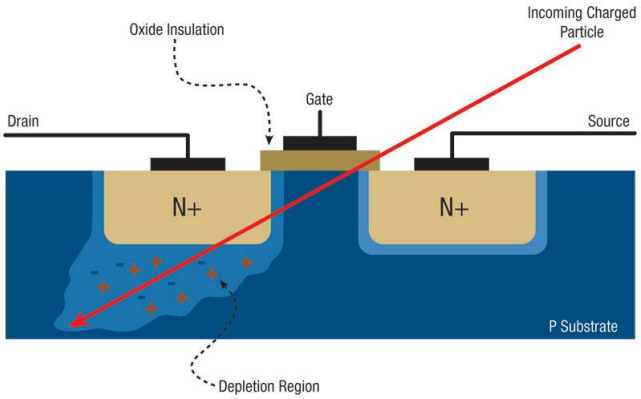
[1] Soft error
[2] Combinational circuits
[3] Sequential circuits
[4] Single Event Effect
[5] Deep Sub Micron

ناپایدار موجود در بسته‌بندی قطعات، ۲) اشعه‌های کیهانی که پروتون‌ها و نوترون‌های پرانرژی تولید می‌کنند و ۳) نوترون‌های حرارتی [۴].

ذرات آلفا به عنوان یک منبع اصلی ایجاد خطای نرم در الکترونیک، اولین بار در سال ۱۹۷۰ در حافظه‌های DRAM مشاهده شدند [۵]. یک ذره آلفا شامل یک هسته بوده که توسط دو نوترون و دو پروتون شکل گرفته است و با فروپاشی هسته‌ای ایزوتوپ‌های ناپایدار رادیواکتیویته مانند اورانیوم۲۳۸ یا توریوم۲۳۲ در بسته‌بندی‌های مدارات مجتمع و سرب۲۱۰ در قطعات لحیم تشعشع پیدا می‌کنند. ذرات آلفا غالبا در سطوح انرژی کمتر از ۱۰MeV تولید می‌گردند و از طریق یونیزاسیون مستقیم و غیرمستقیم ایجاد بار می‌نمایند [۶].

اشعه‌های کیهانی نیز یکی از مهم‌ترین منابع خطای نرم هستند. هنگامی‌که اشعه‌های کیهانی به اتمسفر زمین می‌رسند، زنجیره‌ای از واکنش‌ها با اتمسفر پدید می‌آورند که نوترون‌های پر انرژی تولید می‌کند [۷]. نوترون‌های پر انرژی یکی از منابع عمده خطای نرم در الکترونیک بشمار می‌روند؛ چرا که تراشه‌های الکترونیکی به خوبی نمی‌توانند با استفاده از ابزارهای مرسوم در برابر شار نوترون‌های کیهانی محافظت شوند. میزان شار نوترون به ارتفاع بستگی دارد و به ازای هر ده هزار فوت ارتفاع از سطح دریا، شار نوترون‌ها ده برابر می‌شود. از آنجا که نوترون‌ها دارای بار نیستند، تنها از طریق یونیزاسیون غیرمستقیم توسط واکنش با هسته سیلیکن یا سایر عناصر موجود در تراشه، بار تولید می‌کنند [۶]. شکل ۱-۱ برخورد یک نوترون پرانرژی با زیرلایه سیلیکن، ایجاد زوج‌های الکترون- حفره و بدنبال آن ایجاد خطای نرم را نشان می‌دهد.

ذرات ثانویه ناشی از برهم کنش نوترون‌های کم‌انرژی و برن موجود در ادوات نیمه‌هادی، سومین منبع عمده خطای نرم است. این نوترون‌ها انرژی کمتری از ۱/۵MeV دارند و اصطلاحا به آن‌ها نوترون‌های حرارتی نیز گفته می‌شود. برن بطور گسترده بعنوان افزودنی در نیمه‌هادی نوع p بکار برده می‌شود. همچنین از آن در تولید لایه‌های دی‌الکتریک BPSG نیز استفاده می‌شود [۲].



شکل ۱-۱ برخورد نوترون پرانرژی با زیرلایه سیلیکن و تولید زوج‌های الکترون- حفره [۸].

اثر تک‌رخدادی می‌تواند منجر به خطای سخت[1] نیز گردد که در آن، مدار بطور دائمی آسیب می‌بیند. خطاهای دائمی یا سخت زمانی بوجود می‌آیند که یک نقص فیزیکی در تراشه بوجود آمده باشد. این نقص‌ها ممکن است در نتیجه فرآیند ساخت باشند یا اینکه در اثر شکست لایه اکسید یا عوامل دیگر در طول عمر تراشه ایجاد شوند [۹].

افزایش درخواست‌ها برای تراکم بیشتر و توان کمتر، منجر به کاهش بیش از پیش اندازه ترانزیستورها و کاهش بیشتر ولتاژ گره‌ها شده است. نشان داده می‌شود که اشکالات بوجود آمده در نتیجه خطای نرم، درصورت عدم تصحیح می‌توانند از مجموع تمامی مکانیزم‌های کاهش قابلیت اطمینان بیشتر باشند. به میزان خطای نرم بوقوع پیوسته در طی یک مدت زمان خاص، نرخ خطای نرم[2] (SER) گفته می‌شود. طبق بررسی‌های بعمل آمده، میزان SER در یک تراشه بین سال‌های ۱۹۹۲ تا ۲۰۱۱ حدوداً ۹ برابر شده است [۱۰].

خطای نرم در سیستم‌های با عملکرد و کیفیت بالا از جمله سیستم‌های با کاربری نظامی، فضایی، پزشکی، حمل و نقل هوایی و سیستم‌های شبکه مسئله‌ای بسیار بحرانی بشمار می‌آید. لذا از شواهد و قرائن چنین برمی‌آید که با روند رو به کاهش مقیاس تکنولوژی ساخت مدارات مجتمع، خطای نرم افزایش پیدا کند و این موضوع تهدیدی برای سیستم‌های مذکور است. پس نیازمند روش‌های مناسب برای کاهش خطای نرم و مقاوم‌سازی مدارات و سیستم‌های الکترونیکی در برابر آن خواهیم بود.

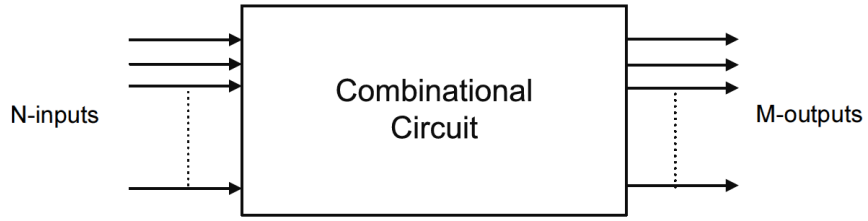
گفتیم که با کاهش مقیاس تکنولوژی، افزایش پیچیدگی سیستم‌ها و کاهش سطوح ولتاژ، خطای نرم بطور وسیعی در مدارات مجتمع افزایش یافته و این امر موجب اختلال در عملکرد سیستم‌ها گشته است. مورد مهمی که در سال‌های اخیر مورد توجه قرار گرفته، بحث خطای نرم در مدارات ترکیبی است که نشان داده می‌شود با افزایش فرکانس کار مدارها، اهمیتی به مراتب بالاتر از خطای نرم در مدارات ترتیبی پیدا می‌کند. لذا بحث طراحی مدارات ترکیبی به گونه‌ای که مقاومت مناسبی در برابر خطای نرم داشته باشند، یکی از مباحث نوین و مهم در زمینه مقاوم‌سازی و کاهش خطای نرم بشمار می‌رود. هدف از اجرای این پایان نامه، ارائه یک روش بهینه برای مقاوم‌سازی مدارات ترکیبی است.

۱-۲ اهمیت خطای نرم در مدارات ترکیبی

۱-۲-۱ مدار ترکیبی

یک مدار دیجیتال را ترکیبی می‌گوئیم اگر وضعیت خروجی حالت پایدار آن به صورت کامل توسط ورودی‌های فعلی آن تعیین گردد (شکل ۱-۲). یک مدار ترکیبی شامل متغیرهای ورودی، گیت‌های منطقی و متغیرهای خروجی است. گیت‌های منطقی، سیگنال‌ها را از ورودی‌ها گرفته و سیگنال‌هایی را به خروجی می‌فرستند. این فرآیند، اطلاعات باینری را از داده‌های ورودی داده شده به داده‌های خروجی مورد نیاز تبدیل می‌کند [۲].

[1] Hard error
[2] Soft Error Rate



شکل ۱-۲ یک مدار ترکیبی با N ورودی و M خروجی

مدارهای ترکیبی بطور وسیعی در طراحی سیستم‌های دیجیتالی بکار می‌روند. بیشتر سیستم‌های دیجیتالی از بلوک‌های ترکیبی استاندارد مانند جمع‌کننده‌ها، ضرب‌کننده‌ها، دیکدرها و... تشکیل شده‌اند. این مدارها توابع دیجیتالی خاصی را که غالبا در طراحی سیستم‌های دیجیتالی مورد نیاز است انجام می‌دهند. برخی از مدارات ترکیبی مانند دیکدرها و مالتی‌پلکسرها می‌توانند برای کنترل سایر قطعات مانند مدارهای دیکدر، بافرهای سه حالته، مدارهای رجیستر، مدارهای باس و عمل خواندن و نوشتن حافظه‌ها بکار روند. خود دیکدر و سایر مدارهای ترکیبی در سیستم موبایل، شبکه‌های بی‌سیم و سایر سیستم‌های مخابراتی و ارتباطی بکار می‌روند [۲].

۱-۲-۲ خطای نرم در مدارات ترکیبی

اثر تک‌رخدادی با توجه به مکان گره مورد اصابت در مدار مجتمع به دو صورت نمایان می‌گردد:

۱) وقوع آشفتگی مستقیم در حافظه‌ها که موجب ایجاد تغییر در اطلاعات آن‌ها بصورت پرش بیت می‌گردد. به این نوع از خطای نرم، آشفتگی تک‌رخدادی[1] (SEU) گفته می‌شود و در حافظه‌ها مشهود است [۱۱].

۲) نوسانات ولتاژ گذرا در گره‌های مدار که تحت عنوان گذار تک رخدادی[2] (SET) شناخته می‌شوند. SETها روی مدارات ترکیبی بوجود می‌آیند و این قابلیت را دارند که در مدار ترکیبی، منتشر شده و به خروجی‌ها برسند و در آنجا توسط عناصر ذخیره‌ساز ضبط گردند. به این نوع از خطای نرم، SEU غیرمستقیم نیز گفته می‌شود [۱۲].

درصورتیکه برخورد یک ذره، منجر به تجمع بار در یک گره مداری شود، ولتاژ گره مدار می‌تواند به صورت لحظه‌ای تغییر کند. حال چنانچه دامنه این ولتاژ به اندازه کافی بزرگ باشد، یک SET بوقوع می‌پیوندد. مقدار بار معادل مورد نیاز که به این منظور باید جمع شود را بار بحرانی[3] می‌نامیم و معمولا بصورت $Q_{critical}$ نشان می‌دهیم [۱۳]. چنانچه یک SET بتواند در مدار ترکیبی دیجیتال منتشر شود و باقی بماند، می‌تواند موجب وقوع خطای نرم شود.

یک SEU مستقیم، بصورت یک معکوس شدن منطقی مستقیم بر روی بیت ذخیره شده در عنصر ترتیبی مدل می‌گردد. برای نشان دادن این خطا در سطح منطقی، ابتدا رفتار زمانی ایده‌آل یک سلول حافظه مانند یک فلیپ‌فلاپ تریگر شونده با لبه

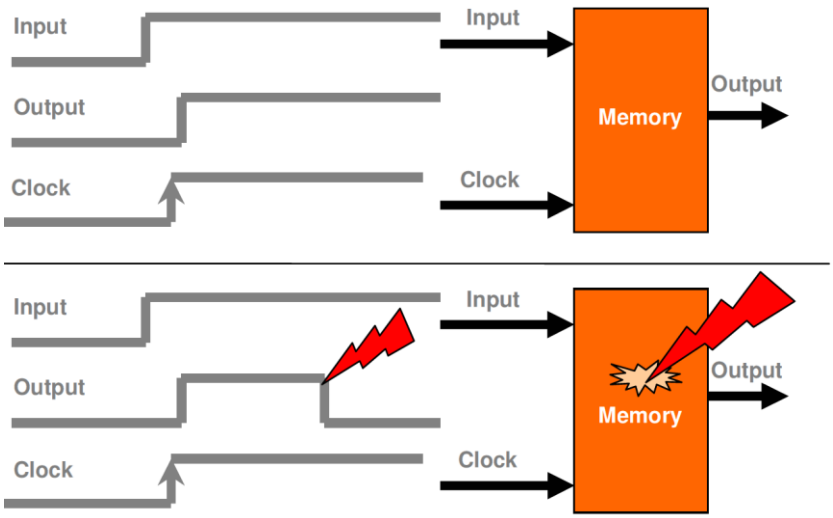
[1] Single Event Upset
[2] Single Event Transient
[3] Critical charge

مثبت در شکل ۱-۳ (الف) نشان داده شده است. همان‌طور که در شکل مذکور ملاحظه می‌شود، ورودی حافظه در یک لحظه قبل از وقوع پالس ساعت از '۰' به '۱' تغییر کرده است. در این لحظه باید زمان راه‌اندازی را مدنظر داشت. چنین تغییری باید به اندازه یک زمان راه‌اندازی قبل از لبه پالس ساعت بوقوع بپیوندد. بطور مشابه، ورودی حافظه باید در آن مقدار به اندازه یک زمان نگهداری بعد از لبه پالس ساعت در مقدار خود باقی بماند (یعنی '۱'). پس حافظه بطور منطقی از '۰' به '۱' تغییر می‌کند و این مقدار '۱' در حافظه باقی می‌ماند.

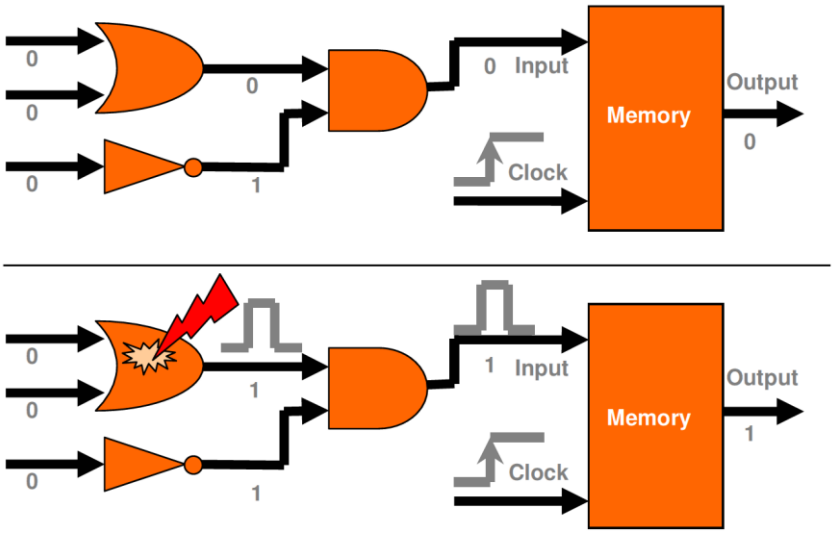
حال شکل ۱-۳ (ب) رفتار زمانی حافظه را تحت SEU مستقیم نشان می‌دهد. همان‌طور که مشاهده می‌شود، در این شکل یک SEU مستقیم موجب معکوس شدن داده از '۱' به '۰' می‌شود (یعنی یک خطای نرم) و این اتفاق بدون آن‌که هیچ ورودی یا پالس ساعتی در کار باشد رخ می‌دهد. خروجی حافظه تا زمان تغییر مجدد در مقدار '۰' باقی می‌ماند.

یک SEU غیرمستقیم به علت یک SET به صورت یک پالس مستطیلی که روی یک مدار بوقوع می‌پیوندد و به سمت عناصر ترتیبی انتشار پیدا می‌کند، مدل می‌شود. برای نمایش این خطا در سطح منطقی، رفتار ایده آل یک عنصر ترتیبی (فلیپ‌فلاپ) و یک مدار ترکیبی به وسیله گیت‌های منطقی در شکل ۱-۴ (الف) آورده شده است. همان‌طور که در شکل مذکور ملاحظه می‌گردد، مدار ترکیبی مقدار صفر را در سه ورودی خود به درستی تحت پردازش قرار می‌دهد. همچنین عنصر ترتیبی، مقدار صفر بدست آمده از خروجی مدار ترکیبی را به درستی ذخیره می‌نماید.

در شکل ۱-۴ (ب) یک SET بر روی یکی از گیت‌های مدار ترکیبی بوقوع پیوسته است.SET موفق شده که به سمت خروجی مدار ترکیبی انتشار پیدا کرده و آن را موقتا به '۱' تغییر می‌دهد. لذا مقدار نامطلوب '۱' بعنوان یک SEU غیرمستقیم و یک خطای نرم ذخیره شده است.



شکل ۱-۳ در قسمت الف (بالا) رفتار زمانی ایده‌آل یک سلول حافظه و در قسمت ب (پایین) رفتار زمانی حافظه تحت SEU مستقیم دیده می‌شود [۱۲].



شکل ۱-۴ قسمت الف (بالا) رفتار ایده‌آل و قسمت ب (پایین) رفتار مدار تحت SET را نشان می‌دهد [۱۲].

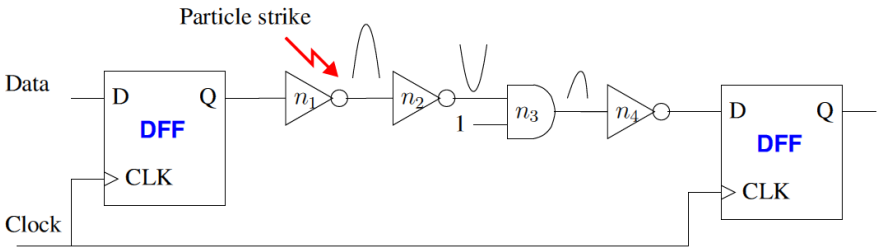
طبیعت زمانی یک پالس SET تولید شده به انرژی ذره برخوردی، تکنولوژی مورد استفاده و توپولوژی طراحی مدار بستگی دارد. در [۱۴] مدت زمان یک پالس SET نوعی تا چندصد پیکوثانیه در نظر گرفته شده است. غالبا برای تکنولوژی‌های کمتر از ۱۰۰nm حدود عرض پالس تا ۲۰۰ps به عنوان عرض پالس معمول درنظر گرفته می‌شود. از آنجا که فرکانس پالس ساعت بطور چشم‌گیری افزایش پیدا کرده است، احتمال لچ شدن یک SET نیز افزایش یافته است. در واقع هرچه تعداد لبه‌های پالس بیشتر باشد، احتمال آنکه یک SET با لبه لچ شود، افزایش پیدا می‌کند.

مشخصه بحرانی دیگر یک پالس SET زمانی است که در یک گره داخلی مدار ترکیبی با عرض خاص رخ می‌دهد. پس از اینکه این پالس از چند مسیر مدار ترکیبی انتشار پیدا کرد، در خروجی مدار ترکیبی (یعنی ورودی عنصر ترتیبی) می‌تواند عرض بیشتری داشته باشد. این رخداد موجب می‌گردد که پیش‌بینی عرض ماکزیمم برای پیاده‌سازی مقاوم دربرابر خطا، کاری دشوار باشد. این پدیده به علت اتصال خروجی‌های گیت‌های با تأخیر مختلف رخ می‌دهد [۱۵].

پالس SET بوجود آمده، چنانچه توسط یکی از سه خاصیت پوششی زیر از بین نرود، در خروجی مدار ترکیبی به یک SEU تبدیل می‌گردد. این سه عامل به شرح زیر هستند [۱۶]:

۱) پوشش الکتریکی[1]: اگر پالس SET قبل از رسیدن به خروجی مدار به اندازه کافی تضعیف شود، ایجاد خطای نرم نخواهد کرد. تضعیف پالس به علت خاصیت الکتریکی گیت صورت می‌گیرد و از آن تحت عنوان پوشش الکتریکی یاد می‌شود. شکل ۱-۵ تضعیف یک پالس ایجاد شده توسط ذره را نشان می‌دهد. پالس در خروجی گیت n۱ تولید شده است. این پالس از طریق گیت‌های n۲ و n۳ منتشر شده و قبل از رسیدن به ورودی فلیپ‌فلاپ از بین می‌رود. در حالت کلی می‌توان گفت پالس با عرض بیشتر از تأخیر گیت در خروجی گیت تضعیف خواهد گشت.

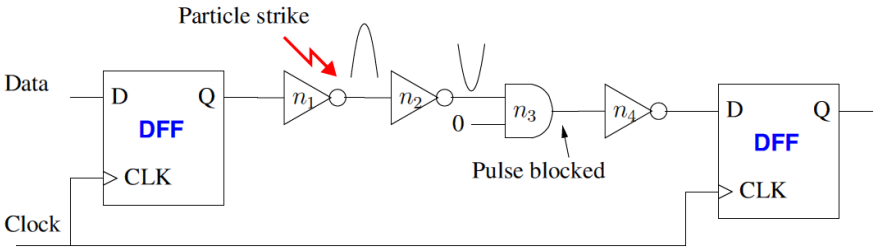
[1] Electrical masking



شکل ۱-۵ تضعیف یک پالس SET توسط اثر پوشش الکتریکی [۱۶]

۲) پوشش منطقی[1]: در این پدیده پالس SET منتشر شده، توسط حالت ورودی‌های مدار بلوکه می‌شود. شکل ۱-۶ پوشش منطقی پالس را نشان می‌دهد. در این شکل دیده می‌شود که ورودی n۳ از گیت AND (که در مسیر انتشار پالس قرار ندارد) دارای مقدار منطقی '۰' است. این مقدار را مقدار کنترل گیت نیز می‌نامند؛ چراکه انتشار سیگنال از طریق گیت را کنترل می‌کند. در مورد فوق، گیت n۳ با ورودی گفته شده از انتشار پالس سیگنال جلوگیری می‌کند.

۳) پوشش زمانی[2]: ممکن است پالس SET منتشر شده، بدون آن که تضعیف قابل توجهی داشته باشد و یا اینکه دچار پوشش منطقی شود به خروجی برسد، اما ایجاد خطا نکند. این امر زمانی اتفاق می‌افتد که پالس مذکور زودتر یا دیرتر از پنجره لچ داده[3] برسد. شکل ۱-۷ (الف) انتشار پالس از میان گیت‌ها و رسیدن آن به ورودی فلیپ‌فلاپ را نشان می‌دهد. در قسمت (ب) از این شکل، دو حالت مختلف رسیدن پالس SET به ورودی فلیپ‌فلاپ دیده می‌شود. همان‌طور که در این شکل نیز ملاحظه می‌گردد، این پالس تنها زمانی لچ می‌شود که حین لبه لچ‌کننده پالس ساعت، یعنی پنجره لچ داده برسد. حساسیت گره به پوشش‌های الکتریکی، منطقی و زمانی پالس تولید شده در گره مورد نظر بستگی دارد.



شکل ۱-۶ حذف پالس SET توسط اثر پوشش منطقی گیت AND [۱۶]

[1] Logical masking
[2] Timing masking
[3] Data latch window