به نام خدا

پایان‌نامه کارشناسی ارشد برق گرایش الکترونیک

طراحی تمام جمع کننده هیبرید با توان مصرفی پایین و سرعت بالا

سمیرا رستمی

استاد راهنما:

دکتر عباس گلمکانی

بهمن ۹۲

چکیده

در این پایان نامه پارامترهای مهم در مدارات دیجیتال توضیح داده شده و چند سلول جمع کننده متداول مورد بررسی قرار گرفته است. ایده های مختلفی که در پیاده سازی مدارات جمع کننده وجود داشته، شبیه سازی شده است. در پیاده سازی مدار سلول جمع کننده، در بعضی از مقالات طبقات ورودی و در بعضی دیگر طبقات خروجی متفاوت است. در مقالات متفاوت از منطق های CMOS مکمل، نسبتی، ترانزیستور عبوری مکمل، گیت های انتقال و تابع اکثریت استفاده شده است.

همه مدارات جمع کننده پایان نامه را توسط نرم افزار Hspise در تکنولوژی TSMC 0.18 µm CMOS و 45nm Fin -FET شبیه سازی کرده و به نتایج جدیدی رسیده ایم و مدارات را با هم مقایسه کرده ایم. ما طبقه ورودی($H=A \oplus B$) را تغییر داده، از منطق ترانزیستور عبوری و تکنیک GDI استفاده کرده و شبیه سازی کرده ایم و به توان مصرفی، زمان تاخیر و در نتیجه PDP بهتری رسیده ایم. در سایر جمع کننده ها طبقه خروجی C_{out} را تغییر داده و بعد از شبیه سازی به نتایج بهتری رسیده ایم.

کلمات کلیدی: تمام جمع کننده، هیبرید، Fin-FET، توان مصرفی، تأخیر، CMOS.

فهرست مطالب

فصل اول: مقدمه ۱

مقدمه ۲

فصل دوم: معرفی پارامترهای مهم در مدارات دیجیتال ٤

۲-۱ تاخیر انتشار ۵

۲-۲ توان مصرفی مدار ۵

۲-۳ معادلات منطقی برای جمع کننده ۷

۲-٤ پیاده سازی خازن با MOSCAP ۸

فصل سوم: بررسی انواع جمع کننده های متداول ۹

۳-۱ تکنیک GDI ۱۰

۳-۱-۱ گیت های XOR و XNOR مبتنی بر GDI ۱۱

۳-۲ تابع اکثریت ۱۲

۳-۳ تکنیک دریچه انتقالی ۱۸

۳-٤ بایاس در ناحیه زیر آستانه ۱۹

۳-۵ توپولوژی های پرکاربرد جمع کننده ۲۰

۳-۵-۱ CMOS مکمل ۲۰

۳-۵-۲ منطق ترانزیستور عبوری مکمل ۲۳

۳-۵-۳ جمع کننده با منطق عبوری هیبرید CMOS ایستا (HPSC) ۲۵

۳-۵-٤ سلول TFA ۲۷

۳-۵-۵ جمع کننده چهارده ترانزیستوری (14-TR) ۲۹

فصل چهارم: ارائه جمع کننده های پیشنهادی ۳۱

٤-۱ تمام جمع کننده هیبرید (Hybrid) ۳۲

٤-۲ تمام جمع کننده GPH ۳۵

٤-۳ تمام جمع کننده ۱۰ ترانزیستوری (10-TR) ۳۷

٤-٤ تمام جمع کننده ۱۳ ترانزیستوری (13-TR) ٤۱

فصل پنجم: نتیجه گیری و پیشنهادات ٤٤

نتیجه گیری ٤۵

پیشنهادات ۵۰

مراجع ۵۱

فهرست شکل‌ها

شکل ۲-۱ خازن های موجود در MOSCAP [٤] ۸

شکل۳-۱ گیت GDI [٥] ۱۰

شکل۳-۲ الف)گیت XOR با استفاده از GDI [٦] ب)گیت XNOR با استفاده از GDI [٦] ۱۱

شکل۳-۳ تابع اکثریت [۸] ۱۲

شکل۳-٤ تابع غیر اکثریت سه ورودی [۸] ۱۳

شکل۳-٥ جمع کننده بر اساس تابع اکثریت [۸] ۱٤

شکل۳-٦ مدار غیر اکثریت سه ورودی [۸] ۱٤

شکل۳-۷ موج خروجی مدار با تغییر سایز ترانزیستورها [۸] ۱٥

شکل۳-۸ جمع کننده مبنی بر تابع غیر اکثریت با معکوس کننده [۸] ۱٦

شکل۳-۹ مدار بافر [۸] ۱۷

شکل۳-۱۰ جمع کننده مبنی بر تابع غیر اکثریت با مدار بافر [۸] ۱۷

شکل۳-۱۱ جمع کننده مبنی بر تابع غیر اکثریت در عمل [۸] ۱۷

شکل۳-۱۲ جمع کننده مبنی بر تابع غیر اکثریت با معکوس کننده CMOS استاتیک [۸] ۱۷

شکل۳-۱۳ جمع کننده مبنی بر تابع غیر اکثریت [۸] ۱۸

شکل۳-۱٤ دریچه انتقالی [۲] ۱۸

شکل۳-۱٥ ساختار ترانزیستورهای Fin-FET [۱۰] ۱۹

شکل۳-۱٦ دریچه منطقی مکمل [۲] ۲۰

شکل۳-۱۷ جمع کننده C-CMOS [۱و۱۲] ۲۱

شکل۳-۱۸ شبیه سازی جمع کننده C-CMOS در تکنولوژی 0.18µm CMOS ۲۲

شکل۳-۱۹ شبیه سازی جمع کننده C-CMOS در تکنولوژی45nm Fin-FET ۲۲

شکل ۳-۲۰ جمع کننده CPL [۱و۳] ۲۳

شکل ۳-۲۱ شبیه سازی جمع کننده CPL در تکنولوژی 0.18µm CMOS ۲٤

شکل۳-۲۲ شبیه سازی جمع کننده CPL در تکنولوژی45nm Fin-FET ۲٤

شکل ۳-۲۳ شمای کلی جمع کننده بر مبنای XOR و XNOR [٦] ۲٦

شکل ۳-۲٤ سلول TFA [۱۳] ۲۷

شکل۳-۲۵ شبیه سازی جمع کننده TFA در تکنولوژی 0.18µm CMOS ۲۸

شکل۳-۲٦ شبیه سازی جمع کننده TFA در تکنولوژی45nm Fin-FET ۲۸

شکل۳-۲۷ سلول 14-TR [۱٤] ۲۹

شکل۳-۲۸ شبیه سازی جمع کننده 14-TR در تکنولوژی 0.18µm CMOS ۳۰

شکل۳-۲۹ شبیه سازی جمع کننده 14-TR در تکنولوژی45nm Fin-FET ۳۰

شکل٤-۱ ساختار تمام جمع کننده پیشنهادی هیبرید ۳۲

شکل٤-۲ شبیه سازی خروجی sum در تکنولوژی 0.18µm CMOS ۳۳

شکل٤-۳ شبیه سازی خروجی Cout در تکنولوژی 0.18µm CMOS ۳۳

شکل٤-٤ شبیه سازی خروجی sum در تکنولوژی 45nm Fin-FET ۳٤

شکل٤-۵ شبیه سازی خروجی Cout در تکنولوژی 45nm Fin-FET ۳٤

شکل٤-٦ مدار XOR ٣٥
شکل٤-٧ ساختار تمام جمع کننده پیشنهادیGPH ٣٦
شکل٤-٨ شبیه سازی جمع کننده GPH در تکنولوژی 0.18µm CMOS ٣٦
شکل٤-٩ شبیه سازی جمع کننده GPH در تکنولوژی 45nm Fin-FET ٣٧
شکل٤-١٠ ساختار تمام جمع کننده GDI XOR [١٥] ٣٧
شکل٤-١١ شبیه سازی جمع کننده GDI XOR در تکنولوژی 0.18µm CMOS ٣٨
شکل٤-١٢ شبیه سازی جمع کننده GDI XOR در تکنولوژی 45nm Fin-FET ٣٨
شکل٤-١٣ مدار XOR پیشنهادی با منطق GDI ٣٩
شکل٤-١٤ تمام جمع کننده پیشنهادی ١٠ ترانزیستوری (10-TR) ٣٩
شکل٤-١٥ شبیه سازی جمع کننده 10-TR در تکنولوژی 0.18µm CMOS ٤٠
شکل٤-١٦ شبیه سازی جمع کننده 10-TR در تکنولوژی 45nm Fin-FET ٤٠
شکل٤-١٧ فرم کلی تمام جمع کننده متمرکز [٦] ٤١
شکل٤-١٨ ساختار تمام جمع کننده پیشنهادی١٣ ترانزیستوری (13-TR) ٤٢
شکل٤-١٩ شبیه سازی جمع کننده 13-TR در تکنولوژی 0.18µm CMOS ٤٢
شکل٤-٢٠ شبیه سازی کننده 13-TR در تکنولوژی 45nm Fin-FET ٤٣
شکل٥-١ مقایسه توان مصرفی بین توپولوژی های مختلف تمام جمع‌کننده در تکنولوژی 0.18µm CMOS و با ولتاژ تغذیه 1.8V ٤٦

شکل۵-۲ مقایسه تاخیر بین توپولوژی های مختلف تمام جمع‌کننده در تکنولوژی 0.18µm CMOS و با ولتاژ تغذیه 1.8V ٤٧

شکل۵-۳ مقایسه PDP بین توپولوژی های مختلف تمام جمع‌کننده در تکنولوژی 0.18µm CMOS و با ولتاژ تغذیه 1.8V ٤٧

شکل۵-٤ مقایسه توان مصرفی بین توپولوژی های مختلف تمام جمع‌کننده در تکنولوژی 45 nm Fin-FET و با ولتاژ تغذیه 0.2mv ٤٨

شکل۵-۵ مقایسه تاخیر بین توپولوژی های مختلف تمام جمع‌کننده در تکنولوژی 45 nm Fin-FET و با ولتاژ تغذیه 0.2mv ٤٨

شکل۵-٦ مقایسه PDP بین توپولوژی های مختلف تمام جمع‌کننده در تکنولوژی 45 nm Fin-FET و با ولتاژ تغذیه 0.2mv ٤٩

فهرست جدول‌ها

جدول ۳-۱ توابع سلول GDI [٦] ۱۱

جدول ۳-۲ جدول درستی تابع اکثریت سه ورودی [۸] ۱۳

فصل اول

مقدمه

مقدمه

چگالی مجتمع سازی و عملکرد مدارهای مجتمع طی دو دهه گذشته تحولات چشمگیری را پشت سر گذاشته است. ایده کامپیوتر دیجیتالی برای هر کس به اندازه کافی آشناست. کامپیوتر های شخصی و قابل حمل که به تدریج از زمان کامپیوترهای بزرگ و کوچک تا به اینجا رسیده اند، در تمام امور زندگی روزانه ما رسوخ کرده اند. ولی از همه مهم تر تمایل پیوسته سایرحوزه های الکترونیک به سمت روش های دیجیتال است.

با پیشرفت الکترونیک طراحان برای رسیدن به مساحت سیلیکونی کوچکتر، سرعت بالاتر، عمر طولانی تر باتری و قابلیت اطمینان بیشتر تلاش می کنند. کاربرد های تمام جمع کننده متفاوت است ودر مداراتی مانند کمپرسور، مقایسه کننده ها، چک کننده تساوی و...استفاده می شود. امروزه، افزایش شدیدی در تعداد وسایل قابل حمل که به مدارات با بازده بالا و توان پایین و سطح کوچک تر نیاز دارند دیده می‌شود. توان مصرفی وسرعت جزو پارامترهای مهم در سیستم های VLSI می باشد.

یکی از چالش های مهم، سیر کوچک کردن تکنولوژی می باشد. پژوهشگران امروزه در زمینه کاهش توان فعالیت می کنند واین یکی از خواسته های اصلی برای طراحی میکروپروسسور واجزای سیستم شده است. برای انجام یک عملیات ریاضی، یک مدار می تواند توان خیلی کمی با کلاک شدن در فرکانس های خیلی پایین مصرف کند اما زمان زیادی برای کامل شدن عملیات طول خواهد کشید. یکی از مسائل جالب در طراحی ها ساخت و طراحی سلول های جمع کننده با مصرف توان کم و کارایی بالاست، زیرا جمع یکی از عملگرهای بنیادی در ریاضیات می باشد. وظیفه اصلی یک جمع کننده جمع کردن دو عدد باینری است. خیلی از عمگرهای دیگر از قبیل تفریق ،ضرب وتقسیم توسط جمع انجام می شود. برای بهینه سازی دقیق جمع کننده، دو روش متداول در سطح منطقی یا مداری انجام می شود. [۱]

در بهینه سازی در سطح منطقی سعی می شود تا معادلات بلوکی به صورتی بازچینی شود که مدار سریع تر یا کوچکتری بدست آید، از سوی دیگر بهینه سازی مدار به اندازه ی ترانزیستور ها و توپولوژی مدار می پردازد تا سرعت را بهینه

کند. کم کردن ولتاژ تغذیه باعث کاهش توان مصرفی می شود هر چند که کم کردن ولتاژ تغذیه باعث زیاد شدن تاخیر مدار وتنزل قابلیت طراحی سلول ها با روش های منطقی قطعی می شود. بنابراین در اکثر مقالات سعی شده است تا در یک جمع کننده، توان مصرفی، زمان تاخیر و حاصل ضرب این دو یعنیPDP بهینه گردد. ما نیز در این گزارش به بررسی این پارامترها در جمع کننده ها پرداخته ایم.

در ادامه در فصل دوم پارامترهای مهم در مدارات دیجیتال مورد بررسی قرار گرفته و توضیح مختصری در مورد اصطلاحات آورده شده در گزارش، داده شده است. در فصل سوم جمع کننده های متداول بررسی و شبیه سازی شده است و در فصل چهارم سلول های جمع کننده پیشنهادی ارائه شده است. در فصل پنجم سلول های جمع کننده در دو تکنولوژی TSMC 0.18 µm CMOS و45nm Fin-FET مقایسه شده اند و در انتها پیشنهاداتی ارائه شده است.

فصل دوم

معرفی پارامترهای مهم در مدارات دیجیتال

۲-۱ تاخیر انتشار

تاخیر یک دریچه نشان می‌دهد که مدار با چه سرعتی به ورودی‌ها پاسخ می‌دهد و بیانگر تاخیری است که سیگنال در گذر از یک دریچه متحمل می‌شود. این زمان به صورت فاصله‌ی بین نقاط گذر از ۵۰٪ در شکل موج‌های ورودی و خروجی تعریف می‌شود. از آنجا که دریچه زمان پاسخ متفاوتی نسبت به شکل موج بالا-رونده یا پایین‌رونده دارد دو مقدار برای تاخیر انتشار تعریف می شود. TP_{LH} زمان گذر پایین به بالا در خروجی است در حالیکه TP_{HL} زمان گذر از بالا به پایین است که تاخیر انتشار به صورت میانگین این دو تعریف می‌شود. [۲]

۲-۲ توان مصرفی مدار

دو مولفه‌ی اصلی توان مصرفی در مدارات دیجیتالی CMOS وجود دارد.

- ***تلفات دینامیکی :***

- ناشی از شارژ و دشارژ خازن‌های مدار [۲]

$$P_{dyn} = \mathrm{C_L} \,.\, V_{dd}{}^2 . \mathrm{f} . \mathrm{p} \qquad (۱-۲)$$

که در این رابطه $\mathrm{C_L}$ خازن بار، $\mathrm{V_{dd}}$ ولتاژ منبع تغذیه، f فرکانس کلاک سیستم و p احتمال تغییر وضعیت گیت است.

- ناشی از جریان مسیر مستقیم هنگام تغییر وضعیت ترانزیستورها :

جریان اتصال کوتاه زمانی که هر دو ترانزیستور NMOS و PMOS به طور همزمان روشن هستند رخ می‌دهد. جریان مستقیم از منبع تا زمین می‌گذرد. در مدارات جمع‌کننده مقدار جریان اتصال کوتاه بسیار کم است. [۲]

$$P_{dp} = V_{dd} . I_{peak} . T_{sc} . f \qquad (۲-۲)$$

که در این رابطه I_{peak} حداکثر جریان در یک سیکل و T_{sc} زمان برقراری جریان در هر سیکل است.

- ***تلفات استاتیکی:***

- ناشی از جریان نشتی دیود ترانزیستورها : [۲]

$$P_{static} = I_{\text{static}}.V_{dd} \qquad (۳-۲)$$

که در این رابطه I_{static} جریان نشتی دیود است.

- ناشی از جریان زیرآستانه: اگر V_{th}[1] حدود ۰/۵ تا ۰/۷V باشد این جریان ناچیز است ولی اگر به حدود ۰/۲V تا ۰/۳V برسد قابل توجه می‌شود.

در تکنولوژی 0.18 µm CMOS در فرکانس های کاری متوسط به بالا توان استاتیک قابل ضرف نظر است. بنابراین در اغلب موارد تلفات توان کل برابر توان مصرفی دینامیک است. [۲]

$$P_{total} = \mathrm{C_L}.\ {V_{dd}}^2.f.p + V_{dd}.I_{peak}.T_{sc}.f + I_{\text{static}} \qquad (٤-۲)$$

$$P_{total} = \mathrm{C_L}.\ {V_{dd}}^2.\mathrm{F.P}$$

تاخیر انتشار و توان مصرفی یک دریچه با هم در ارتباط هستند. تاخیر انتشار عمدتاً توسط سرعت ذخیره انرژی در خازن‌های گیت تعیین می‌شود. هر چه این انتقال انرژی سریع‌تر باشد، دریچه سریع‌تر کار می‌کند. در یک فناوری در توپولوژی خاص، حاصل‌ضرب توان مصرفی در تاخیر انتشار معمولاً ثابت است. این حاصل‌ضرب که حاصل‌ضرب توان-تاخیر (PDP[2]) نام دارد، معیاری برای ارزیابی کیفیت یک افزاره‌ی سوئیچ شونده است. PDP در اصل همان انرژی مصرف شده توسط دریچه در هر بار سوئیچ شدن است. معیار مناسب برای محاسبه توان مصرفی و تاخیر EDP[3] می‌باشد که همزمان هر دو پارامتر را در نظر می‌گیرد: [۲]

$$EDP = E \times t_{delay} \qquad (۵-۲)$$

---

1 ولتاژ آستانه روشن شدن ترانزیستور.

2 .Power Delay Product

3 .Energy Delay Product

در رابطه (۲-۵) انرژی توسط رابطه انرژی مصرفی کل و تاخیر با توجه به ابعاد در مقایسه با دریچه معکوس‌کننده محاسبه خواهد شد.

محاسبه تاخیر یک معکوس‌کننده در ناحیه بالای آستانه توسط رابطه زیر صورت می‌گیرد: [۲]

$$t_d = \frac{KC_L V_{DD}}{(V_{DD} - V_{th})^a} \quad (۲-۶)$$

که در آن K ضریب تناسب تاخیر، a پارامتر سرعت اشباع، V_{th} ولتاژ آستانه می‌باشد.

رابطه (۲-۷) نشان‌دهنده تاخیر معکوس‌کننده در ناحیه زیرآستانه می‌باشد.[۲]

$$t_d = \frac{KC_L V_{DD}}{I_{o,ge}(\frac{V_{DD} - V_{th,g}}{nV_T})} \quad (۲-۷)$$

که در آن V_T ولتاژ حرارتی و n پارامتر شیب ناحیه زیرآستانه، $V_{th,g}$ و $I_{o,g}$ پارامترهای تصحیح‌کننده می‌باشند.

۲-۳ معادلات منطقی برای جمع کننده

معادلات تابع جمع‌کننده نشان داده شده در زیر با سه بیت ورودی A، B، C_{in}، دو خروجی Sum و C_{out} را محاسبه می‌کند. خروجی یک بیتی Sum برای جمع کردن و خروجی یک بیتی C_{out} برای بیت نقلی است.[۳]

$$Sum = A \oplus B \oplus C_{in} \quad (۲-۸)$$

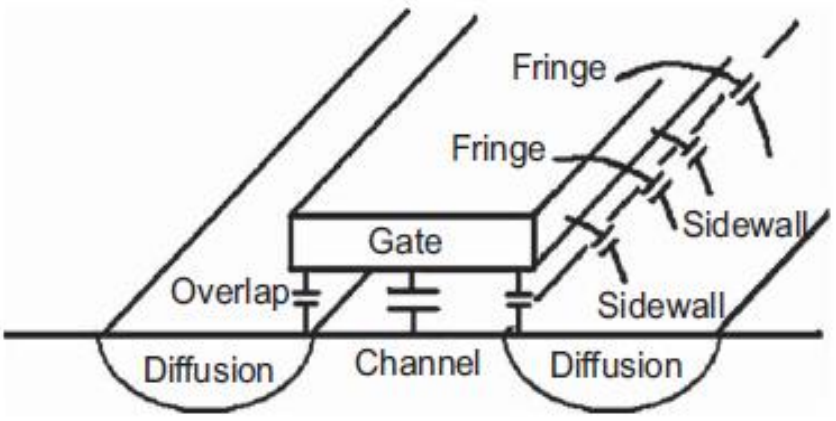
$$Sum = A \overline{\oplus} B \overline{\oplus} C_{in} \quad (۲-۹)$$

$$Sum = \left(\bar{C}_{in}.(A \oplus B)\right) + (C_{in}.(A \overline{\oplus} B) \quad (۲-۱۰)$$

$$C_{out} = \left(A.(A \overline{\oplus} B)\right) + \left(C_{in}.(A \oplus B)\right) = \left(B.(A \overline{\oplus} B)\right) + (C_{in}.(A \oplus B)) \quad (۲-۱۱)$$

۲-٤ پیاده‌سازی خازن با MOSCAP :

دربعضی جمع‌کننده‌ها، از خازن‌های ایده‌آل استفاده نمی‌کنیم زیرا سرعت خازن ایده‌آل پایین است که باعث می‌شود ما به جواب مطلوب نرسیم. راه حل این مشکل پیاده‌سازی خازن با MOSCAP است . برای اینکه یک خازن MOSCAP در اختیار داشته باشیم، پایه های درین، سورس و بدنه را در یک MOSFET به یکدیگر وصل کرده و این عنصر چهار پایه را تبدیل به یک المان دو پایه می کنیم که به ازای ولتاژهای گوناگون رفتار خازنی از خود نشان می دهد. زمانی که ولتاژ گیت افزایش می یابد، یک لایه وارون شروع به تشکیل می شود، و در این هنگام چگالی حفره ها در مرز کم می شود. و یک ناحیه تخلیه زیر اکسید سیلیکون تشکیل شده و افزاره وارد وارونگی ضعیف می شود. در این حالت خازن شامل اتصال سری C_{ox} و C_{dip} خواهد بود. طول گیت MOSCAP مقدار خازن را مشخص می کند. خازن های overlap و خازن fringing از خازن های پارازیتی محسوب می شوند. این خازن ها فقط به عرض گیت MOSCAP وابسته هستند. خازن گیت کانال به مساحت کانال وابسته است. . بنابر این خازن MOSCAP به طور مستقیم به طول وابسته است و افزایش طول MOSCAP ظرفیت خازنی را به صورت خطی افزایش خواهد داد. برای پیاده سازی MOSCAP از ترانزیستورهای PMOS استفاده می کنیم. شکل ۲-۱ یک MOSCAP را به همراه تمام خازن های آن نشان می دهد.



شکل ۲-۱ خازن های موجود در MOSCAP [٤]

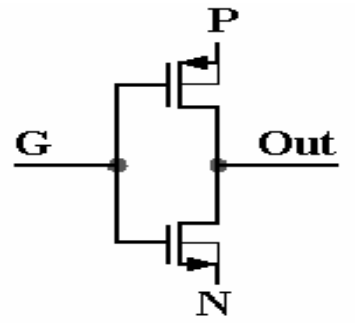
فصل سوم

بررسی انواع جمع‌کننده‌های متداول

پیاده‌سازی‌های استاندارد، با روش‌های منطقی متفاوتی وجود دارد که در گذشته برای طراحی سلول‌های جمع‌کننده استفاده می شده‌اند اگرچه همه‌ی آن‌ها توابع مشابهی دارند، اما راه‌های تولید کردن گره‌های طبقه‌های میانی و خروجی، بارهای ورودی و طبقه‌ی میانی و تعداد ترانزیستورها متفاوت است. توپولوژی‌های مختلف همگی از لحاظ ظاهری دارای یک عملکرد هستند، اما از لحاظ هزینه‌ی پیاده‌سازی، توان مصرفی و سرعت عملکرد با یکدیگر اختلاف دارند. بعضی از آن‌ها به عنوان یک تمام جمع‌کننده استفاده می‌شوند و بعضی هم به عنوان یک طبقه در ساختارهای هیبریدی استفاده می-شوند. ابتدا چهار تکنیک مهم در طراحی مدارات جمع کننده را بیان می کنیم و در ادامه تعدادی از ساختارهای پرکاربرد تمام جمع کننده شبیه سازی شده است.

۳-۱ تکنیک GDI[1]

روش GDI روی استفاده از یک سلول ساده پایه‌گذاری شده است. همانطور که در شکل۳-۱ نشان داده شده، ممکن است در نگاه اول تصور کنید که مدار یک اینورتر CMOS استاندارد است اما آن‌ها با هم تفاوت دارند. سلول GDI دارای سه ورودی N, P, G است. G گیت ورودی مشترک NMOS و PMOS، P ورودی سورس و بدنه PMOS، N ورودی سورس و بدنه NMOS است.



شکل۳-۱ گیت GDI [۵]

سلول GDI با چهار پورت می‌تواند به عنوان یک دستگاه چند منظوره جدید استفاده شود که می‌تواند با ترکیبات مختلف از ورودی‌های G,P,N به شش تابع برسد. جدول۳-۱ تغییرات پیکره‌بندی ساده در ورودی‌های N, P, G را نشان می‌دهد

[1] Gate-Diffusion-Input

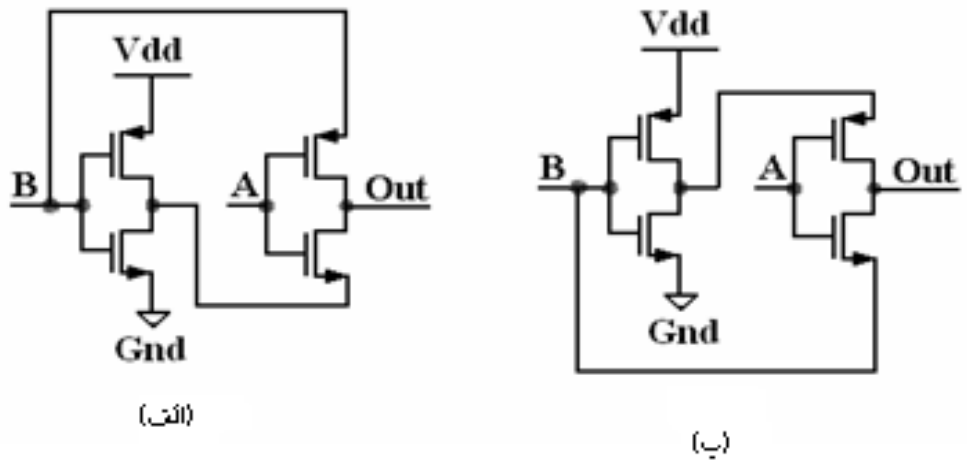
که سلول GDI بایاس شده می‌تواند منجر به توابع بولی بسیاری در خروجی شود. اغلب این تابع‌ها در CMOS پیچیده‌اند (معمولاً ۶-۱۲ ترانزیستور مصرف می‌کند) در حالیکه این توابع در روش طراحی GDI بسیار ساده‌اند و در هر تابع فقط دو ترانزیستور استفاده شده است. در همین حال گیت‌های چند ورودی می‌توانند توسط ترکیب چند سلول GDI پیاده-سازی شوند. [۶]

جدول ۳-۱ توابع سلول GDI [۶]

Input			Out	Function
P	**G**	**N**		
B	A	0	A´.B	F1
1	A	B	A´+B	F2
B	A	1	A+B	OR
0	A	B	A.B	AND
B	A	C	A´.B+A.C	MUX
1	A	0	A´	NOT

۳-۱-۱ گیت‌های XOR و XNOR مبتنی بر GDI (Gate – Diffusion – Input):

گیت‌های XOR و XNOR مبتنی بر سلول‌های GDI در تکنیک‌های GDI به کار می‌روند. همان‌طور که در شکل ۳-۲ دیده می‌شود هر کدام از آن‌ها تنها به چهار ترانزیستور نیاز دارند.



شکل۳-۲ الف) گیت XOR با استفاده از GDI [۶] ب) گیت XNOR با استفاده از GDI [۶]