بسم الله الرحمن الرحيم

دانشکده فنی و مهندسی
بخش مهندسی برق
پایان نامه تحصیلی برای دریافت درجه کارشناسی ارشد رشته مهندسی برق
گرایش الکترونیک

طراحی فلیپ فلاپ‌های با توان مصرفی کم و سرعت بالا در تکنولوژی‌های نانومتری

مؤلف :
اسماء احمدیان مرج

استاد راهنما :
دکتر محسن صانعی

استاد مشاور :
دکتر احمد حکیمی

بهمن ماه ۱۳۹۱

این پایان نامه به عنوان یکی از شرایط درجه کارشناسی ارشد به

بخش برق

دانشکده فنی و مهندسی

دانشگاه شهید باهنر کرمان

تسلیم شده است و هیچگونه مدرکی به عنوان فراغت از تحصیل دوره مزبور شناخته نمی شود.

دانشجو : اسماء احمدیان مرج

استاد راهنما۱ : جناب آقای دکتر محسن صانعی

استاد مشاور : جناب آقای دکتر احمد حکیمی

داور ۱ : جناب آقای دکتر علی ماهانی

داور۲ : سرکار خانم دکتر مریم پور محی آبادی

نماینده تحصیلات تکمیلی در جلسه دفاع: سرکار خانم دکتر مهدیه مهران

معاونت پژوهشی و تحصیلات تکمیلی دانشکده : سرکار خانم دکتر مریم احتشام زاده

حق چاپ محفوظ و مخصوص به دانشگاه شهید باهنر کرمان است.

تقدیم به:

به آستان آسمان دستان پر از ماه پدرم،

زلال چشمه چشمان چشم به راه مادرم،

سپیدی عشق همیشه و هرگاه همسرم،

ملکوت پر از سکوت و قنوط اساطیری اساتیدم،

و دوستانی که در صحیفه دلهایشان چیزی جز مهر ندیدم...

تشکر و قدردانی

سرآغاز فصل آموختنم، با نام و یاد تو بود، ای محبوبترین معبود و پایانش را به امید شروعی دوباره، با نامت آغاز کردم. حمد و سپاس بیکران از آن توست، که لحظه لحظه های زیستن و آموختنم، هر آنچه از علم و اراده و عمل که در وجودم ودیعه نهادی و یاری همراهانم، همه از لطف و مهربانی بی دریغ تو سرشار است.

مجموعه حاضر مرهون و مدیون همدلی ها و حمایت اساتیدی است که دستان مرا در تکمیل این پایان نامه به هدایت گرفتند از این جهت بر خود می دانم از راهنمایی های گرانقدر استاد فرزانه ام جناب آقای دکتر صانعی به عنوان استاد راهنما که اطلاعات و دانسته های ارزشمند خویش را در اختیار من قرار دادند و به راستی کلمه راهنما را برایم معنی نمودند قدردانی نمایم؛ همچنین از استاد فرهیخته ام جناب آقای دکتر حکیمی که در طول تحصیل در مقطع کارشناسی و کارشناسی ارشد از دانش و لطفشان بهره ها بردم به عنوان استاد مشاور صمیمانه تشکر می نمایم. از اساتید محترم جناب آقای دکتر ماهانی و سرکار خانم دکتر پور محی آبادی که زحمت داوری و مطالعه این رساله را بر عهده داشتند، سپاسگزارم.

چکیده

امروزه به دلیل افزایش سیستم‌های قابل حمل، علاوه بر سرعت توان مصرفی نیز اهمیت ویژه‌ای پیدا کرده است. توان مصرفی یکی از معضلات سیستم‌های امروزی است بنابراین کاهش آن می تواند تا حد زیادی عملکرد سیستم‌ها را بهبود بخشد. در تراشه‌های VLSI، توان مصرفی سیستم کلاک که شامل شبکه توزیع کلاک و المان‌های ترتیبی (فلیپ فلاپ‌ها و لچ‌ها) می‌باشد سهم بزرگی از کل توان مصرفی تراشه را شامل می‌شود و در اغلب اوقات این سهم به ۳۰ تا ۵۰ درصد می‌رسد. بنابر این کاهش توان مصرفی فلیپ فلاپ‌ها نقش زیادی در کاهش کل توان مصرفی یک تراشه دارد. امروزه روش‌های مختلفی برای کاهش توان مصرفی مورد توجه محققان قرار گرفته است اما اغلب اوقات کاهش توان مصرفی باعث افزایش تاخیر و در نتیجه کاهش سرعت مدار می‌شود. لذا در این پایان نامه سعی شده است تا حد امکان بدون اثر نامطلوب روی سرعت، توان مصرفی کم شود و با همین هدف به طراحی سه فلیپ فلاپ جدید با توان مصرفی کم و سرعت بالا پرداخته شده است و مدارهای حاصل با چند نمونه از جدیدترین و مهم‌ترین فلیپ فلاپ‌های مطرح شده در مراجع مقایسه شده‌اند. در این مدارها از تکنیک‌هایی برای کاهش توان مصرفی و تاخیر فلیپ فلاپ‌ها استفاده شده است. ازجمله این روش‌ها می‌توان به تکنیک دشارژ شرطی، ایجاد حساسیت به دو لبه کلاک، کوتاه کردن مسیر داده ورودی تا خروجی وکم کردن تعداد ترانزیستورهای سری اشاره نمود.

در مدار پیشنهادی اول با استفاده از تکنیک حساسیت به دو لبه کلاک عملکرد یکسانی در نصف فرکانس کلاک بدست آمده است که منجر به کاهش توان مصرفی شده است و با استفاده از مدار مولد پالس خارجی، تعداد و سایز ترانزیستورهای سری شبکه کلاک کاهش یافته است که باعث کاهش توان مصرفی و بهبود سرعت شده است. نتایج شبیه سازی در تکنولوژی ۶۵ نانومتر نشان می‌دهد فلیپ فلاپ پیشنهادی حدود ۴ الی ۲۹ درصد در فعالیت‌های مختلف کلید زنی داده، توان مصرفی را بهبود داده است. هم چنین تاخیر حدود ۶ الی ۱۱ درصد نسبت به فلیپ فلاپ‌های دیگر بهبود داشته است.

فلیپ فلاپ پیشنهادی دوم با استفاده از تکنیک دشارژ شرطی مانع از فعالیت کلید زنی زیادی گره‌های داخلی شده است. این فلیپ فلاپ که با استفاده از المان C کار می‌کند از مدار مولد پالس خارجی استفاده می‌کند و قابلیت حساسیت به دو لبه کلاک را نیز دارد. نتایج حدود ۲۲ الی

۶۰ درصد بهبود توان مصرفی را نسبت به فلیپ فلاپ‌های دیگر نشان داده است در حالیکه سرعت قابل قبولی نیز دارد. در فلیپ فلاپ پیشنهادی سوم نیز از المان C و مولد پالس خارجی استفاده شده است. در این فلیپ فلاپ کاهش ترانزیستورهای سری مدار لچ منجر به کاهش سایز آن‌ها نیز شده است و به این ترتیب توان، تاخیر و مساحت مدار کاهش یافته است. هم چنین در این فلیپ فلاپ از تکنیک دشارژ شرطی برای کاهش توان مصرفی استفاده شده است و قابلیت حساسیت به دو لبه کلاک را نیز دارد. نتایج شبیه سازی حدود ۴ الی ۵۹ درصد بهبود توان و ۱۶ الی ۱۷/۵ درصد بهبود تاخیر را نسبت به فلیپ فلاپ‌های دیگر نشان داده است.

کلید واژه:فلیپ فلاپ، کاهش توان مصرفی، طراحی توان پایین، طراحی سرعت بالا، تکنولوژی نانومتری.

فهرست مطالب

فصل اول ۱

۱-۱ معرفی ۲

۱-۲ دسته بندی فلیپ فلاپ ها ۳

۱-۳ پارامترهای زمانی در بررسی و مقایسه فلیپ فلاپ ها ۶

۱-۴ نواحی عملکرد فلیپ فلاپ ۷

۱-۵ معضلات طراحی ۸

فصل دوم ۱۱

۲-۱ فلیپ فلاپ پایه-پیرو ۱۲

۲-۲ فلیپ فلاپ راه اندازی شونده با پالس داخلی ۱۳

۲-۳ فلیپ فلاپ راه اندازی شونده با پالس خارجی ۱۴

۲-۳-۱ مدار مولد پالس ۱۴

۲-۳-۲ مدار لچ ۱۸

۲-۴ فلیپ فلاپ مبتنی بر تقویت کننده سنجش ۱۹

۲-۵ فلیپ فلاپ حساس به یک لبه ۲۴

۲-۶ فلیپ فلاپ حساس به دو لبه ۲۴

فصل سوم ۲۸

۳-۱ روش های کاهش توان دینامیکی ۳۰

۳-۱-۱ کاهش سوئینگ ولتاژ ۳۰

۳-۱-۲ استفاده از چند ولتاژ تغذیه ۳۰

۳-۱-۳ رجیسترهای حساس به دو لبه ۳۱
۳-۱-۴ کاهش بار خازن کلاک ۳۴
۳-۱-۵ کاهش فعالیت سوئیچینگ (α) ۳۶
۳-۲ روش های کاهش توان نشتی ۳۹
۳-۲-۱ استفاده از ترانزیستورهای با ولتاژهای آستانه متفاوت (MTCMOS): ۳۹
۳-۲-۲ leakage feed back: ۴۱
۳-۲-۳ gate-length biasing: ۴۲
۳-۲-۴ VTCMOS (Variable Threshold CMOS): ۴۲
۳-۳ روش کاهش توان اتصال کوتاه ۴۳
فصل چهارم ۴۴
۴-۱ فلیپ فلاپ پیشنهادی با استفاده از پالس راه انداز خارجی با توان مصرفی کم و سرعت بالا ۴۶
۴-۱-۱ نحوه عمل کرد فلیپ فلاپ پیشنهادی اول ۴۷
۴-۱-۲ شبیه سازی و مقایسه فلیپ فلاپ پیشنهادی اول ۴۸
۴-۲ طراحی فلیپ فلاپ پیشنهادی کم توان جدید با استفاده از المان C و تکنیک دشارژ شرطی ۵۶
۴-۲-۱ نحوه عملکرد فلیپ فلاپ پیشنهادی دوم ۵۶
۴-۲-۲ شبیه سازی و مقایسه فلیپ فلاپ پیشنهادی دوم ۵۸
۴-۳ طراحی یک فلیپ فلاپ با توان مصرفی کم و سرعت بالا با استفاده از المان C ۶۴
۴-۳-۱ معرفی فلیپ فلاپ پیشنهادی سوم و طرز کار آن ۶۴
۴-۳-۲ شبیه سازی فلیپ فلاپ پیشنهادی سوم و مقایسه آن با سه فلیپ فلاپ دیگر ۶۶

۴-۴ مقایسه مدارهای پیشنهادی ۷۲
۴-۴-۱ شباهت ها وتفاوت های مدارهای ارائه شده ۷۲
۴-۴-۲ شبیه سازی و مقایسه سه فلیپ فلاپ با یکدیگر ۷۳
فصل پنجم ۷۶
۵-۱ نتیجه گیری ۷۷
۵-۲ پیشنهادات ۷۸
فهرست مراجع ۷۹
پیوست ها ۸۳
واژه نامه انگلیسی به فارسی ۸۴
واژه نامه فارسی به انگلیسی ۸۶
جدول علائم اختصاری ۸۸

فهرست جدول‌ها

جدول ۲- ۱: جدول صحت المان C [۲۴]. ۲۷
جدول ۴- ۱: مقایسه توان دینامیکی فلیپ فلاپ‌های مختلف(میکرو وات) ۴۹
جدول ۴- ۲: محاسبه پارامترهای زمانی در فلیپ فلاپ‌های مختلف (پیکوثانیه)..... ۵۰
جدول ۴- ۳: مقایسه حاصل ضرب توان در تاخیر فلیپ فلاپ‌های مختلف ۵۰
جدول ۴- ۴: مقادیر توان نشتی در چهار حالت ممکن فلیپ فلاپ‌ها (نانو وات)..... ۵۳
جدول ۴- ۵: مقایسه توان مصرفی فلیپ فلاپ‌ها در ۴ گوشه پروسس (میکرو وات) ۵۵
جدول ۴- ۶: مقایسه توان دینامیکی و حاصل ضرب توان و تاخیر (PDP) فلیپ فلاپ‌های مختلف . ۵۹
جدول ۴- ۷: محاسبه تاخیر برای حالت‌های مختلف ورودی (پیکو ثانیه)..... ۶۰
جدول ۴- ۸: مقایسه توان نشتی فلیپ فلاپ‌های مختلف (نانو وات)..... ۶۲
جدول ۴- ۹: محاسبه توان مصرفی در گوشه‌های مختلف پروسس (میکرو وات)..... ۶۴
جدول ۴- ۱۰: مقایسه توان دینامیکی و حاصل ضرب توان و تاخیر (PDP) فلیپ فلاپ‌های مختلف ۶۷
جدول ۴- ۱۱: محاسبه تاخیر برای حالت‌های مختلف ورودی (پیکو ثانیه) ۶۸
جدول ۴- ۱۲: مقایسه توان نشتی فلیپ فلاپ‌های مختلف (نانو وات) ۷۰
جدول ۴- ۱۳: محاسبه توان مصرفی در گوشه‌های مختلف پروسس (میکرو وات) ۷۲
جدول ۴- ۱۴: مقایسه توان دینامیکی فلیپ فلاپ‌های مختلف ۷۳
جدول ۴- ۱۵: محاسبه تاخیر برای حالت‌های مختلف ورودی ۷۴
جدول ۴- ۱۶: مقایسه توان نشتی فلیپ فلاپ‌های مختلف (نانو وات)..... ۷۴
جدول ۴- ۱۷: محاسبه توان مصرفی در گوشه‌های مختلف پروسس (میکرو وات)..... ۷۴

فهرست شکل‌ها

شکل ۱- ۱: فلیپ فلاپ پایه-پیرو [۴]..... ۳

شکل ۱- ۲: ساختار کلی فلیپ فلاپ‌های راه اندازی شونده با پالس.الف) نوع داخلی [۵] ب) نوع خارجی [۷]..... ۵

شکل ۱- ۳: محدودیت‌های زمانی در فلیپ فلاپ [۶]..... ۷

شکل ۱- ۴: نواحی عملکرد فلیپ فلاپ [۶]. ۸

شکل ۱- ۵: منحنی انرژی‌های موثر در فضای E-D ونقاط مینمم E^iD^j [۲]. ۱۰

شکل ۲- ۱: فلیپ فلاپ براساس ساختارپایه-پیرو [۱۰] ۱۲

شکل ۲- ۲: فلیپ فلاپ با مولد پالس داخلی [۱۳]..... ۱۳

شکل ۲- ۳: مدار مولد پالس خارجی [۵] ۱۴

شکل ۲- ۴: شکل موج گره‌های مختلف مدار مولد پالس [۵] ۱۵

شکل ۲- ۵: مدار مولد پالس حساس به دو لبه کلاک [مقاله ۱۰] ۱۶

شکل ۲- ۶: مدار مولد پالس با استفاده از تکنیک گیت کردن کلاک [۱۶]..... ۱۶

شکل ۲- ۷: دیاگرام زمانی مدار مولد پالس با استفاده از تکنیک گیت کردن کلاک [۱۶]..... ۱۷

شکل ۲- ۸: مدار لچ [۱۴]. ۱۸

شکل ۲- ۹: مدار لچ [۱۷]. ۱۹

شکل ۲- ۱۰: فلیپ فلاپ مبتنی بر تقویت کننده سنجش (الف). مدار مولد پالس (ب) قسمت حسگر. (ج) قسمت لچ [۱۶]..... ۲۰

شکل ۲- ۱۱: فلیپ فلاپ مبتنی بر تقویت کننده سنجش با CLR و PST . (الف) مدار حسگر. (ب) مدار لچ [۱۸]. ۲۱

شکل ۲- ۱۲: مدار CDSAFF . الف) مدار حسگر. ب) مدار لچ. ج)مدار مولد پالس خارجی[۱۹]..۲۳

شکل ۲- ۱۳: دیاگرام زمانی مدارACSAFF. [۱۹]. ۲۳

شکل ۲- ۱۴: فلیپ فلاپ حساس به یک لبه hlff. [۲۰] [۲۱]. ۲۴

شکل ۲- ۱۵: فلیپ فلاپ راه اندازی شونده با پالس حساس به دو لبه استاتیک.الف)DESPFF.
ب)DSPFF پ) مدار مولد پالس [۲۲] [۲۳]. ۲۵
شکل ۲- ۱۶: فلیپ فلاپ حساس به دو لبه با استفاده از المان C [۲۴]. ۲۶
شکل ۲- ۱۷: دیاگرام زمانی فلیپ فلاپ [۲۴]. ۲۷
شکل ۳- ۱: دیاگرام CPN-LCFF [۲۵]. ۳۱
شکل ۳- ۲: الف)مدار فلیپ فلاپ حساس به یک لبهmhlff.ب)دیاگرام زمانی [۲۱] ۳۲
شکل ۳- ۳: الف)مدار فلیپ فلاپ حساس به دو لبهHSDMLFF.ب)دیاگرام زمانی [۲۱] ۳۳
شکل ۳- ۴: دیاگرام فلیپ فلاپ CBS_ip [۵]. ۳۴
شکل ۳- ۵: مدار CDMFF [۱]. ۳۵
شکل ۳- ۶: مدار CPSFF [۱]. ۳۶
شکل ۳- ۷: فلیپ فلاپSCDFF .الف) مدار لچ.ب)مولد پالس خارجی [۱۶]. ۳۷
شکل ۳- ۸: دیاگرام فلیپ فلاپ. الف)مدار مولد پالس ب) مدار لچ [۲۸]. ۳۸
شکل ۳- ۹: مدارpass-no-fb [۲۹]. ۳۹
شکل ۳- ۱۰: TSPC FF [۳۱]. ۴۰
شکل ۳- ۱۱: TSPC FFبا تکنیک mtcmos. [۳۱]. ۴۰
شکل ۳- ۱۲: نمودار مقایسه توان نشتی در دو حالت معمولی و با استفاده از تکنیکmtcmos.
[۳۱]. ۴۱
شکل ۳- ۱۳: فلیپ فلاپ با فیدبک نشتی [۳۰] [۳۲]. ۴۲
شکل ۳- ۱۴: فلیپ فلاپی با بایاس طول گیت [۳۰] [۳۲]. ۴۲
شکل ۴- ۱: تنظیمات مورد استفاده جهت شبیه سازی [۱۳]. ۴۵
شکل ۴- ۲: فلیپ فلاپ پیشنهادی. الف) مدار لچ ب) مدار مولد پالس. ۴۷
شکل ۴- ۳: نمودارهای مربوط به فضای E-D بر حسب فرکانس‌های مختلف داده . (الف). ED^2 .
(ب). ED^3 . (ج) E^2D . (د). E^3D ۵۲
شکل ۴- ۴: شکل موج‌های ورودی و خروجی‌های فلیپ فلاپ. الف) فلیپ فلاپ پیشنهادی. ب)
SCDFF. ج) CBS_ip. د) CPSFF ۵۵

شکل ۴- ۵: دیاگرام فلیپ فلاپ پیشنهادی. الف) مدار مولد پالس خارجی. ب) مدار مربوط به حذف انتقالات اضافی. ج) مدار لچ خروجی با استفاده از المان C. ۵۹
شکل ۴- ۶ : نمودارهای مربوط به فضای E-D بر حسب فرکانس‌های مختلف داده . (الف). ED^2 . (ب). ED^3 . (ج) E^2D . (د). E^3D.....۶۲
شکل۴- ۷ : شکل موج‌های حاصل از شبیه سازی.الف) حساس به یک لبه ب) حساس به دو لبه ۶۳
شکل ۴- ۸: مدار فلیپ فلاپ پیشنهادی.الف) مدار لچ. ب) مدار مولد پالس. ۶۵
شکل۴- ۹ : نمودارهای مربوط به فضای E-D بر حسب فرکانس‌های مختلف داده . (الف). ED^2 . (ب). ED^3 . (ج) E^2D . (د). E^3D.....۷۰
شکل ۴- ۱۰: شکل موج‌های حاصل از شبیه سازی.الف) فلیپ فلاپ پیشنهادی حساس به یک لبه. ب) فلیپ فلاپ پیشنهادی حساس به دو لبه.....۷۱

فصل اول

مقدمه

۱-۱ معرفی

امروزه با پیشرفت تکنولوژی و کاهش سایز ترانزیستورها تا ابعاد در سطح نانو، میلیاردها ترانزیستور روی یک تراشه جمع شده‌اند درحالی‌که برای از بین بردن گرمای اضافه ناشی از توان مصرفی آن‌ها محدودیت وجود دارد و این عامل باعث پایین آمدن کارایی سیستم می شود [۱]. توان مصرفی یکی از بزرگ‌ترین معضلات سیستم‌های امروزی است که قسمت عمده آن توسط سیستم کلاک که شامل شبکه توزیع کلاک، فلیپ فلاپ‌ها ولچ‌ها است تولید می‌شود و این سهم، بین ۳۰ تا ۵۰ درصد توان مصرفی کل را به خود اختصاص می‌دهد [۲].

در مدارهای الکترونیک و کامپیوتر، فلیپ فلاپ یک بلوک است که می تواند به عنوان یک بیت حافظه عمل کند که در لبه‌های کلاک، داده ورودی را خوانده و در خود ذخیره می‌کند. تغییرات مقدار ورودی در لبه‌های کلاک سبب تغییرات در خروجی می‌شود. عملا هر تغییری در وضعیت خروجی، وابسته به مقدار ورودی در لبه کلاک است. از آن‌جا که این مدار در بیشتر سیستم‌های دیجیتال کاربرد دارد و تاثیر زیادی روی سرعت وتوان مصرفی مدار دارد کارایی فلیپ فلاپ پارامتر مهمی در تعیین کارایی کل سیستم است. به همین دلیل انتخاب مناسب توپولوژی فلیپ فلاپ، ویژگی اساسی در طراحی مدارهای مجتمع VLSI و به طور خاص میکروپروسسورهای با سرعت بالا و انرژی کم است. زیرا فلیپ فلاپ‌ها روی فرکانس کار مدار تاثیر می‌گذارند و تاخیر آن‌ها بخش مهمی از دوره تناوب کلاک است [۲].

فلیپ فلاپ‌ها اساسا المان‌های مهمی در مدارهای سنکرون هستند که نه تنها مسئول عمل‌کرد صحیح زمانی و کارایی و عملکرد مدار هستند بلکه آن‌ها و دیگر شبکه‌های توزیع کلاک جزء بزرگی از کل توان مدار را مصرف می‌کنند. در مقایسه با المان‌های مختلف در مدارهای VLSI، فلیپ فلاپ‌ها المان‌های اساسی در تعیین کارایی کل مدار هستند. به طور مثال تاخیر لبه کلاک تا لبه خروجی، زمان آمادگی و زمان نگهداری، همه این پارامترهای فلیپ‌فلاپ‌ها، می‌تواند روی کارایی کل مدار تاثیر گذارد. بنابراین در سال‌های اخیر مطالعه روی فلیپ فلاپ‌ها مهم ومهم‌تر شده است [۳].

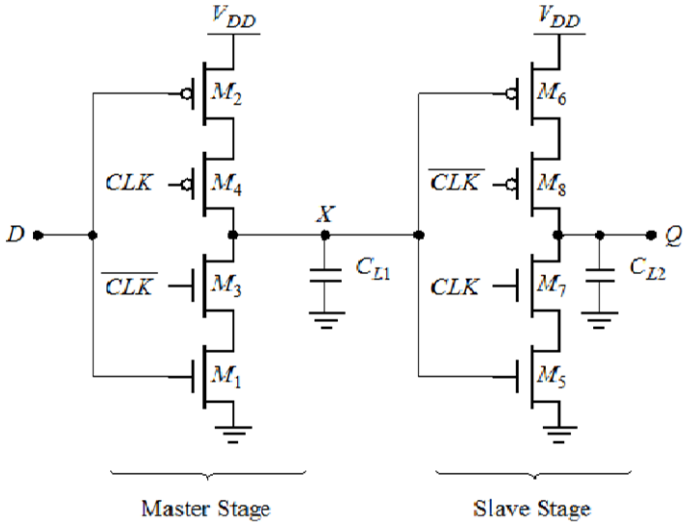
۱-۲ دسته بندی فلیپ فلاپ‌ها

فلیپ فلاپ‌ها را از جهت‌های مختلف دسته بندی می‌کنند که یک نمونه از آن به شرح زیر است:

- فلیپ فلاپ‌های پایه-پیرو: از یک لچ منفی (طبقه پایه) ویک لچ مثبت (طبقه پیرو) که پشت سر هم بسته شده‌اند تشکیل می‌شوند [۴].

در فلیپ فلاپ‌های پایه-پیرو لازم است داده قبل از لبه کلاک برسد بنابراین زمان آمادگی مثبت دارند. از این رو $T_{su}+T_{cq}$ مقدار بزرگی دارد در حالی که مقادیر کم این تاخیر مطلوب است. از آن‌جا که این تاخیر در فلیپ فلاپ‌های پایه-پیرو بزرگ است از آن‌ها در سرعت‌های بالا استفاده نمی‌شود [۵].

شکل ۱- ۱ یک فلیپ فلاپ پایه-پیرو حساس به لبه مثبت کلاک را نشان می‌دهد.



شکل ۱- ۱: فلیپ فلاپ پایه-پیرو [۴]

در این شکل وقتی Clk=0 است مدار سه حالته اول روشن است و طبقه پایه به عنوان وارونگری که ورودی D را نمونه برداری کرده و روی گره داخلی X قرار می‌دهد، عمل می‌کند. طبقه پایه در حالت ارزیابی است. در این مدت بخش پیرو در حالت امپدانس بالا یا حالت نگهدارنده است و هر دو ترانزیستور M_7 و M_8 خاموش بوده و خروجی را از ورودی جدا می‌کنند. خروجی Q مقدارش را روی خازن خروجی C_{L2} حفظ می‌کند.

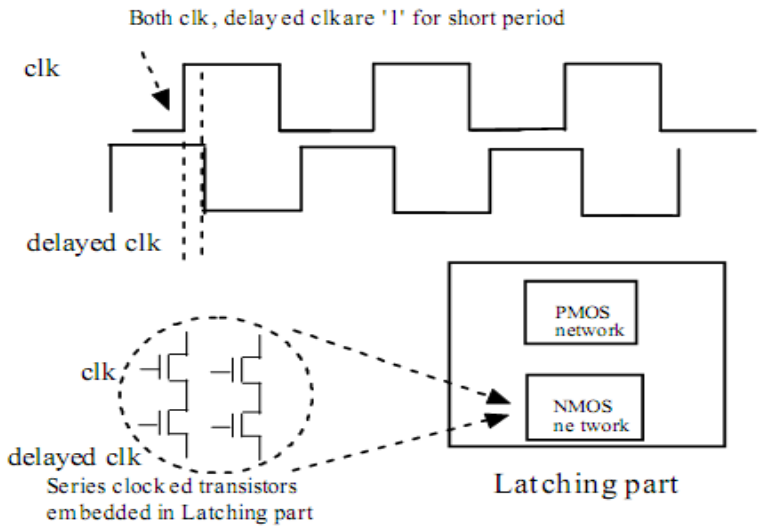
وقتی Clk=1 می‌شود نقش‌ها معکوس می‌شوند: بخش طبقه پیرو در حالت نگدارنده قرار می‌گیرد (M_3 و M_4 خاموش هستند) اما طبقه دوم ارزیابی می‌کند (M_7 و M_8 روشن هستند). مقدار ذخیره شده در C_{L1} از طریق طبقه پیرو که به عنوان وارونگر عمل می‌کند به گره خروجی منتقل می‌شود [۴].

- فلیپ فلاپ‌های راه اندازی شونده با پالس: اساس این روش ایجاد یک پالس کوتاه در حوالی لبه کلاک است که این پالس به عنوان ورودی کلاک به مدار اعمال می‌شود [۴]. در این دسته از فلیپ فلاپ‌ها از کلاک و تاخیر یافته‌های آن برای ایجاد سیگنال پالس استفاده می‌شود [۵].

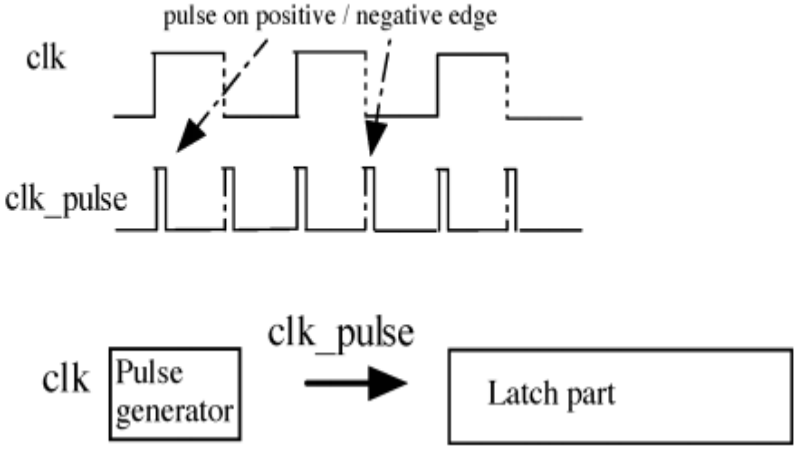
فلیپ فلاپ‌های راه اندازی شونده با پالس از یک مدار مولد پالس و و یک نگهدار (لچ) تشکیل شده‌اند. در این فلیپ فلاپ‌ها، وقتی پالس یک است داده ورودی وارد لچ می-شود. از آنجا که پالس از لبه کلاک ایجاد می‌شود، بعد از لبه کلاک تولید می‌شود. در نتیجه داده می‌تواند بعد از لبه کلاک برسد و زمان آمادگی آن‌ها منفی است. این ویژگی فلیپ فلاپ‌های راه اندازی شونده با پالس، آن‌ها را برای کار در سرعت‌های بالا، توانا می‌سازد. زیرا $T_{su}+T_{cq}$ کاهش میابد [۶].

این نوع فلیپ فلاپ‌ها به دو دسته راه اندازی شونده با پالس داخلی و راه اندازی شونده با پالس خارجی تقسیم می‌شوند که در نوع داخلی سیگنال پالس در داخل مدار مربوط به فلیپ فلاپ ایجاد می‌شود ولی در نوع خارجی، به شکل کاملا مستقل از مدار فلیپ فلاپ، سیگنال پالس از سیگنال کلاک تولید می‌شود و سپس به فلیپ فلاپ اعمال می‌شود. فلیپ فلاپ‌های راه اندازی شونده با پالس خارجی توان بیشتری نسبت به نوع داخلی مصرف می‌کنند اما در جایی که چند فلیپ‌فلاپ با هم مشترک می‌شوند این نوع فلیپ فلاپ‌ها مناسبند. هم چنین معمولا این فلیپ فلاپ‌ها تعداد ترازیستورهای NMOS سری کمتری نسبت به نوع داخلی دارند که باعث افزایش کارایی مدار می‌شود [۷].

ساختار کلی فلیپ فلاپ‌های راه اندازی شونده با پالس در شکل ۱- ۲ آمده است [۵].شکل ۱- ۲ (الف) نوع داخلی این فلیپ فلاپ‌ها را نشان می‌دهد. همانطور که از روی شکل مشخص است در نوع داخلی دو شاخه ترانزیستوری وجود دارد که به ترانزیستورهای آن‌ها کلاک و تاخیر یافته آن به گونه‌ای اعمال می‌شود که در لبه‌های کلاک یک پالس کوتاه برقرار شود. اغلب اوقات ایجاد این پالس منجر به برقراری زمین مدار می‌شود و در نتیجه ورودی مورد نظر به خروجی منتقل می‌شود. در شکل ۱- ۲ (ب) ساختار موجود در فلیپ فلاپ‌های نوع خارجی مشاهده می‌شود. در این دسته از فلیپ فلاپ‌ها سیگنال پالس خارج از مدار لچ توسط یک مدار مستقل از سیگنال کلاک ایجاد می‌شود و سپس به آن اعمال می‌شود و در نتیجه داده در لبه کلاک به خروجی منتقل می-شود و یک فلیپ فلاپ ایجاد می‌شود [۵] [۷].



(الف)



(ب)

شکل ۱– ۲: ساختار کلی فلیپ فلاپ‌های راه اندازی شونده با پالس.الف) نوع داخلی [۵] ب) نوع خارجی [۷]

- فلیپ فلاپ مبتنی بر تقویت‌کننده سنجش: این نوع مدارها، سیگنال ورودی کوچک را تقویت کرده و سوئینگ کامل ایجاد می‌کنند. این فلیپ فلاپ‌ها شامل یک طبقه حسگرند که خروجی آن به مدار لچ داده می‌شود. این دسته از فلیپ فلاپ‌ها اصولا دارای خصوصیت دیفرانسیلی هستند و قابلیت کار در ولتاژهای پایین را دارند.

فلیپ فلاپ‌ها را می‌توان از نظر حساسیت به لبه کلاک به دو نوع حساس به یک لبه و حساس به دو لبه تقسیم نمود. فلیپ فلاپ‌های حساس به دو لبه بازده یکسانی نسبت به فلیپ فلاپ‌های حساس به یک لبه در نصف فرکانس کلاک ایجاد می‌کنند. در سال‌های گذشته افزایش تقاضا را برای مدارهای با سرعت بالا در توان مصرفی کم داشته‌ایم. استفاده از فلیپ فلاپ‌های حساس به

دو لبه می‌تواند فرکانس کلاک را به نصف فلیپ فلاپ حساس به یک لبه کاهش دهد که باعث کارایی بهتر در ترم‌های سرعت و توان مصرفی شود [۳]. فلیپ فلاپ‌های حساس به دو لبه تعداد ترانزیستورهای بیشتری نسبت به فلیپ فلاپ‌های حساس به یک لبه دارند اما با این حال این فلیپ فلاپ‌ها نباید بار کلاک را خیلی افزایش دهند [۷].

با توجه به کاربرد زیاد فلیپ فلاپ‌ها در سیستم‌های امروزی و استفاده وسیع از خطوط لوله کارا، بهبود کارایی این بلوک‌ها و کاهش توان مصرفی آن‌ها اهمیت زیادی دارد. کاهش خازن ورودی فلیپ فلاپ‌ها نیز نقش زیادی در کاهش توان مصرفی شبکه کلاک دارد. لذا تلاش بیشتر جهت رسیدن به فلیپ فلاپ‌های با کارایی بیشتر و توان مصرفی کمتر ضروری است. این اهمیت در تکنولوژی‌های جدید که به عنوان تکنولوژی‌های نانومتری شناخته می‌شوند بیشتر شده است.

۳-۱ پارامترهای زمانی در بررسی و مقایسه فلیپ فلاپ‌ها

چند پارامتر اساسی برای بیان کیفیت و مقایسه فلیپ فلاپ‌ها نسبت به هم تعریف شده است [۸]. این پارامترها عبارتند از:

- تاخیر کلاک تا خروجی (Clk-Q): تاخیر از ترمینال کلاک تا ترمینال خروجی. در این حالت فرض می‌شود که فاصله داده ی ورودی به اندازه کافی نسبت به لبه کلاک تنظیم شده‌باشد [۸].
- زمان آمادگی (setup time): مینمم زمان مورد نیاز بین تغییر داده ورودی وتریگر کردن سیگنال کلاک. این پارامتر تضمین می‌کند که خروجی در بدترین شرایط فرآیند ساخت، ولتاژ و دما (PVT) از ورودی پیروی کند [۸].
- زمان نگهداری (hold time) : مینمم زمانی که لازم است داده ورودی بعد از تریگر کردن سیگنال کلاک پایدار بماند. این پارامتر تضمین می‌کند تحت بدترین شرایط PVT خروجی بعد از تریگر کردن سیگنال کلاک پایدار می‌ماند. دراین جا فرض می‌شود که تغییر داده ورودی حداقل بعد از مینمم تاخیر نسبت به تغییر قبلی داده اتفاق می‌افتد، که این مینمم تاخیر، زمان آمادگی فلیپ فلاپ است [۸].
- تاخیر داده تا خروجی (Data-Q) : برابر است با مجموع زمان آمادگی داده ورودی و تاخیر کلاک تا خروجی [۸]. مینمم این تاخیر بوسیله انتخاب بهینه تاخیر داده تا کلاک بدست می‌آید [۲].