بسم الله الرحمن الرحیم

دانشکده فنی و مهندسی

پایان نامه دوره کارشناسی ارشد

مهندسی الکترونیک

بهبود عملکرد مبدل‌های SAR ADC با بهبود ساختار و الگوریتم داخلی مبدل

تهیه کننده:

محمد حسین محمدی لاریجانی

استاد راهنما:

دکتر محمد باقر غزنوی قوشچی

تابستان ۱۳۹۰

تأییدیه هیات داوران

اعضای هیات داوران، نسخه نهائی پایان نامه آقای: محمد حسین محمدی لاریجانی

را با عنوان: بهبود عملکرد مبدل‌های SAR ADC با بهبود ساختار و الگوریتم داخلی مبدل

از نظر فرم و محتوی بررسی نموده و پذیرش آن را برای تکمیل درجه کارشناسی تأیید می‌کند.

اعضای هیات داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱ – استاد راهنما	دکتر غزنوی قوشچی	استادیار	
۲ – استاد ممتحن			
۳ – استاد ممتحن			
۴ – نماینده گروه			

تقدیم

به

"او"

همه داشته و نداشته‌هایم.

تشکر و قدردانی

با تشکر فراوان از مادر صبور و مهربانم که برایم نمادی از صبر اوست
و با سپاس از زحمات بی دریغ و بی منت استاد پرتلاش، سخت‌گیر و اما دلسوزم، جناب دکتر غزنوی که صبر و مهر پدرانه را به من آموخت.

چکیده

در این پایان‌نامه، الگوی معماری جدیدی جهت پیاده سازی مبدل آنالوگ به دیجیتال تقریب متوالی (SAR) پرسرعت (سرعت دو برابر نسبت به ساختارهای متداول) با استفاده از الگوریتم استخراج دو بیت در هر کلاک از مراحل تبدیل بهبودیافته (الگوریتم دو بیت همزمان) معرفی شده است. در این معماری تنها از یک مبدل DAC مبنای چهار داخلی با رزولوشن نصف رزولوشن خروجی مبدل SAR استفاده می‌کند که به دلیل ویژگی‌های ساختار موردنظر از الگوی کدگذاری One-Hot استفاده می‌کند که در نتیجه آن، علاوه بر پشتیبانی رزولوشن‌های بالاتر، تاثیر بسزایی در بهبود پارامترهای استاتیکی و دینامیکی مبدل و نیز کاهش ابعاد و مصرف توان طرح پیشنهادی خواهد داشت.

همچنین از دیگر ویژگی های معماری پیشنهادی استفاده از یک واحد تولید ولتاژهای مرجع مستقل از رزولوشن خروجی مبدل SAR است که در نتیجه آن ابعاد ساختار مبدل پیشنهادی برای رزولوشن های بالاتر تنها محدود به DAC مبنای چهار خواهد شد و از آنجا که مبدل DAC پیشنهادی نیز دارای ابعاد کوچکتری نسبت به سایر ساختارهایی با الگوریتم مشابه است بنابراین ابعاد معماری پیشنهادی کوچکتر از سایر معماری ها با الگوریتم دو بیت همزمان خواهد بود. این ویژگی زمانی بارزتر می‌شود که در ساختار مداری پیشنهادی از یک DAC مبنای چهار ویژه با وزن‌های ورودی یکسان استفاده می شود که در نتیجه آن ابعاد مدار پیشنهادی بسیار کوچکتر از ساختارهای با الگوریتم دو بیت همزمان و قابل قیاس با ابعاد مبدل‌های SAR متداول می‌شود.

مدل سیستمی معماری پیشنهادی به کمک نرم افزار MATLAB شبیه سازی شده است و میزان وابستگی پارامترهای مبدل پیشنهادی به خطای المان‌های داخلی نسبت به ساختارهای متداول مورد ارزیابی کلی قرار گرفته است. مدل مداری مبدل ۸ بیتی با توجه به الگوی معماری پیشنهادی در تکنولوژی 90nm 1P4M UMC با استفاده از نرم افزار HSpice پیاده سازی شده است و که با سرعت نمونه‌برداری 50MS/s در فرکانس کاری 300MHz، میزان مصرف توان تقریبا 1mW از آن بدست آمده است. در مدل مداری پیشنهادی بجای استفاده از سه مقایسه‌گر آنالوگ جدا از هم، ایده جدید استفاده از یک مقایسه‌گر ۴ ورودی یکپارچه جهت هر چه کوچکتر شدن ابعاد مدار و نیز افزایش تطبیق پذیری بیشتر و کاهش آفست ورودی و نیز کاهش مصرف توان آن معرفی شده است. سایر پارامترهای دینامیکی و استاتیکی اندازه گیری شده طرح مداری مبدل پیشنهادی، در ادامه گزارش اشاره شده است.

کلید واژه: مبدل آنالوگ به دیجیتال تقریب متوالی پرسرعت، الگوریتم استخراج دو بیت همزمان، مبدل DAC مبنای چهار

فهرست

فهرست جدول‌ها ..... د
فهرست شکل‌ها ..... ه

فصل ۱- مقدمه ۱
۱-۱- پیشگفتار ۱
۱-۲- هدف از انتخاب موضوع ۲
۱-۳- ساختار مطالب ۵

فصل ۲- مشخصه های مبدلهای دیجیتال به آنالوگ ۶
۲-۱- مقدمه ۶
۲-۱-۱- توصیف مفهومی مبدل آنالوگ به دیجیتال ۶
۲-۲- اساس کار مبدل‌های آنالوگ به دیجیتال ۷
۲-۲-۱- مبدل آنالوگ به دیجیتال ایده آل ۸
۲-۳- مشخصه‌های استاتیکی ۹
۲-۳-۱- عرض کد ۹
۲-۳-۲- نویز کوانتیزاسیون ۱۰
۲-۳-۳- قابلیت تفکیک ۱۰
۲-۳-۴- دقت ۱۱
۲-۳-۵- زمان اکتساب ۱۱
۲-۳-۶- زمان تبدیل ۱۱
۲-۳-۷- مشخصه های DC ۱۲
۲-۳-۸- خطای آفست ۱۲
۲-۳-۹- خطای گین ۱۳
۲-۳-۱۰- غیر خطی‌شدگی تفاضلی ۱۴
۲-۳-۱۱- غیر خطی‌شدگی انتگرالی ۱۵
۲-۴- مشخصه های دینامیکی ۱۶
۲-۴-۱- نسبت سیگنال به نویز ۱۷
۲-۴-۲- نسبت سیگنال به (نویز+ اعوجاج) ۱۷
۲-۴-۳- SFDR ۱۷
۲-۴-۴- THD و SDR ۱۸
۲-۴-۵- بازه دینامیکی ۱۹
۲-۴-۶- تعداد بیت‌های موثر ۲۰
۲-۴-۷- گلیچ ۲۲

۲-۴-۸- زمان فرونشست ۲۵
۲-۴-۹- زمان تبدیل ۳۰
۲-۴-۱۰- زمان رکود ۳۰
فصل ۳- مبدل آنالوگ به دیجیتال پرسرعت SAR ۳۲
۳-۱- مقدمه ۳۲
۳-۲- بیان الگوریتم ۳۲
۳-۲-۱- الگوریتم باینری ساده ۳۲
۳-۲-۲- الگوریتم جستجوی موازی چند بیت همزمان ۳۳
۳-۲-۳- رسم فلوچارت الگوریتم ۳۶
۳-۲-۴- بیان ریاضی الگوریتم ۳۹
۳-۳- بیان ساختارهای پیاده سازی ۴۱
۳-۴- ساختار مبدل‌های آنالوگ به دیجیتال SAR معمولی ۴۲
۳-۵- طرح‌های پیشنهادی برای مبدل‌های SAR با الگوریتم دو بیت همزمان ۴۳
۳-۵-۱- ساختار 3 DACs ۴۳
۳-۵-۲- ساختارHSA-ADC ۴۴
۳-۵-۳- ساختار 3Muxes ۴۵
۳-۵-۴- مبدل پرسرعت SAR با ساختار 3 DACs لایه گذاری شده زمانی ۴۷
۳-۶- ساختار پیشنهادی مبدل آنالوگ به دیجیتال SAR پرسرعت ۴۸
۳-۶-۱- معماری کلی مبدل SAR دو بیت همزمان با DAC داخلی مبنای چهار ۴۸
۳-۶-۱-۱- دکودر ۵۰
۳-۶-۱-۲- مقایسه‌گرها ۵۱
۳-۶-۱-۳- مبدل دیجیتال به آنالوگ مبنای ۴ با رزولوشن N/2 بیت ۵۱
۳-۶-۱-۴- واحد تولید ولتاژهای مرجع داخلی ۵۴
۳-۶-۱-۵- کنترل‌های زمانی و روند جریان بیت‌ها در هر مرحله جستجو ۵۷
فصل ۴- شبیه‌سازی سیستمی ۶۴
۴-۱- مبدل آنالوگ به دیجیتال SAR متداول ۶۴
۴-۱-۱- پیاده سازی معماری ۶۴
۴-۱-۲- نتایج شبیه‌سازی ۶۹
۴-۲- مبدل آنالوگ به دیجیتال SAR پرسرعت با یک DAC داخلی مبنای چهار ۷۲
۴-۲-۱- پیاده‌سازی معماری ۷۲
۴-۳- نتایج شبیه‌سازی ۸۲
۴-۳-۱- پاسخ ورودی شیب ۸۳
۴-۳-۲- پاسخ ورودی سینوسی ساده ۹۲
۴-۳-۳- تحلیل استاتیکی و دینامیکی مبدل SAR دو بیت همزمان ۹۹
۴-۳-۳-۱- محاسبه INL و DNL مبدل ۸ بیتی SAR دو بیت همزمان ۱۰۱

۴-۳-۳-۲- محاسبه پارامترهای دینامیکی مبدل ۸ بیتی SAR دو بیت همزمان ۱۰۷

فصل ۵- شبیه‌سازی مداری ۱۱۲

۵-۱- مدار نمونه‌بردار/نگه‌دارنده ۱۱۲

۵-۲- مقایسه‌گر ۱۲۲

۵-۳- مالتی‌پلکسر ۱۲۹

۵-۴- مبدل DAC مبنای چهار ۱۴۳

۵-۵- واحد کنترل لاجیک ۱۴۹

۵-۵-۱- فلیپ‌فلاپ‌ها ۱۴۹

۵-۶- بررسی پارامترهای مبدل SAR دو بیت همزمان ۱۵۵

۵-۶-۱- پارامترهای استاتیکی مبدل ۱۵۶

۵-۶-۲- پارامترهای دینامیکی مبدل ۱۵۷

۵-۶-۳- فرکانس کاری و مصرف توان ۱۵۸

فصل ۶- جمع‌بندی ۱۶۲

۶-۱- نتیجه‌گیری ۱۶۲

۶-۲- در آینده ۱۶۳

فهرست مراجع ۱۶۶

ضمائم ۱۶۷

ضمیمه أ. کد استخراج خروجی دیجیتال نهایی ۱۶۷

ضمیمه ب. کد محاسبه INL و DNL برای مبدل آنالوگ به دیجیتال N بیتی ۱۶۸

ضمیمه ت. کد محاسبه طیف توان و SFDR مبدل ۸ بیتی ۱۷۲

فهرست جدول‌ها

عنوان **صفحه**

جدول ۳-۱ تبدیل خروجی‌های مقایسه‌گرها به کد باینری ۵۰
جدول ۴-۱ خروجی ۸ بیت دیجیتال مبدل SAR دو بیت همزمان با DAC مبنای چهار به ازای ورودی شیب ۸۷
جدول ۴-۲ خروجی دیجیتال ۸ بیت مبدل SAR دو بیت همزمان با DAC مبنای چهار برای ورودی سینوسی ۹۵
جدول ۵-۱ مقادیر مقاومت‌های بدست آمده برای پیاده سازی DAC مبنای چهار مقاومتی ۱۴۵

فهرست شکل‌ها

عنوان **صفحه**

شکل ۱-۱ توزیع ساختارهای مختلف مبدل‌های آنالوگ به دیجیتال بر اساس رزولوشن و سرعت نمونه‌برداری[10] ۲
شکل ۲-۱: مدل سیستمی مبدل دیجیتال به آنالوگ [21] ۶
شکل ۲-۲ نمونه‌برداری با استفاده از سوئیچینگ [17] ۷
شکل ۲-۳ دسته بندی کاربردی مبدل‌های داده از لحاظ سرعت و رزولوشن [19] ۸
شکل ۲-۴ تابع انتقال یک مبدل A/D ایده آل[23] ۹
شکل ۲-۵ مداری برای تحقق نویز کوانتیزاسیون[18] ۱۰
شکل ۲-۶ مدل مدار ورودی مبدل تقریب متوالی[18] ۱۱
شکل ۲-۷ خطای آفست در مشخصه انتقال [19] ۱۲
شکل ۲-۸ خطای گین در مشخصه مبدل A/D [17] ۱۳
شکل ۲-۹ نمایش خطای بهره وآفست برای یک مبدل D/A [19] ۱۳
شکل ۲-۱۰ خطای DNL در مبدل A/D [18] ۱۴
شکل۲-۱۱ خطای DNL یک مبدل ۱۲ بیتی[18] ۱۵
شکل ۲-۱۲ خطای INL در مبدل A/D[19] ۱۶
شکل ۲-۱۳ تعریف SFDR و SNR برای مبدل های داده[17] ۱۸
شکل ۲-۱۴ نمودار مقایسه ای SFDR ، SDR و SNR [19] ۱۹
شکل ۲-۱۵ برآورد ENOB های متفاوت برای مبدل های A/D [23] ۲۱
شکل ۲-۱۶ گلیچ در خروجی مبدل دیجیتال به آنالوگ[17] ۲۲
شکل ۲-۱۷ گلیچ بالارونده در خروجی مبدلD/A [22] ۲۳
شکل ۲-۱۸ گلیچ پایین رونده در خروجی مبدلD/A [22] ۲۳
شکل ۲-۱۹ نمودار شبیه سازی گلیچ برای مبدلD/A [18] ۲۴
شکل ۲-۲۰ زمان فرونشست برای خروجی مبدل دیجیتال به آنالوگ[17] ۲۶
شکل ۲-۲۱ مدار داخلی سوییچ های متداول و سوییچ فرسایشی سورس[20] ۲۷
شکل ۲-۲۲ نمودار مشخصه DC سوییچ های معمولی و سوییچ های فرسایشی جریان [20] ۲۸
شکل ۲-۲۳ نمونه شکل موج خروجی سوییچ معمولی و فرسایشی برای ورودی پله [20] ۲۹
شکل ۲-۲۴ تاخیر رکود برای یک مبدلPipeline A/D [21] ۳۱
شکل ۳-۱ افراز بازه‌ها و زیربازه‌ها در الگوریتم جستجوی باینری معمولی ۳۳
شکل ۳-۲ افراز بازه‌ها به زیربازه‌های در الگوریتم فضای باینری ۳۴
شکل ۳-۳ اندیس گذاری الگوریتم جستجوی فضای باینری ۳۵
شکل ۳-۴ آرایش بیت‌های خروجی دیجیتال مبدل جدید ۳۶

شکل ۳-۵ فلوچارت الگوریتم جستجوی فضای باینری ۳۷
شکل ۳-۶ دیاگرام مبدل متداول SAR [5] ۴۲
شکل ۳-۷ دیاگرام مبدل SAR دوبیت همزمان با ساختار 3DACs [5] ۴۳
شکل ۳-۸ بلوک دیاگرام مبدل HSA-ADC [5] ۴۴
شکل ۳-۹ ساختار پیاده‌سازی مبدل HSA-ADC [5] ۴۵
شکل ۳-۱۰ دیاگرام ساختار سه مالتی‌پلکسری[2] ۴۶
شکل ۳-۱۱ ساختار داخلی بخش کنترل رجیستر و آفست مبدل سه مالتی‌پلکسری[2] ۴۶
شکل ۳-۱۲ دیاگرام کلی مبدل SAR دو بیت همزمان پرسرعت[1] ۴۷
شکل ۳-۱۳ ساختار داخلی شبکه C-net [1] ۴۷
شکل ۳-۱۴ تصویر سطح چیپ مبدل پرسرعت SAR دوبیت همزمان با ساختار پایه 3DACs [1] ۴۸
شکل ۳-۱۵ دیاگرام سیستمی مبدل SAR ADC دو بیت همزمان ساختار یک DAC مبنای چهار و یک مالتی‌پلکسر ۴۹
شکل ۳-۱۶ دکودر ساده شده تبدیل کد دماسنجی سه بیتی به باینری دو بیتی ۵۰
شکل ۳-۱۷ دیاگرام داخلی مبدل دیجیتال به آنالوگ مبنای ۴ با رزولوشن N/2 ..... ۵۱
شکل ۳-۱۸ ساختار مبدل DAC مبنای چهار با الگوی وزن‌های متوالی مساوی ۵۳
شکل ۳-۱۹ ساختار داخلی واحد تولید ولتاژهای مرجع داخلی ۵۵
شکل ۳-۲۰ دیاگرام داخلی بخش تولید ولتاژهای مرجع با استفاده از بافر کنترل‌شونده با کلاک ۵۷
شکل ۳-۲۱ نمودار زمانی سیگنال‌های داخلی مبدل آنالوگ به دیجیتال موردنظر ۵۸
شکل ۳-۲۲ اصلاح زمان آدرس دهی به مالتی‌پلکسر با استفاده از فلیپ‌فلاپ ورودی ۵۹
شکل ۳-۲۳ واحد تولید ولتاژهای مرجع با دو بافر آنالوگ ۶۰
شکل ۳-۲۴ نمودار زمانی خروجی واحد تولید ولتاژهای مرجع اصلاح شده ۶۲
شکل ۴-۱ مدل کلی مبدل ۸ بیتی SAR متداول ۶۵
شکل ۴-۲ ساختار داخلی واحد تبدیل کلاک و تولید سیگنال نمونه‌برداری ۶۶
شکل ۴-۳ نمودار زمانی سیگنال کلاک و سیگنال نمونه‌برداری ۶۶
شکل ۴-۴ ساختار داخلی مقایسه‌کننده آنالوگ ۶۷
شکل ۴-۵ واحد کنترل لاجیک مبدل ۸ بیتی SAR متداول ۶۸
شکل ۴-۶ ساختار داخلی فلیپ‌فلاپ D با پورت ***SET*** برای رجیسترهای داخلی ۶۸
شکل ۴-۷ ساختار داخلی مبدل DAC داخلی برای مبدل SAR متداول ۶۹
شکل ۴-۸ نمودار زمانی سیگنال‌های شبیه‌سازی مبدل SAR متداول ۸ بیتی ۷۰
شکل ۴-۹ نمودار زمانی تقریب ورودی نمونه‌برداری شده توسط مبدل ۸ بیتی SAR یک بیت بر کلاک ۷۱
شکل ۴-۱۰ شمای کلی مبدل آنالوگ به دیجیتال SAR با DAC داخلی مبنای چهار ۷۲
شکل ۴-۱۱ ساختار داخلی تبدیل‌کننده کلاک مبدل آنالوگ به دیجیتال SAR ۸ بیتی با DAC مبنای چهار ۷۳

شکل ۴-۱۲ ساختار داخلی واحد مقایسه‌گر مبدل آنالوگ به دیجیتال SAR با DAC مبنای چهار ۷۵
شکل ۴-۱۳ ساختار داخلی دکودر کد دماسنجی به کد باینری ۷۶
شکل ۴-۱۴ واحد تولید ولتاژهای مرجع مبدل آنالوگ به دیجیتال ۸ بیتی SAR با DAC مبنای چهار ۷۸
شکل ۴-۱۵ ساختار مبدل DAC مبنای چهار برای یک مبدل آنالوگ به دیجیتال ۸بیتی SAR دو بیت همزمان ۷۹
شکل ۴-۱۶ شبیه‌سازی عدم تطابق المانهای مبدل DAC مبنای چهار ۷۹
شکل ۴-۱۷ ساختار داخلی واحد عدم تطابق المانهای مبدل DAC مبنای چهار ۸۰
شکل ۴-۱۸ (الف) مدل سیستمی مالتی‌پلکسر آنالوگ واحد تولید ولتاژهای مرجع (ب) دکودر تبدیل کد باینری به کد one-hot ۸۱
شکل ۴-۱۹ ساختار داخلی واحد کنترل لاجیک مبدل ۸بیتی SAR دو بیت همزمان ۸۲
شکل ۴-۲۰ پاسخ زمانی ورودی شیب مبدل ۸ بیتی SAR دو بیت همزمان ۸۴
شکل ۴-۲۱ پاسخ زمانی ورودی شیب مبدل ۸ بیتی SAR دو بیت همزمان (بزرگنمایی شده) ۸۵
شکل ۴-۲۲ نمودار زمانی خروجی دیجیتال مبدل ۸ بیتی SAR دو بیت همزمان ۸۶
شکل ۴-۲۳ سیگنالهای داخلی واحد مولد ولتاژ مرجع برای ورودی شیب ۸۸
شکل ۴-۲۴ سیگنالهای داخلی واحد مولد ولتاژ مرجع برای ورودی شیب (بزرگنماییشده) ۸۹
شکل ۴-۲۵ ولتاژهای مرجع تولید شده در طول روند تبدیل ورودی شیب ۹۰
شکل ۴-۲۶ ولتاژهای مرجع تولید شده در طول روند تبدیل ورودی شیب (بزرگنماییشده) ۹۱
شکل ۴-۲۷ پاسخ ورودی سینوسی مبدل ۸ بیتی SAR دو بیت همزمان ۹۲
شکل ۴-۲۸ پاسخ ورودی سینوسی مبدل ۸ بیتی SAR دو بیت همزمان (بزرگنماییشده) ۹۳
شکل ۴-۲۹ خروجی دیجیتال مبدل ۸ بیتی SAR دو بیت همزمان به ازای ورودی سینوسی ساده ۹۴
شکل ۴-۳۰ سیگنالهای داخلی واحد مولد ولتاژهای مرجع برای ورودی سینوسی ساده ۹۶
شکل ۴-۳۱ سیگنالهای داخلی واحد مولد ولتاژهای مرجع برای ورودی سینوسی ساده (بزرگنماییشده) ۹۷
شکل ۴-۳۲ ولتاژهای مرجع تولید شده توسط واحد تولید ولتاژهای مرجع برای ورودی سینوسی ساده ۹۸
شکل ۴-۳۳ دیاگرام شبیه‌سازی پارامترهای استاتیکی و دینامیکی مبدل ۸ بیتی SAR با DAC مبنای چهار ۱۰۰
شکل ۴-۳۴ اثر عدم تطابق المان‌های مبدل DAC داخلی بر DNL و INL ۱۰۳
شکل ۴-۳۵ اثر آفست مقایسه‌گرها بر مقدار INL و DNL ۱۰۴
شکل ۴-۳۶ اثر عدم تطابق المانهای DAC داخلی و اثر آفست بر INL و DNL مبدل ۱۰۴
شکل ۴-۳۷ مقایسه تغییرات DNL برحسب درصد عدم تطابق تاثیرگذارترین المان DAC داخلی در مبدل ۸ بیتی SAR متداول و مبدل ۸ بیتی SAR دو بیت همزمان موردنظر ۱۰۵
شکل ۴-۳۸ مقایسه تغییرات INL برحسب درصد عدم تطابق تاثیرگذارترین المان DAC داخلی در مبدل ۸ بیتی SAR متداول و مبدل ۸ بیتی SAR دو بیت همزمان موردنظر ۱۰۶

شکل ۴-۳۹ طیف خروجی مبدل ۸ بیتی SAR دو بیت همزمان با فرکانس ورودی0.1 برابر فرکانس نمونه‌برداری ۱۰۷
شکل ۴-۴۰ طیف خروجی مبدل ۸ بیتی SAR دو بیت همزمان با فرکانس ورودی 0.3 برابر فرکانس نمونه‌برداری ۱۰۸
شکل ۴-۴۱ تبدیل فوریه ۱۳۱۰۷۲ نقطه‌ای از خروجی مبدل ۸ بیتی SAR دو بیت همزمان ۱۰۹
شکل ۴-۴۲ نمودار SFDR خروجی مبدل ۸ بیتی SAR دوبیت همزمان برای فرکانس‌های ورودی مختلف در فرکانس نمونه‌برداری 50MSample/s ۱۱۱
شکل ۴-۴۳ توان مولفه اول فرکانسی در فرکانس‌های ورودی متفاوت برای فرکانس نمونه‌برداری 50MS/s ۱۱۱
شکل ۵-۱ مدل کلی یک مدار نمونه‌بردار/نگه‌دارنده ۱۱۳
شکل ۵-۲ خروجی نمونه‌برداری شده برای یک مدار نمونه‌بردار/نگه‌دارنده ایده آل ۱۱۳
شکل ۵-۳ مدل نویز kT/C یک مدار نمونه‌بردار/نگه‌دارنده ساده ۱۱۴
شکل ۵-۴ مدل مقاومت خازن یک مدار نمونه‌بردار/ نگه‌دارنده جهت بررسی ثابت زمانی مدار ۱۱۵
شکل ۵-۵ نمونه‌برداری با ولتاژ گیت ثابت [10] ۱۱۸
شکل ۵-۶ مدار دنبال‌کننده/ نگه‌دارنده Bootstrap ۱۱۸
شکل ۵-۷ چگونگی عملکرد مدار نمونه‌بردار/نگه‌دارنده Bootstrap در حالت (الف) نگه‌دارنده (ب)نمونه‌برداری ۱۱۹
شکل ۵-۸ مدار دنبال‌کننده/ نگه‌دارنده Bootstrap متقارن ۱۲۰
شکل ۵-۹ خروجی مدار دنبال‌کننده/نگه‌دارندهBotstrap در فرکانس نمونه‌برداری 100MS/s ۱۲۱
شکل ۵-۱۰ خروجی مدار دنبال‌کننده/نگه‌دارندهBootstrap در فرکانس نمونه‌برداری 100MS/s (بزرگنمایی) ۱۲۱
شکل ۵-۱۱ اختلاف ولتاژ ورودی و خروجی مدار نمونه‌بردار/نگه‌دارنده طراحی شده در لحظه شروع نگهداری ۱۲۲
شکل ۵-۱۲ مقایسه‌گر متداول با تقویت‌کننده داخلی Folded ۱۲۳
شکل ۵-۱۳ مدل ساده مقایسه‌گر آنالوگ ترکیبی ۱۲۴
شکل ۵-۱۴ آفست خروجی مقایسه‌گر ترکیبی ساده ۱۲۵
شکل ۵-۱۵ مقایسه‌گر ترکیبی تمام بازه ۱۲۶
شکل ۵-۱۶ آفست مقایسه‌گر ترکیبی تمام بازه ۱۲۷
شکل ۵-۱۷ پاسخ ورودی شیب مدار مقایسه‌گر ترکیبی تمام بازه برای سه ولتاژ مرجع مختلف ۱۲۸
شکل ۵-۱۸ مقایسه‌گر ترکیبی تمام بازه با لود اکتیو فیدبک مثبت ۱۲۸
شکل ۵-۱۹ ساختار داخلی مالتی‌پلکسر ۴ به ۱ با دکودر مستقل ۱۲۹
شکل ۵-۲۰ مالتی‌پلکسر با ساختار تماما گیت انتقال ۱۳۰
شکل ۵-۲۱ (الف) مدار معادل مقاومتی گیت انتقال در حالت عبور (ب) مدار تست با لود خازنی ۱۳۱
شکل ۵-۲۲ نمودار مشخصه مقاومت گیت انتقال به ازای ورودی V(in) = VDD ۱۳۴

شکل ۵-۲۳ مشخصه مقاومت گیت انتقال برحسب ولتاژ ورودی گیت و ابعاد ترانزیستورها برای لود خازنی ۱۳۶
شکل ۵-۲۴ تاثیر اثر بدنه ترانزیستورها بر روی مشخصه مقاومت گیت انتقال برای لود خازنی ۱۳۹
شکل ۵-۲۵ مدار تست مقاومت گیت انتقال برای لود مقاومتی ۱۴۰
شکل ۵-۲۶ مشخصه مقاومت گیت انتقال بر حسب ولتاژ ورودی گیت و ابعاد ترانزیستورها برای لود مقاومتی ۱۴۰
شکل ۵-۲۷ تطابق مشخصه مقاومت گیت انتقال برای دو لود خازنی و مقاومتی ۱۴۱
شکل ۵-۲۸ تاثیر اثر بدنه ترانزیستورها بر روی مشخصه مقاومت گیت انتقال برای لود مقاومتی ۱۴۲
شکل ۵-۲۹ تطابق مشخصه مقاومت گیت انتقال برای دو لود خازنی و مقاومتی با حذف اثر بدنه ۱۴۲
شکل ۵-۳۰ مبدل DAC مبنای چهار مقاومتی ۱۴۳
شکل ۵-۳۱ خروجی مبدل DAC مبنای چهار مقاومتی با مقاومت پایه کوچک ۱۴۴
شکل ۵-۳۲ خروجی مبدل DAC مبنای چهار مقاومتی با مقاومت پایه بزرگتر ۱۴۵
شکل ۵-۳۳ خروجی مبدل DAC مقاومتی در فرکانس 100MHz با مقاومتهای بهینه شده ۱۴۶
شکل ۵-۳۴ مبدل DAC مبنای چهار خازنی ۱۴۷
شکل ۵-۳۵ ساختار داخلی DAC مبنای چهار جدید ۱۴۸
شکل ۵-۳۶ آرایش فلیپ‌فلاپ‌های داخلی واحد کنترل لاجیک ۱۴۹
شکل ۵-۳۷ فلیپ‌فلاپ پرسرعت نوع D با ساختار دومینولاجیک ۱۵۰
شکل ۵-۳۸ خطای خروجی فلیپ‌فلاپ‌های نوع D با معماری دومینو در فرکانس (الف) 20MHz (ب) 200MHz ۱۵۱
شکل ۵-۳۹ فلیپ‌فلاپ پرسرعت نوع D دیفرانسیلی ۱۵۲
شکل ۵-۴۰ خروجی فلیپ‌فلاپ نوع D دیفرانسیلی در فرکانس کلاک (الف) 20MHz (ب) 200MHz ۱۵۳
شکل ۵-۴۱ خروجی واحد کنترل لاجیک مبدل SAR دوبیت همزمان در فرکانس کلاک 300MHz و فرکانس نمونه‌برداری 50MS/s ۱۵۴
شکل ۵-۴۲ خروجی DAC مبنای چهار بر اساس ورودی‌های Step واحد کنترل لاجیک مبدل SAR دو بیت همزمان ۱۵۵
شکل ۵-۴۳ خطای INL و DNL مبدل ۸بیتی SAR دو بیت همزمان شبیه سازی شده در تکنولوژی ۹۰نانومتر ۱۵۶
شکل ۵-۴۴ طیف فرکانسی مبدل ۸بیتی SAR دو بیت همزمان شبیه سازی شده در تکنولوژی ۹۰نانومتر ۱۵۷
شکل ۵-۴۵ نمودار توزیع مصرف توان بخش‌های مختلف مبدل SAR دو بیت همزمان در فرکانس کلاک 300MHz و فرکانس نمونه‌برداری 50MS/s ۱۵۹
شکل ۵-۴۶ نتایج مقایسه مقدار پارامتر FoM ساختار پیشنهادی با ساختارهای مختلف ADC ۱۶۱
شکل ۶-۱ ساختار معماری کلی مبدل SAR دو بیت همزمان مستقل از رزولوشن خروجی ۱۶۳

شکل ۶-۲ معماری کلی مبدل SAR دو بیت همزمان تفاضلی ۱۶۴
شکل ۶-۳ پیاده سازی سیستمی مبدل SAR دو بیت همزمان تفاضلی ۱۶۵

فصل ۱– مقدمه

۱–۱– پیشگفتار

دنیای الکترونیک مدرن، امروزه به سرعت در حال توسعه و پیشرفت است و این پیشرفت سریع در مسیر خود با چالش‌های بزرگی چون سرعت ادوات، ابعاد کوچک آن و عمر باطری طولانی برای افزایش قابلیت حمل و نقل سیستم‌های الکترونیکی روبروست. واضح است که بدست آمدن بازدهی و سرعت بالا به ازای مصرف توان بیشتر سیستم‌ها بدست می‌آید که این انرژی مصرفی بیشتر از باطری‌ها تامین خواهد شد، بنابراین عمر باطری‌ها با توجه به محدود بودن میزان انرژی آنها کاهش خواهد یافت که در نتیجه آن قابلیت حمل و نقل سیستم موردنظر برای مدت زمان بیشتر نیز کاهش می‌یابد. بنابراین، طراحان سیستم‌های الکترونیکی به دنبال ایده هایی خواهند بود که همزمان با داشتن بازدهی و سرعت پردازش بالا، در عین حال مصرف توان کمتری نیز داشته باشند و با ابعاد مداری کمتر و عمر باطری بیشتر قابلیت حمل و نقل پذیری آن‌ها نیز افزایش بیابد.

طراحی دیجیتال و آنالوگ، نهایتا در نقطه ای مشترک محدود خواهند شد و آن طراحی و پیاده سازی مبدل‌های داده[۱] ای است که در عین داشتن سرعت پردازش و نرخ داده[۲] خروجی بالا، رزولوشن[۳] و دقت بالایی را در تبدیل دو فضای آنالوگ و دیجیتال به یکدیگر پشتیبانی کنند و در کنار این دو پارامتر مهم، مصرف توان کمتر و ابعاد و پیچیدگی مداری کمتری را نیز داشته باشند.

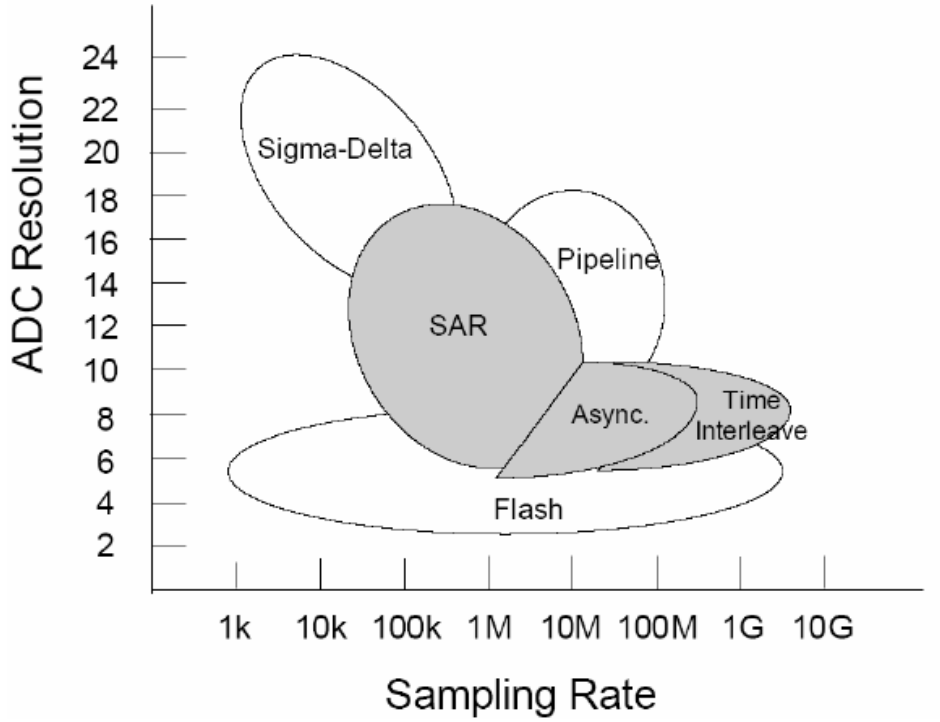
یکی از مهمترین و پرکاربردترین مبدل‌های داده، مبدل آنالوگ به دیجیتال[۴] است. مبدل آنالوگ به دیجیتال، دروازه ورودی سیستم‌های دیجیتال به دنیای آنالوگ است و در حقیقت، چشم بینای سیستم‌های دیجیتال، مبدل آنالوگ به دیجیتال ورودی آن است. دقت رزولوشن بالاتر و نرخ داده پردازش شده توسط مبدل، باعث درک دقیق‌تر و در عین حال سریعتر سیستم‌های دیجیتال از محیط‌های آنالوگ پیرامونی می‌شود. اما از طرفی، افزایش سرعت مبدل با مقدار رزولوشن خروجی آن در تقابل است. رزولوشن‌های بالاتر، نیازمند ساختارهای گسترده‌تر و پیچیده تری است و همین امر سبب می‌شود که سرعت عملکردی مبدل نیز پایین بیاید. بنابراین یکی از چالش‌های اصلی پیش روی طراحان، بدست آوردن بیشترین بازده و سرعت در عین حفظ دقت مبدل است.

---

[1] Data Converters
[2] Data Rate
[3] Resolution
[4] Analog to Digital Converters (A/D or ADC)

۱-۲- هدف از انتخاب موضوع

تاکنون، ایده‌های متفاوتی برای پیاده سازی معماری مبدل‌های آنالوگ به دیجیتال مطرح شده است. برخی از این ساختار با تمرکز بر کاربردهای پرسرعت مبدل ها، پیشنهاد شده اند چرا که پیچیدگی‌های زیاد آنها و گستردگی مدارهایشان، استفاده از آنها را در کاربردهای با رزولوشن بالاتر محدود می‌سازد. برخی دیگر از ساختارها، صرفا برای کاربردهایی پیشنهاد می‌شوند که در آن‌ها دقت مبدل از درجه اهمیت بیشتری برخوردار است در نتیجه چندان ترجیحی بر فرکانس کاری و سرعت مبدل ندارند. در کنار این ساختارها، معماری هایی نیز پیشنهاد می‌شوند که در کنار دقت بالا، سرعت مطلوبی را نیز پشتیبانی خواهند کرد. شکل ۱-۱نمودار توزیع کاربرد ساختارهای متداول مبدل‌های آنالوگ به دیجیتال را بر اساس قدرت تفکیکشان و نیز سرعت مبدل‌ها نشان می‌دهد.



شکل ۱-۱ توزیع ساختارهای مختلف مبدل‌های آنالوگ به دیجیتال بر اساس رزولوشن و سرعت نمونه‌برداری [10]

تاکنون برای کاربردهای پرسرعت ADC ایده‌های مختلفی ارائه شده است که هر کدام در کنار مزیت هایی، معایبی نیز داشته اند که کاربرد آنها را با محدودیت مواجه کرده است. شکل ۱-۱نشان می‌دهد که یکی از سریعترین مبدل‌های آنالوگ به دیجیتال که طیف وسیعی از فرکانس نمونه‌برداری ورودی را شامل می‌شود، مبدل‌های خانواده فلش یا Flash ADC هستند. برای اساس ساختار مبدل‌های فلش، عمل تبدیل ورودی آنالوگ به خروجی دیجیتال تنها در یک کلاک انجام می‌شود که سریعترین سرعت تبدیل ممکن است؛ اما این مبدل‌ها برای انجام تبدیل با چنین سرعتی، نیاز به حداقل 2^N-1 مقایسه‌گر آنالوگ

دارند که به طور همزمان عمل مقایسه و تبدیل را برای تمام 2^N حالت ممکن ورودی انجام دهند. همین مساله سبب می‌شود، که در رزولوشن‌های بالاتر از ۸ بیت، ساختار مبدل بسیار بزرگ شود و از طرفی مصرف توان مبدل نیز با نسبت 2^N افزایش یابد. بنابراین استفاده از ساختارهای خانواده فلش در کاربردهای با رزولوشن بالاتر از ۸ بیت مقرون به صرفه نیست.

برای حذف اثر نمایی رزولوشن خروجی بر سطح چیپ و توان مصرفی مبدل‌های خانواده فلش، ایده استفاده از مبدل‌های دو مرحله ای[1] [3] و نیز مبدل‌های خط لوله ای[2] [4] مطرح می‌شود. مبدل آنالوگ به دیجیتال دو مرحله در خانواده مبدل‌های فلش دسته بندی می‌شود. این مبدل شامل دو مبدل داخلی Coarse ADC و Fine ADC است که عمل تبدیل ورودی آنالوگ به خروجی دیجیتال را در دو مرحله انجام می‌دهد که در نتیجه آن تعداد مقایسه‌گرهای بکار رفته در آن به $2^{(N/2+1)}$ مقایسه‌گر [1] کاهش می یابد.

مبدل‌های خط لوله ای گونه‌ی دیگر از مبدل‌های خانواده فلش هستند که تعداد مقایسه‌گرهای بکار رفته در آن به یک مقایسه‌گر به ازای هر رزولوشن خروجی کاهش یافته است و یا به عبارتی یک مبدل آنالوگ به دیجیتال خط لوله ای N بیتی، تنها به N مقایسه‌گر آنالوگ داخلی نیازمند است. بنابراین سطح چیپ بسیار کوچکتری نسبت به سایر مبدل‌های خانواده فلش خواهد داشت و انتخاب مناسبی برای کاربردهای با سرعت بالا و نیز رزولوشن ورودی بالاست. اما با این حال، مبدل‌های خط لوله ای در ساختار خود از از تقویت‌کنندگی کاهشی میان طبقاتی[3] استفاده می‌کنند و همین امر سبب محدود سرعت آنها و نیز افزایش قابل ملاحضه مصرف توانشان می‌شود. از طرفی استفاده از الگوی تقویت‌کنندگی کاهشی حلقه-باز[4] نیاز به حلقه کالیبراسیون اضافی دارد [11] که همین امر سبب افزایش پیچیدگی مبدل و توان مصرفی بیشتر آن می‌شود[10].

مبدل‌های تقریب متوالی[5] یا به عبارتی دیگر SAR ADC یکی از متداول‌ترین انتخاب‌ها برای کاربردهای با سرعت نمونه‌برداری میانی و قدرت تفکیک بالاست. این مبدل‌ها در ساختار خود تنها از یک مقایسه‌گر آنالوگ استفاده می‌کنند، بنابراین، علاوه بر مصرف توان بسیار کمتر از سایر مبدل‌های خانواده فلش، برای رزولوشن‌های بالاتر، ابعاد مداری بسیار کوچکتری خواهد داشت؛ بنابراین با توجه به این دو

[1] Two steps ADCs
[2] Pipeline ADCs
[3] Inter-stage residue amplification
[4] Open-loop residue amplification
[5] Successive approximation ADCs

پارامتر ساختار SAR گزینه بسیار مناسبی برای طراحی مبدل‌های آنالوگ به دیجیتال خواهد بود. اما یکی از عمده‌ترین مشکلات مبدل‌های تقریب متوالی، سرعت تبدیل پایین آنهاست.

مبدل‌های تقریب متوالی به دلیل استفاده از الگوریتم جستجوی باینری[1]، برای هر مرحله تبدیل به N کلاک برای N بیت رزولوشن خروجی نیاز خواهند داشت. بنابراین، سرعت تبدیل آنها 1/N سرعت تبدیل مبدل‌های فلش خواهد شد، اما از طرفی با توجه به رشد نمایی مصرف توان و ابعاد مدار در مبدل‌های خانواده فلش، مصرف توان و ابعاد مداری مبدل‌های خانواده SAR نیز تقریبا $1/2^N$ برابر ساختارهای فلش خواهد شد. بنابراین، طراحان الکترونیک، سعی بر آن خواهند داشت تا با غلبه بر مشکل سرعت پایین تبدیل در مبدل‌های تقریب متوالی، از ویژگی مصرف توان بسیار پایین آنها و نیز ابعاد بسیار کوچک آنها استفاده کنند.

تاکنون ایده هایی برای افزایش سرعت مبدل‌های SAR مطرح شده است که بیشتر تمرکز آنها بر بهینه سازی سرعت المان‌های داخلی مبدل و ظرفیت کلاک‌زنی بالاتر بوده است اما روش‌های کمی بوده اند که بر بهبود الگوریتم و ساختار معماری این مبدل‌ها تمرکز کرده باشند که به طور مثال می‌توان به الگوریتم جستجوی مبنای ۳[6]، لایه گذاری زمانی[2][8]، جستجوی باینری به همراه افزونگی[3][9]، جستجوی باینری آسنکرون[4][7] و الگوریتم دو بیت همزمان[5][5] اشاره کرد. مشکل عمده اغلب این طراحی ها، ابعاد بزرگ و پیچیده‌تر شدن ساختارهای آنها در قیاس با ساختار مبدل‌های SAR متداول است که عملا کاربرد آنها را بی فایده می‌کند.

در این گزارش، با تغییر در الگوریتم دو بیت همزمان و بهبود آن، علاوه بر افزایش دو برابری سرعت مبدل SAR، ساختار پیشنهادی، تا حد زیادی نسبت به ساختارهای دیگر این الگوریتم، از پیچیدگی کمتری برخوردار باشد و نیز مصرف توان کمتری داشته باشد. در ساختار پیشنهادی تنها از یک DAC مبنای چهار با رزولوشن نصف رزولوشن خروجی مبدل SAR استفاده شده است. از طرفی به ازای همه رزولوشن‌های خروجی مبدل، تنها از سه مقایسه‌گر آنالوگ استفاده شود و ابعاد مداری واحد تولید ولتاژهای مرجع آن نیز مستقل از رزولوشن باشد. بنابراین، ساختار پیشنهادی، در فرکانس‌های دو برابر فرکانس نمونه‌برداری مبدل‌های SAR متداول و در رزولوشن‌های دو برابر رزولوشن خروجی این مبدل ها، قابل استفاده است.

[1] Binary Search Algorithm
[2] Time-Interleaving
[3] Binary Search with Redundancy
[4] Asynchronous Binary Search
[5] 2-bit/step Algorithm