١٤٩٠٥

٩٩٠٧٢

دانشگاه تربیت مدرس
دانشکده برق
گروه الکترونیک

پایان نامه کارشناسی ارشد

مدل سازی و استفاده از روشهای محاسبات ذهنی تراختنبرگ در مدارهای محاسباتی دیجیتال

نگارش
محسن حسنوند عموزاده

استاد راهنما
دکتر محمد باقر غزنوی قوشچی

۱۳۸۷ /۵/ ۲۲

دی ۱۳۸۶

۹۰.۷۲

بسمه تعالی

تاییدیه اعضای هیات داوران حاضر در جلسه دفاع از پایان

آقای محسن حسنوند عموزاده پایان نامه ۹ واحدی خود را **با عنوان مدلسازی و استفاده از روشهای محاسبات ذهنی تراختنبرگ در مدارهای محاسباتی و دیجیتال** در تاریخ ۱۳۸٦/۱۰/۲ ارائه کردند.

اعضای هیات داوران نسخه نهایی این پایان نامه را از نظر فرم و محتوا تایید کرده و پذیرش آنرا برای تکمیل درجه کارشناسی ارشد مهندسی برق - الکترونیک پیشنهاد می کنند.

عضو هیات داوران	نام و نام خانوادگی	درجه علمی	امضا
استاد راهنما	دکتر محمدباقر غزنوی قوشچی	استادیار	
استاد مشاور	دکتر عبدالرضا نبوی لیشی	دانشیار	
استاد ناظر	دکتر نصراله مقدم چرکری	استادیار	
استاد ناظر	دکتر امیر حسین جهانگیر	دانشیار	
مدیر گروه (یا نماینده گروه تخصصی)	دکتر نصراله مقدم چرکری	استادیار	

۹۹۰۷۲

آیین نامه چاپ پایان‌نامه (رساله)های دانشجویان دانشگاه تربیت مدرس

نظر به اینکه چاپ و انتشار پایان نامه (رساله)های تحصیلی دانشجویان دانشگاه تربیت مدرس، مبین بخشی از فعالیتهای علمی - پژوهشی دانشگاه است بنابراین به منظور آگاهی و رعایت حقوق دانشگاه،دانش آموختگان این دانشگاه نسبت به رعایت موارد ذیل متعهد می‌شوند:

ماده ۱: در صورت اقدام به چاپ پایان نامه (رساله)ی خود، مراتب را قبلاً به طور کتبی به «دفتر نشر آثارعلمی» دانشگاه اطلاع دهد.

ماده ۲: در صفحه سوم کتاب (پس از برگ شناسنامه) عبارت ذیل را چاپ کند:

«کتاب حاضر، حاصل پایان نامه کارشناسی ارشد/ رساله دکتری نگارنده در رشته الکترونیک است که در سال ۸۴ در دانشکده فنی دانشگاه تربیت مدرس به راهنمایی سرکار خانم/جناب آقای دکتر عزیزی و مشاوره سرکار خانم/جناب آقای دکتر نبوی از آن دفاع شده است.»

ماده ۳: به منظور جبران بخشی از هزینه‌های انتشارات دانشگاه، تعداد یک درصد شمارگان کتاب (در هر نوبت‌چاپ) را به «دفتر نشر آثارعلمی» دانشگاه اهدا کند. دانشگاه می‌تواند مازاد نیاز خود را به نفع مرکز نشر درمعرض فروش قرار دهد.

ماده ۴: در صورت عدم رعایت ماده ۳، ۵۰٪ بهای شمارگان چاپ شده رابه عنوان خسارت به دانشگاه تربیت‌مدرس، تأدیه کند.

ماده ۵: دانشجو تعهد و قبول می کند در صورت خودداری از پرداخت بهای خسارت، دانشگاه می‌تواندخسارت مذکور را از طریق مراجع قضایی مطالبه و وصول کند؛ به علاوه به دانشگاه حق می‌دهد به منظور استیفای حقوق خود، از طریق دادگاه، معادل وجه مذکور در ماده ۴ را از محل توقیف کتابهای عرضه شده‌نگارنده برای فروش، تامین نماید.

ماده ۶: اینجانب محسن حسن‌خانمحمدزاده دانشجوی رشته الکترونیک مقطع کارشناسی ارشد تعهد فوق وضمانت اجرایی آن را قبول کرده، به آن ملتزم می شوم.

نام و نام خانوادگی:

تاریخ و امضا:

دستورالعمل حق مالکیت مادی و معنوی در مورد نتایج پژوهشهای علمی دانشگاه تربیت مدرس

مقدمه: با عنایت به سیاست‌های پژوهشی دانشگاه در راستای تحقق عدالت و کرامت انسانها که لازمه شکوفایی علمی و فنی است و رعایت حقوق مادی و معنوی دانشگاه و پژوهشگران، لازم است اعضای هیات علمی، دانشجویان، دانش آموختگان و دیگر همکاران طرح، در مورد نتایج پژوهشهای علمی که تحت عناوین پایان‌نامه، رساله و طرحهای تحقیقاتی که با هماهنگی دانشگاه انجام شده است، موارد ذیل را رعایت نمایند:

ماده ۱- حقوق مادی و معنوی پایان نامه‌ها / رساله‌های مصوب دانشگاه متعلق به دانشگاه است و هرگونه بهره‌برداری از آن باید با ذکر نام دانشگاه و رعایت آیین‌نامه‌ها و دستورالعمل‌های مصوب دانشگاه باشد.

ماده ۲- انتشار مقاله یا مقالات مستخرج از پایان نامه/ رساله به صورت چاپ در نشریات علمی و یا ارائه در مجامع علمی باید به نام دانشگاه بوده و استاد راهنما مسئول مکاتبات مقاله باشد.

تبصره: در مقالاتی که پس از دانش آموختگی بصورت ترکیبی از اطلاعات جدید و نتایج حاصل از پایان‌نامه/ رساله نیز منتشر می‌شود نیز باید نام دانشگاه درج شود.

ماده ۳- انتشار کتاب حاصل از نتایج پایان نامه / رساله و تمامی طرحهای تحقیقاتی دانشگاه باید با مجوز کتبی صادره از طریق حوزه پژوهشی دانشگاه و بر اساس آئین نامه های مصوب انجام می‌شود.

ماده ۴- ثبت اختراع و تدوین دانش فنی و یا ارائه در جشنواره‌های ملی، منطقه‌ای و بین‌المللی که حاصل نتایج مستخرج از پایان نامه/ رساله و تمامی طرح‌های تحقیقاتی دانشگاه باید با هماهنگی استاد راهنما یا مجری طرح از طریق حوزه پژوهشی دانشگاه انجام گیرد.

ماده ۵- این دستورالعمل در ۵ ماده و یک تبصره در تاریخ ۱۳۸۴/۴/۲۵ در شورای پژوهشی دانشگاه به تصویب رسیده و از تاریخ تصویب لازم الاجرا است و هرگونه تخلف از مفاد این دستورالعمل، از طریق مراجع قانونی قابل پیگیری می شود.

نام و نام خانوادگی

امضاء

تقدیم به خانواده ام

تقدیر و تشکر

سپاس او را که هیچگاه بنده‌اش را فراموش نکرد هرگاه خود را تنها یافت او را بسیار نزدیک دید و آنگاه که او را صدا زد سریعتر از هر جوابی پاسخ شنید.

با تشکر از تمام دوستان و یارانی که در تمامی مراحل مرا یاریگر بودند.

با سپاس از تمامی اساتید گروه الکترونیک که افتخار شاگردی در محضر ایشان نصیبم گردید. و با سپاس ویژه از دکتر غزنوی که در تمامی مراحل پایان نامه از ابتدا تا پایان از راهنمایی‌های ایشان بهره‌مند بودم. و با تشکر از دکتر نبوی که در سمت استاد، استاد مشاور و ریاست محترم گروه از کلاس درس و راهنمایی‌های ایشان بهره‌مند گردیدم.

زبان و قلم را یارای تشکر و سپاس از این عزیزان نیست. از یگانه منان برای این عزیزان بهترین آرزوها را آرزومندم.

چکیده

در این پایان نامه یکی از روش‌های سریع ذهنی عملیات ریاضی به نام روش سریع محاسبات ذهنی تراختنبرگ بررسی و پیاده‌سازی شده است. هدف از انجام این تحقیق بررسی و امکان سنجی پیاده‌سازی این روش در عملیات ریاضی پایه جمع و ضرب و بررسی میزان کارایی آن در مدارات منطقی است.

در این پژوهش، ابتدا روش جمع ذهنی تراختنبرگ مورد بررسی قرارگرفته و سپس در الگوریتم این روش جهت پیاده‌سازی در مدارت منطقی تغییراتی داده شد و آرایش جدیدی از جمع‌کننده‌ها معرفی گردید. در مبحث نظری این نوع جمع، مبانی ریاضی و حداکثر اعداد قابل جمع مورد بررسی قرارگرفته و در مبحث عملی؛ ساختار، روش پیاده‌سازی، میزان تاخیر و پیچیدگی سخت افزار برحسب گیت واحد بررسی و محاسبه گردیده است. جهت بررسی عملکرد و شبیه‌سازی کد Verilog-HDL قابل سنتز ارایه و شبیه‌سازی عملکرد این آرایش جدید توسط ابزارهای شبیه‌سازی انجام گردید. نتایج میزان سخت‌افزار و تاخیر این جمع‌کننده برحسب گیت واحد با سایر جمع‌کننده‌ها مقایسه و نشان داده شد که این جمع‌کننده یکی از سریعترین جمع‌کننده‌های سری می‌باشد.

در قسمت دوم این پایان نامه، روش ضرب ذهنی تراختنبرگ مورد بررسی قرارگرفت که با کمک روش جمع تراختنبرگ یک آرایش جدید ضرب کننده ارایه شد. این آرایش در پیاده‌سازی به دو ساختار مختلف منتج گردید که میزان سخت افزار و تاخیر این دو ساختار بررسی و مزایا و معایب هر دو ساختار بررسی شد. درادامه هر دو ساختار جهت بررسی عملکرد و شبیه‌سازی توسط Verilog-HDL پیاده‌سازی شده و شبیه‌سازی عملکرد و سنتز این آرایش جدید انجام گردید. از مهمترین مزایای این ضرب کننده می‌توان به مستقل و ثابت بودن تعداد دفعات تکرار[1] از طول بیت ورودی و استفاده کمتر از حافظه نسبت به روش ROM اشاره کرد.

کلمات کلیدی: جمع‌کننده تراختنبرگ، ضرب‌کننده تراختنبرگ، جمع‌کننده ترتیبی، جمع‌کننده سریع، ضرب‌کننده ترتیبی، جمع‌کننده چند عملوندی، روش‌های سریع تراختنبرگ در ریاضی.

1 Iteration

فهرست مطالب

چکیده ..... أ
۱-مقدمه ۱
۱-۱ کار حاضر ۱
۱-۲ نمای کلی پایان‌نامه ۲
فصل دوم ۴
۲ مبانی مقایسه الگوریتم‌ها و اصول و ساختار جمع‌کننده‌ها ۴
۲-۱ انواع مدلها و معیارهای تخمین سطح و تاخیر ۴
۲-۱-۱ مدل‌های سطح ۴
۲-۱-۲ مدل تخمین سطح ۶
۲-۱-۳ مدل سازی تاخیر ۶
۲-۱-۴ مدلهای ممکن جهت تخمین تاخیر ۷
۲-۲ اصول وساختار جمع‌کننده‌ها ۸
۲-۲-۱ انواع جمع‌کننده‌ها ۹
۲-۲-۲ الگوریتم‌های پیشوندی ۱۴
۲-۲-۳ تکنیک‌های پایه بالا بردن سرعت در جمع‌کننده‌ها ۱۹
۲-۲-۴ جمع‌کننده‌های ترتیبی ۲۷
۲-۳ مقایسه بر مبنای سطح و تاخیر گیت واحد ۲۸
۲-۴ جمع‌کننده‌های با چندین عملوند ۳۰
۲-۴-۱ جمع‌کننده‌های آرایه‌ای ۳۰
۲-۴-۲ فشرده‌سازه‌ها (m,2) ۳۲
۲-۴-۳ جمع‌کننده‌های درختی ۳۳
فصل سوم ۳۵
۳-عملیات جمع به روش تراختنبرگ ۳۵
۳-۱ روش جمع ذهنی تراختنبرگ ۳۵
۳-۱-۱ مبانی ریاضی و حالت‌های ممکن ۳۷
۳-۲-۱ امتحان جواب در روش جمع تراختنبرگ ۴۲
۳-۳ بررسی روش جمع تراختنبرگ جهت پیاده‌سازی در مدارات منطقی ۴۴
۳-۳-۱ اصلاح روش تراختنبرگ جهت پیاده‌سازی در سخت افزار ۴۴
۳-۴ پیاده‌سازی سخت افزاری ۴۵

۳-۴-۱ اصول و تعاریف خطلوله ۴۵
۳-۴-۲ واحدهای تشکیل دهنده جمع‌کننده ۴۹
۳-۴-۳ حداکثر اعداد قابل جمع بدون سرریز در شمارنده ۵۱
۳-۴-۴ محاسبه اندازه بلوک‌ها و تاخیر ۵۱
۳-۴-۴ تاثیر تاخیر رجیسترها ۵۷
۳-۵ میزان پیچیدگی سخت افزار ۵۸
۳-۵-۱ جمع‌کننده‌ها ۵۸
۳-۵-۲ رجیسترها ۵۸
۳-۵-۳ شمارنده‌ها ۵۹
۳-۵-۴ میزان کل سخت افزار ۵۹
۳-۶ شبیه‌سازی سخت افزار با Verilog-HDL ۶۱
۳-۶-۱ زمان بندی ۶۱
۳-۶-۲ پیاده‌سازی سخت افزار و نتایج شبیه‌سازی ۶۲
۳-۷ نتیجه گیری ۶۴
۳-۷-۱ میزان تاخیر ۶۴
۳-۷-۲ اثر Fan-out ۶۵
۳-۷-۳ اثر منظم بودن ساختار ۶۵
۳-۷-۴ سویچینگ ناخواسته ۶۶
فصل چهارم ۷۴
۴- ضرب ۷۴
۴-۱ مقدمه ۷۴
۴-۲ ضرب باینری بدون علامت ۷۵
۴-۲-۱ ضرب کننده‌های آرایه نگهداشت سرریز(CSAM) ۷۶
۴-۲-۲ ضرب کننده‌های درختی ۷۷
۴-۳ الگوریتم بوث ۸۳
۴-۴ استفاده از ROM برای تولید حاصل ضرب‌های جزیی ۸۶
۴-۵ روش جمع و شیفت ۸۷
فصل پنجم ۸۹
۵-عملیات ضرب به روش تراختنبرگ ۸۹
۵-۱ الگوریتم‌های تراختنبرگ برای ضرب اعداد در عددهای یک رقمی ۸۹
۵-۱-۱ ضرب اعداد در عدد ۹ ..... ۸۹

۵-۱-۲ ضرب اعداد در عدد ۸ ..... ۹۱
۵-۱-۳ ضرب اعداد در عدد ۷ ..... ۹۳
۵-۱-۴ ضرب اعداد در عدد ۶ ..... ۹۴
۵-۱-۵ ضرب اعداد در عدد ۵ ..... ۹۵
۵-۱-۶ ضرب اعداد در عدد ۴ ..... ۹۷
۵-۱-۷ ضرب اعداد در عدد ۳ ..... ۹۸
۵-۱-۸ ضرب اعداد در عدد ۲ ..... ۱۰۰
۵-۲ معایب این روش جهت پیاده‌سازی ۱۰۰
۵-۳ استفاده از جمع‌کننده‌ی تراختنبرگ جهت عملیات ضرب ۱۰۲
۵-۴ بلوک‌های تشکیل دهنده ۱۰۳
۵-۴-۱ تولید ضرب‌های جزیی ۱۰۳
۵-۴-۲ بلوک حافظه ۱۰۴
۵-۴-۳ بلوک کاهش ۱۰۵
۵-۴-۴ بلوک جمع‌کننده‌ی نهایی ۱۰۶
۵-۴-۵ بلوک‌های واسطه ۱۰۶
۵-۵ معیار انتخاب β ۱۰۷
۵-۶ بررسی میزان پیچیدگی سخت افزار ۱۰۸
۵-۶-۱ میزان پیچیدگی سخت افزار در بلوک تولید ضرب جزیی ۱۰۸
۵-۶-۲ پیچیدگی سخت افزار بلوک حافظه ۱۰۸
۵-۶-۳ جمع‌کننده‌ی کاهش ۱۰۸
۵-۶-۴ جمع‌کننده‌ی نهایی ۱۰۹
۵-۶-۵ مدارات واسط ۱۰۹
۵-۷ بررسی میزان تاخیر ۱۱۰
۵-۸ پیاده‌سازی سخت افزاری ونتایج شبیه‌سازی ۱۱۲
۵-۹ مزایای استفاده از جمع‌کننده‌ی تراختنبرگ جهت عملیات ضرب ۱۱۳
فصل ششم ۱۱۵
۶- نتیجه‌گیری و پیشنهادات ۱۱۵
۶-۱ نتیجه‌گیری ۱۱۵
۶-۲ پیشنهادات ۱۱۵
مراجع ۱۱۷
پیوست ۱ ..... ۱

واژه نامه انگلیسی به فارسی ۱
پیوست ۲ I
واژه نامه فارسی به انگلیسی I

فهرست شکل‌ها

شکل ۲- ۱ نمایی کلی از ساختارهای مختلف جمع کننده‌ها..... ۹
شکل ۲-۲ پیاده‌سازی جمع کننده کامل..... ۱۲
شکل ۲-۳ نمایش اپراتورهای باینری درگراف..... ۱۶
شکل ۲-۴ جمع کننده ریپل سرریز..... ۲۰
شکل ۲-۵ جمع کننده ۱۶ بیتی پرش سرریز b) بلوک دیاگرام جمع کننده پرش سرریز..... ۲۳
شکل۲-۶ جمع کننده انتخاب سرریز..... ۲۴
شکل ۲-۷ جمع کننده افزایش سرریز..... ۲۶
شکل ۲-۸ چندین سطح ساده سازی انتخاب سرریز..... ۲۷
شکل ۲-۹ ساختار جمع کننده جمع شرطی..... ۲۷
شکل۲-۱۰ a)جمع‌کننده سریال ترتیبیb) جمع‌کننده ترتیبی با چند عملوند..... ۲۸
شکل ۲-۱۱ یک آرایه جمع کننده با ۴ عملوند با جمع کننده انتشار سرریز..... ۳۱
شکل۲-۱۲ یک آرایه جمع کننده با ۴ عملوند با جمع کننده حفظ سرریز..... ۳۱
شکل ۲-۱۳ یک ساختار عملی برای جمع کننده‌ها با چندین عملوند..... ۳۲
شکل۲-۱۴ a)یک جمع کننده چهار عملوند با استفاده از فشرده ساز 4,2..... ۳۴
b) یک جمع کننده درختی [4:2] برای m=16 ..... ۳۴
شکل ۳-۱ شمای کلی روش جمع تراختنبرگ..... ۳۵
شکل ۳-۲ ساختار جمع در روش تراختنبرگ..... ۳۸
شکل ۳-۳ ساختار جمع تراختنبرگ در حالت امکان سرریز در رقم نشانه‌ها..... ۴۰
شکل ۳-۴ یک بلوک از اولین مرحله‌ی جمع کننده..... ۴۸
شکل ۳-۵ شماتیک کلی از طرح جمع کننده..... ۴۹
شکل ۳-۶ بلوک دیاگرام شمارنده‌ها..... ۵۰
شکل ۳-۷ منحنی تاخیر بر حسب تعداد بیت..... ۵۵
شکل ۳-۸ منحنی مقایسه تاخیر در روش‌های مختلف در مقیاس نیمه لگاریتمی..... ۵۶
شکل۳-۹ منحنی سطح برحسب گیت واحد نسبت به طول بیت عدد ورودی برای جمع‌کننده‌های مختلف..... ۶۱
شکل ۳-۱۰ شماتیک HDL جمع کننده تراختنبرگ..... ۶۳
شکل۳-۱۱ نتیجه شبیه سازی در محیط VCS..... ۶۴
شکل ۳-۱۲ نمای RTL..... ۶۴
شکل ۳-۱۳ شماتیک یک بلوک از جمع کننده..... ۶۶
شکل ۳-۱۴ یک جمع کننده‌ی RCA ۶۸

شکل ۳-۱۵ مسیرهای تاخیر در یک جمع کننده ۶۸
شکل ۳-۱۶ یک جمع کننده‌ی کامل با استفاده از دو نیم جمع کننده..... ۶۹
شکل ۳-۱۷ نتایج شبیه سازی سویچینگ ناخواسته در یک بلوک جمع کننده‌ی TA..... ۷۲
شکل ۳-۱۸ نتایج شبیه سازی سویچینگ ناخواسته در یک بلوک جمع کننده‌ی RCA..... ۷۳
شکل ۴-۱ ماتریس ضرب ۴ بیت در ۴ بیت ۷۵
شکل ۴-۲ یک ضرب کننده‌ی ۴×۴ بیتی CSAM و یک سلول MFA ۷۷
شکل ۴-۳ الف)شکل اصلی ماتریس ضرب ب) شکل دوباره منظم شده ماتریس ضرب ۴×۴ ..... ۷۹
شکل ۴-۴ دیاگرام نقطه‌ای ضرب ۴×۴ درخت والاس ۸۰
شکل ۴-۵ دیاگرام نقطهای ضرب کننده‌ی دادا ۸۱
شکل ۴-۶ دیاگرام نقطه‌ای ضرب کننده‌ی ۴ بیتی به روش RA ۸۳
شکل ۴-۷ پیاده‌سازی ضرب ۸×۸ با استفاده از چهار ROM ۲۵۶×۸..... ۸۶
شکل ۴-۸ استفاده از ROM برای آرایه‌های متفاوت ضرب تا۶۴×۶۴ بیت..... ۸۷
شکل ۴-۹ شماتیک کلی ضرب کننده جمع وشیفت ۸۸
شکل ۵-۱ ساختار کلی ضرب کننده‌ی تراختنبرگ ۱۰۲
شکل ۵-۲ بلوک دیاگرام ضرب کننده تراختنبرگ با جزییات بیشتر ۱۰۳
شکل۵-۳ پیاده‌سازی مرحله کاهش با استفاده از جمع کننده تراختنبرگ ۱۰۶
شکل ۵-۴ بلوک دیاگرام کد Verilog-HDL ۱۱۲
شکل ۵-۵ نتیجه شبیه سازی برای ورودی‌های ۳۲ بیتی ۱۱۳
شکل ۵-۶ نمای RTL از ضرب کننده تراختنبرگ برای ورودی‌های ۸بیتی ۱۱۳

فهرست جدول‌ها

جدول ۲-۱ میزان تاخیر در جمع کننده‌های مختلف..... ۲۹
جدول ۲-۲ میزان سخت افزار در جمع کننده‌های مختلف..... ۲۹
جدول ۳-۱ میزان تاخیر به ازای طول بیت‌های متفاوت..... ۵۴
جدول۳-۲ طول عدد ورودی در حالت بهینه شده برای تاخیر..... ۵۴
جدول ۳-۳ مقایسه تاخیر جمع کننده با یکدیگر ۵۷
جدول ۳-۴ میزان سخت افزار به ازای اعداد با طول بیت‌های متفاوت..... ۶۰
جدول ۳-۵ میزان سخت افزار در جمع کننده‌های مختلف ۶۰
جدول ۴-۱ کد کننده ۲ بیت با چک کردن ۳ بیت در الگوریتم بوث اصلاح شده..... ۸۴
جدول ۴-۲ نتیجه محاسبه ضرب X در مقدار Y ۸۵
جدول۵-۱ مقایسه تاثیر β در تعداد دفعات تکرار وسخت افزار حافظه ۱۰۷

۱-مقدمه

در این فصل به بیان انگیزه و ضرورت این پژوهش پرداخته شده و خلاصه‌ای از پایان نامه حاضر و ساختار هر فصل بصورت کلی بیان شده است.

۱-۱ کار حاضر

امروزه با پیشرفت الکترونیک، دنیای دیجیتال جز جدا ناشدنی زندگی بشر امروزی شده است. پردازش سیگنال‌های دیجیتال در عصر حاضر پیشرفت سریعی داشته و با ارزان شدن ساخت قطعات نیمه‌هادی، پردازش سیگنال وارد زندگی روزمره انسان شده است. قسمت اعظم پردازش سیگنال‌های دیجیتال نظیر FFT، فیلتر کردن و.... شامل محاسبات طولانی ریاضی نظیر جمع و ضرب‌های مکرر می‌باشد. برای مثال برای محاسبه مستقیم یک DFT، N نقطه‌ای به $4N^2$ عملیات ضرب و $N(4N-2)$ عملیات جمع نیاز است[۱۵]. حجم بالای محاسبات در پردازش دیجیتال نیاز به جمع‌کننده‌های سریع را افزایش داده و گاها این محاسبات گلوگاه تبدیل سیستم‌های برون خط [1]به سیستم‌های برخط[2] می‌باشند. علاوه بر کاربرد پردازش دیجیتال در کاربردهای رمز حجم بالای از محاسبات جهت رمز و رمزگشای انجام می‌شود.

1 Offline

2 online

علاوه بر این موارد، دقت محاسبات (تعداد بیت‌های محاسبات) هر چه افزایش می‌یابد تاخیر مدارات محاسباتی بیشتر شده و اهمیت روش‌های سریع بیشتر روشن می‌گردد.

روش‌های سریع محاسبات ذهنی از دیرباز تاکنون مورد توجه بشر بوده و یکی از مدون‌ترین و معروف‌ترین این روش‌ها، روش محاسبات ذهنی تراختنبرگ است که توسط شخصی به همین نام ابداع گردید. هدف بررسی امکان سنجی پیاده‌سازی این روش‌ها برای بالا بردن سرعت محاسبات ریاضی در مدارات منطقی است که به همین منظور در این تحقیق روش‌های جمع و ضرب تراختبرگ جهت بررسی و پیاده‌سازی انتخاب گردید.

۱-۲ نمای کلی پایان‌نامه

این پایان‌نامه در پنج فصل تنظیم و نگارش شده است. ساختار و فصل‌های این پایان‌نامه بصورت زیر است.

در فصل دوم، ابتدا انواع مدلها جهت بررسی و مقایسه مدارات منطقی ارایه شده و مزایا و معایب مدلهای مختلف تخمین سطح و تاخیر بیان شده است. در بین این مدلها، مدل گیت واحد پرکاربردتر بوده و این مدل جهت تخمین سطح و تاخیر در سایر فصل‌ها مورد استفاده قرار گرفته است. در ادامه این فصل انواع آرایشهای جمع‌کننده بصورت خلاصه مورد بررسی قرار گرفته است.

در فصل سوم، ابتدا مبانی جمع سریع تراختنبرگ مورد بررسی قرار گرفته و سپس به بررسی این روش جهت پیاده‌سازی در مدارات منطقی پرداخته شده است. در ادامه این فصل، این روش جهت پیاده‌سازی در مدارات منطقی تغییر یافته و یک آرایش جدید جمع‌کننده ارایه شده و برای تخمین کارایی و مقایسه با سایر روش‌ها میزان تاخیر و پیچیدگی سطح، برای طول بیت‌های مختلف محاسبه و فرمول بندی شده و پس از آن نتیجه شبیه‌سازی و نمای RTL کد Verilog-HDL ارایه گردیده است. در پایان فصل عملکرد این جمع‌کننده جمع بندی و نتیجه گیری شده است.

در فصل چهارم به روش‌های مختلف ضرب پرداخته شده و مزایا و معایب هر کدام بصورت کاملا خلاصه بیان گردیده است.

در فصل پنجم، الگوریتم‌های ضرب تراختنبرگ بررسی شده و سپس معایب این الگوریتم‌ها در پیاده‌سازی بیان گردیده است. در ادامه یک آرایش بر اساس جمع‌کننده تراختنبرگ معرفی شده است. که دو ساختار مختلف از این آرایش منتج و محاسبات مربوط به تخمین تاخیر و پیچیدگی سطح برای این آرایش جدید برحسب گیت واحد انجام شده است. هر دو ساختار توسط Verilog-HDL پیاده‌سازی و نتیجه شبیه‌سازی و نمای RTL کد سنتز شده ارایه گردیده است. در پایان فصل عملکرد این ضرب کننده جمع بندی و نتیجه گیری شده است.

فصل دوم

۲ مبانی مقایسه الگوریتم‌ها و اصول و ساختار جمع‌کننده‌ها

در این فصل ابتدا انواع مدلها جهت بررسی عملکرد و مقایسه مدارات منطقی ارایه شده، و مزایا و معایب مدلهای مختلف تخمین سطح و تاخیر بیان شده است. در بین این مدلها، مدل گیت واحد کاربردی‌تر بوده و این مدل جهت تخمین سطح و تاخیر در این تحقیق مورد استفاده قرار گرفته است. در قسمت دوم این فصل، انواع جمع‌کننده و آرایش‌های مختلف به اختصار بررسی شده است.

۲-۱ انواع مدلها و معیارهای تخمین سطح و تاخیر

برای بررسی عملکرد و مقایسه مدارات منطقی برحسب میزان تاخیر و میزان پیچیدگی سخت افزار معیارهای مختلفی ارایه شده است و تخمین‌های مختلفی برای مدل‌های سطح و تاخیر وجود داشته که هر کدام از این تخمین‌ها دارای معایب و مزایای مربوط به خود است. که در ادامه این بخش این مدلها و تخمین‌ها بررسی گردیده است.

۲-۱-۱ مدل‌های سطح[1]

برای مدل‌سازی سطح معیارهای مختلفی وجود دارد که تعدادی از این معیارها در ادامه آمده است. همچنین مدل‌های مختلفی برای تخمین میزان پیچیدگی سطح بررسی و مزایا و معایب هر کدام از این مدل‌ها بررسی شده است.

1Area modeling

پیچدگی کل مدار[1] (GE_{total})

پیچدگی مدار می‌تواند توسط گیت معادل[2] اندازه‌گیری گردد، هر GE معادل یک گیت NAND دو ورودی و هر گیت نیز معادل چهار ترانزیستور MOSFET است.

(1 GE =1 2-input NAND-gate= 4 MOSFETs)

مساحت مدار $A_{circuit}$

مساحت مدار، مساحت اشغال شده توسط سلولها و سیم بندی بین سلولها می‌باشد (معادله ۲-۱).

$$(A_{circuit} = A_{cells} + A_{wiring}) \quad (۱-۲)$$

کل مساحت یک سلول A_{cells}

بطور تخمینی متناسب با تعداد سلولهای استفاده شده است.

مساحت سیم بندی[3] A_{wiring}

متناسب با طول کل سیم‌ها می‌باشد.

طول کل سیمها L_{total}

بطور تخمینی از تعداد Node و طول متوسط سیمها محاسبه می‌شود.

توانایی راه اندازی خروجی سلول[4] (FO)

تعداد ورودی‌های که خروجی یک سلول می‌تواند راه اندازی کند. و Fan-in تعداد ورودیها به یک سلول است که برای بسیاری از مدارات ترکیبی متناسب با اندازه سلول است.

1 Total circuit complexity
2 Gate equivalent
3 Wiring area
4 Cell fan-out