٣٠٢٧٠

۱۳۷۹ /۷/ ۱۰

دانشگاه تهران

دانشکده فنی

مرکز اطلاعات و مدارک علمی ایران
تهیه مدارک

گروه مهندسی برق و کامپیوتر

پایان‌نامه برای دریافت درجه کارشناسی ارشد

رشته مهندسی برق-گرایش الکترونیک

۷۷۸۱

موضوع:

طراحی توان-پایین سیستمهای دیجیتال بر اساس اصول سوییچینگ آدیاباتیک

توسط: حمید محمودی‌میمند

استاد راهنما: دکتر علی افضلی‌کوشا

شهریور ۱۳۷۹

۳۰۲۷۰

موضوع:

طراحی توان-پایین سیستمهای دیجیتال بر اساس اصول سوییچینگ آدیاباتیک

توسط: حمید محمودی‌میمند

پایان‌نامه برای دریافت درجه کارشناسی ارشد

رشته مهندسی برق-گرایش الکترونیک

از این پایان‌نامه در تاریخ ۱۳۷۹/۶/۲۳ در مقابل هیئت داوران دفاع به عمل آمـد و مورد تصویب قرار گرفت.

سرپرست تحصیلات تکمیلی دانشکده فنی: دکتر محمدعلی بنی‌هاشمی

مدیر گروه آموزشی: دکتر محمود کمره‌ای

سرپرست تحصیلات تکمیلی گروه: دکتر جواد فیض

استاد راهنما: دکتر علی افضلی‌کوشا

عضو هیئت داوران: دکتر محمود کمره‌ای

عضو هیئت داوران: دکتر شمس‌الدین مهاجرزاده

عضو هیئت داوران: دکتر محمدرضا موحدین

تقدیم به پدر و مادر عزیزم

تشکر و قدردانی

اول از همه بر خود لازم می‌دانم از استاد راهنمایم آقای دکتر افضلی‌کوشا به خاطر حمایت و راهنماییهایشان در طول این پروژه تشکر و قدردانی بنمایم. همچنین از آقای دکتر نورانی به خاطر راهنماییهای مفید و ارائه مقاله در کنفرانس MWSCAS2000 کمال تشکر را دارم.

از تمام افرادی که درطول این پروژه از راهنماییهایشان برخوردار بوده‌ام، مخصوصاً از آقای پروفسور Oklobdzija و دکتر Maksimovic به خاطر توضیحات مفیدشان بسیار سپاسگزارم.

همچنین لازم است از شرکت نیمه‌هادی عماد به خاطر حمایت در مراحل پیاده‌سازی IC و از شورای پژوهشی دانشگاه تهران از جهت حمایتهای مالی در قالب طرح پژوهشی کمال تشکر را بنمایم.

از دوستان عزیزم در آزمایشگاه IC، آقایان مهندس خاکی‌فیروز، نجاتی، آشتیانی، شریف‌خانی و امینی که همواره از راهنماییهایشان برخوردار بوده‌ام و همچنین از دوست عزیزم آقای مهندس هوشمند به خاطر کمک در معادل‌یابی واژه‌های انگلیسی بسیار سپاسگزارم.

حمید محمودی‌میمند

شهریور ۱۳۷۹

چکیده

گرایش روزافزون به سمت جابجاپذیر ساختن سیستمهای با کارایی بالا، تـوان مصرفـی را بـه عنـوان مهمترین مساله در طراحیهای دیجیتال و آنالوگ مطـرح سـاخته اسـت. بـرای کـاهش تـوان مصرفـی روشهای متعددی در تمام سطوح طراحی (معماری، مدار/منطق، ترانزیسـتور و غـیره) پیشـنهاد شـده است. یکی از منطقهای پیشنهاد شده برای این منظور، منطق آدیاباتیک است که با کوچک نگاه داشتن افت ولتاژ دو سر ترانزیستورها در هنگام سوییچینگ و بازیابی انـرژی اسـتفاده شـده بـرای تحریـک گرههای خروجی، توان مصرفی را کاهش میدهد. در این روش، سیگنالهای تغذیه و کـلاک مـدارات معمولی با یک سیگنال AC به نام تغذیه-کلاک جـایگزین میشـوند کـه هـر دو نقـش تغذیـهدهی و زمانبندی مدار را انجام میدهد.

به منظور بررسی جامع منطق آدیاباتیک و مقایسه آن با منطـق CMOS اسـتاتیک یـک جمعکننـده پیشنگر به نقلی[1] ۸ بیتی را بر مبنای دو منطق آدیاباتیک و CMOS استاتیک با یـک تکنولـوژی 0.6μm طراحی میکنیم. در منطق CMOS استاتیک طراحی را بر اساس دو روش ترکیبـی و پـایپلاین انجـام میدهیم و سپس هر سـه طـرح را در یـک تراشـه آزمایشـی پیادهسـازی میکنیـم. بـر اسـاس نتـایج شبیهسازی بعد از جانمایی[2]، بسته به فرکانس کاری، جمعکننده آدیاباتیک نسـبت بـه نمونـه ترکیبـی CMOS استاتیک صرفهجویی ٦٨ تا ٨٢ درصدی و نسبت به نمونه پـایپلاین صرفـهجویی ٨١ تـا ٨٧ درصدی در انرژی (توان) مصرفی نشان میدهد. علاوه بر این جمعکننـده آدیابـاتیک بـه مـیزان قـابل ملاحظهای نویز سوییچینگ تغذیه را کاهش میدهد. از جهت منفی، بیشینه فرکانس کاری جمعکننـده آدیاباتیک تقریباً نصف بیشینه فرکانس کاری جمعکنندههای CMOS استاتیک است و در هـر فرکـانس کاری، کمینه ولتاژ کاری آن بیشتر از نمونههای CMOS استاتیک میباشد.

ملاحظات عملی در طراحی مولدهای تغذیه-کـلاک را مطـرح میکنیـم. ضمـن تشـریح مفـهوم مدلسازی منطق آدیاباتیک، روشی را برای طراحی این مولدها پیشنهاد کرده و چند مولد تغذیه-کلاک سنکرون و آسنکرون را برای جمعکننده آدیاباتیک طراحی میکنیم و نشان میدهیم که مولـد تغذیـه-کلاک سنکرون 2N دارای بیشترین راندمان تبدیل و کمترین میزان تلفات انرژی میباشد.

۱- carry look-ahead adder

۲- layout

فهرست مطالب

فصل اول: مقدمه ۲

فصل دوم: اصول سوییچینگ آدیاباتیک ۵

۲-۱) شارژ آدیاباتیک ۹

۲-۲) بافر آدیاباتیک ۱۲

۲-۳) بافر آدیاباتیک یک طبقه در سیستمهای مرسوم ۱۶

۲-٤) بافر آدیاباتیک دو طبقه در سیستمهای مرسوم ۱۷

۲-۵) سیستم کاملاً آدیاباتیک ۱۹

۲-٦) مقایسه با بافر مرسوم ۲۰

۲-۷) تاثیر ولتاژ تغذیه ۲۲

فصل سوم: گیتهای منطقی آدیاباتیک ۲۳

۳-۱) مدارات ترتیبی کاملاً آدیاباتیک ۲۷

۳-۲) مدارات ترتیبی جزئاً آدیاباتیک ۲۹

۳-۳) خانواده‌های منطق آدیاباتیک ۳۵

۳-۳-۱) منطق 2N-2N2D ۳٦

۳-۳-۲) منطق 2N-2P و 2N-2N2P ۳۸

۳-۳-۳) منطق PAL ٤۰

۳-۳-۳-۱) عملکرد PAL ٤۰

۳-۳-۳-۲) زنجیره PAL ٤۰

۳-۳-٤) منطق TSEL ٤۲

۳-۳-٤-۱) گیت TSEL PMOS ٤۲

۳-۳-٤-۲) گیت TSEL NMOS ٤۵

۳-۳-٤-۳) زنجیره کردن گیتهای TSEL ٤٦

۳-۳-۵) منطق SCAL ٤۸

۳-٤) روشهای تولید تغذیه-کلاک ۵۵

۳-٤-۱) منابع تغذیه پالسی ۵۵

۳-٤-۲) شارژ پله‌ای ٦۰

فصل چهارم: تحقق یک جمع‌کننده برای مقایسه منطقهای آدیاباتیک و CMOS استاتیک ٦۹

٤-۱) پیاده‌سازی آدیاباتیک ۷۵

٤-۲) پیاده‌سازی CMOS استاتیک ۷۹

٤-۲-۱) پیاده‌سازی ترکیبی ۷۹

٤-۲-۲) پیاده‌سازی پایپ‌لاین ۸۰

٤-۳) پیاده‌سازی تراشه آزمایشی ۸٦

فصل پنجم: نتایج شبیه‌سازی ۹۲

۵-۱) نتایج مصرف انرژی ۹٤

۵-۲) بررسی نویز سوییچینگ ۱۰۰

۵-۳) تولید تغذیه-کلاک ۱۰۲

۵-۳-۱) مدل منطق آدیاباتیک ۱۰۵

۵-۳-۲) مولدهای تغذیه-کلاک رزونانسی مجتمع ۱۰۷

۵-۳-۳) طراحی تغذیه-کلاک ۱۰۹

۵-٤) نتایج شبیه‌سازی با در نظر گرفتن اثر مولد تغذیه-کلاک ۱۱۲

فصل ششم: نتیجه‌گیری و پیشنهادات ۱۱۸

مراجع ۱۲۰

واژه‌نامه ۱۲۳

فهرست شکلها

شکل ۲-۱) گیت مرسوم با سوییچینگ خط به خط ۶

شکل ۲-۲) شارژ خازن توسط منبع جریان از طریق سوییچی با مقاومت روشنایی مشخص ۱۰

شکل ۲-۳) نمایش مداری و منطقی یک بافر آدیاباتیک ۱۳

شکل ۲-۴) دو بافر زنجیره‌ای برای تحریک بارهای خازنی ۱۸

شکل ۲-۵) مقایسه تلفات بر حسب تابعی از زمان برای (a) بافر مرسوم، (b) بافر آدیاباتیک یک طبقه، (c) بافر آدیاباتیک دو طبقه و (d) بافر در سیستم کاملاً آدیاباتیک ۲۱

شکل ۲-۶) مشابه شکل ۲-۵، اما با ولتاژ تغذیه پایینتر m=۲/۱ ۲۱

شکل ۳-۱) (الف) گیت منطقی CMOS مرسوم (ب) گیت آدیاباتیک متناظر ۲۴

شکل ۳-۲) زنجیره جمع‌شدنی از گیتهای منطقی آدیاباتیک ۲۶

شکل ۳-۳) گیت آدیاباتیک قابل پایپ‌لاین‌سازی ۲۸

شکل ۳-۴) گیت آدیاباتیک نوع فلیپ فلاپی ۳۱

شکل ۳-۵) شارژ خازن خروجی یک بافر تحقق یافته با استفاده از منطق شکل ۳-۴ ۳۳

شکل ۳-۶) گیت پایه‌ای منطق آدیاباتیک 2N-2N2D ۳۷

شکل ۳-۷) زنجیره‌ای از معکوسگرهای 2N-2N2D ۳۷

شکل ۳-۸) نمودار زمانی زنجیره معکوسگرهای 2N-2N2D ۳۷

شکل ۳-۹) معکوسگر 2N-2P ۳۹

شکل ۳-۱۰) زنجیره معکوسگر و تغذیه-کلاک چهار فازه ۳۹

شکل ۳-۱۱) معکوسگر PAL ۴۱

شکل ۳-۱۲) تحقق Q=A.B+C در PAL ۴۱

شکل ۳-۱۳) زنجیره چهار طبقه از معکوسگرهای PAL ۴۳

شکل ۳-۱۴) شکل موجهای حاصل از شبیه‌سازی HSPICE یک زنجیره چهار طبقه از معکوسگرهای PAL. (الف) تغذیه-کلاک (PC و PC/)، (ب) ورودی اولین طبقه، (ج) خروجی اولین طبقه، (د) خروجی دومین طبقه، (ه) خروجی سومین طبقه، (و) خروجی چهارمین طبقه. ۴۳

شکل ۳-۱۵) (الف) معکوسگر PMOS و (ب) معکوسگر NMOS در TSEL ۴۴

شکل ۳-۱۶) زمان‌بندی ارتباط گیت به گیت. D_P: فاز *تخلیه* PMOS، E_P : فاز *ارزیابی* PMOS، H_P : پایداری خروجی PMOS، C_N : فاز *شارژ* NMOS، E_N : فاز *ارزیابی* NMOS، H_N: پایداری خروجی NMOS، A : سوییچینگ آدیاباتیک، و N : سوییچینگ غیر آدیاباتیک ٤٤

شکل ۳-۱۷) زنجیره چهار طبقه از معکوسگرهای TSEL ٤٧

شکل ۳-۱۸) شکل موجهای حاصل از شبیه‌سازی HSPICE یک زنجیره چهار طبقه از معکوسگرهای TSEL. (۱) تغذیه-کلاک Φ، (۲) ورودی اولین طبقه، (۳) خروجی اولین طبقه، (٤) خروجی دومین طبقه. (٥) خروجی سومین طبقه، (٦) خروجی چهارمین طبقه. ٤٧

شکل ۳-۱۹) (الف) معکوسگر PMOS و (ب) معکوسگر NMOS در SCAL ٤٩

شکل ۳-۲۰) زمان‌بندی SCAL. D_{PMOS} : فاز *تخلیه* PMOS؛ E_{PMOS} : فاز *ارزیابی* PMOS؛ P_{on} : روشنی منبع جریان PMOS؛ C_{NMOS} : فاز *شارژ* NMOS؛ E_{NMOS} : فاز *ارزیابی* NMOS؛ N_{on} : روشنی منبع جریان NMOS؛ A_{PMOS}، A_{NMOS} : سوییچینگ آدیاباتیک برای PMOS و NMOS؛ N_{PMOS}، N_{NMOS} : سوییچینگ غیر آدیاباتیک برای PMOS و NMOS. ٥٢

شکل ۳-۲۱) زنجیره‌ای از معکوسگرهای SCAL با مدار بایاس ٥٤

شکل ۳-۲۲) شکل موجهای حاصل از شبیه‌سازی HSPICE یک زنجیره چهار طبقه از معکوسگرهای SCAL. (۱) تغذیه-کلاک Φ، (۲) ولتاژهای داخلی V_{xp1} و V_{xp3}، (۳) ولتاژهای داخلی V_{xn2} و V_{xn4}، (٤) جریان منابع جریان (افزاره‌های MP17، MN27، MP37 و MN47). ٥٤

شکل ۳-۲۳) منبع تغذیه سلفی که باری با جزء مقاومتی و خازنی را که نماینده یک مدار منطق آدیاباتیک می‌باشد، تحریک می‌کند ٥٦

شکل ۳-۲٤) منبع تغذیه سلفی مشابه مدار شکل ۳-۲۳، اما بدون سوییچ A که مسبب عمده تلفات است ٥٩

شکل ۳-۲٥) مولد کلاک-تغذیه متقارن که برای تولید دو شکل موج کلاک با فاز مخالف به کار می‌رود. در طول گذر، بار از یک خازن به خازن دیگر جاری می‌شود. ٥٩

شکل ۳-۲٦) محرک سیگنال CMOS مرسوم با بار خازنی ٦٢

شکل ۳-۲۷) محرک پله‌ای برای بار خازنی و شکل موج ولتاژ بار ٦٢

شکل ۳-۲۸) محرک پله‌ای که همه ولتاژهای لازم جز یکی با خازنهای، C_T، تانک تامین می‌شوند ٦٤

شکل ۳-۲۹) وابستگی کیفیت سوییچ، ρ ، به ولتاژ کانال. در ولتاژهای بالا، افزاره PMOS با گیت متصل به زمین بهتر از افزاره NMOS هم‌اندازه با گیت متصل به V_{dd} هدایت می‌کند. مقدار کمتر به معنی سوییچ بهتر می‌باشد. ٦٦

شکل ٤-١) نمودار گیتی جمع‌کننده CLA ٨ بیتی ٧١

شکل ٤-٢) سلول اساسی در جمع‌کننده CLA ٧٣

شکل ٤-٣) جمع‌کننده CLA ١٦ بیتی ٧٤

شکل ٤-٤) گیتهای اساسی در جمع‌کننده CLA و تحقق PAL آنها ٧٦

شکل ٤-٥) جانمایی جمع‌کننده CLA ٨ بیتی آدیاباتیک ٧٨

شکل ٤-٦) جانمایی جمع‌کننده CLA ٨ بیتی ترکیبی ٨١

شکل ٤-٧) پایپ‌لاین‌سازی جمع CLA ٨ بیتی ٨٢

شکل ٤-٨) سیستم کلاک‌دهی درختی جمع‌کننده پایپ‌لاین ٨٤

شکل ٤-٩) جانمایی جمع‌کننده CLA ٨ بیتی ٦ طبقه پایپ‌لاین ٨٤

شکل ٤-١٠) دیمالتیپلکسر ورودی ٨٧

شکل ٤-١١) مالتیپلکسر خروجی ٨٧

شکل ٤-١٢) مدار مبدل سیگنال آدیاباتیک به سیگنال دیجیتال معمولی ٨٧

شکل ٤-١٣) جانمایی تراشه تست (١) CLA آدیاباتیک (٢) CLA ترکیبی (٣) CLA پایپ‌لاین (٤) دیمالتیپلکسر ورودی (٥) مالتیپلکسر خروجی ٨٩

شکل ٤-١٤) نقشه و وظیفه pad های تراشه تست ٩٠

شکل ٤-١٥) نمودار بلوکی تراشه تست ٩١

شکل ٥-١) الگوی ورودی اعمال شده به جمع‌کننده‌ها برای شبیه‌سازی ٩٣

شکل ٥-٢) نمودارهای انرژی مصرفی جمع‌کننده‌ها بر حسب فرکانس ٩٥

شکل ٥-٣) انرژی مصرفی بر حسب فرکانس برای جمع‌کننده‌ها در ولتاژ ثابت ٣/٣V ٩٧

شکل ٥-٤) توان مصرفی بر حسب زمان برای جمع‌کننده‌ها: (الف) پایپ‌لاین (ب) ترکیبی (ج) آدیاباتیک ٩٩

شکل ٥-٥) نمودار انرژی مصرفی جمع‌کننده‌ها بر حسب زمان ٩٩

شکل ٥-٦) انرژی مصرفی بر حسب ولتاژ تغذیه برای جمع‌کننده‌ها در فرکانس ثابت ١٠MHz ١٠١

شکل ۵-۷) شکل موجهای جریان سوییچینگ جمع‌کننده‌ها: (الف) پایپ‌لاین (ب) ترکیبی (ج) آدیاباتیک ۱۰۳
شکل ۵-۸) مولدهای تغذیه-کلاک دو فاز آسنکرون: (الف) 2N (ب) 2N2P ۱۰۸
شکل ۵-۹) مولدهای تغذیه-کلاک دو فاز سنکرون: (الف) 2N (ب) 2N2P ۱۰۸
شکل ۵-۱۰) کمینه ولتاژ کاری بر حسب فرکانس برای CLA ترکیبی و پایپ‌لاین و CLA آدیاباتیک در دو حالت تغذیه-کلاک ایده‌آل و مولد تغذیه-کلاک 2N ۱۱۳
شکل ۵-۱۱) درصد صرفه‌جویی در انرژی مصرفی CLA آدیاباتیک نسبت به CLA های CMOS استاتیک، در دو حالت تغذیه-کلاک ایده‌آل و تغذیه-کلاک 2N در حالت کمینه ولتاژ ۱۱٤
شکل ۵-۱۲) درصد صرفه‌جویی در انرژی مصرفی CLA آدیاباتیک نسبت به CLA های CMOS استاتیک، در حالت ولتاژ ثابت ۳/۳V در دو حالت تغذیه-کلاک ایده‌آل و تغذیه-کلاک 2N ۱۱٤
شکل ۵-۱۳) شکل موج توان کشیده شده از منبع تغذیه ثابت در CLA های آدیاباتیک و CMOS استاتیک: (الف) پایپ‌لاین (ب) ترکیبی (ج) آدیاباتیک ۱۱٦
شکل ۵-۱٤) منحنیهای انرژی مصرفی برحسب زمان ۱۱٦
شکل ۵-۱۵) شکل موج جریانهای کشیده شده از منابع تغذیه DC برای CLA ها: (الف) پایپ‌لاین (ب) ترکیبی (ج) آدیاباتیک ۱۱۷

فهرست جداول

جدول ٤-۱) مقایسه جانمایی‌ها ۸۵
جدول ۵-۱) نتایج مدل‌سازی جمع‌کننده CLA آدیاباتیک در V_{dd}=۳/۳V ۱۰٦
جدول ۵-۲) توان مصرفی جمع‌کننده CLA آدیاباتیک با مولدهای کلاک-تغذیه مختلف در فرکانس کاری ۱۰MHz و ولتاژ تغذیه ۳/۳V ۱۱۱

۱ مقدمه

علاقه به کاهش انرژی مصرفی سیستمهای دیجیتال عمدتاً به خاطر موفقیت و تقاضای در حال افزایش سیستمهای جابجاپذیر[۱] مانند کامپیوترهای lap-top، تلفنهای سلولی[۲]، PDA[۳] ها و هر گونه وسیله الکترونیکی جابجاپذیر می‌باشد. در این سیستمها مصالحه[٤] ناخوشایند کارایی و سرعت‌عمل در مقابل اندازه و وزن باتری وجود دارد. هر گونه کاهشی در مصرف انرژی، حتی در ازای هزینه افزایش پیچیدگی مدار، حتماً باید دنبال شود تا کارایی این سیستمها از جهت جابجاپذیر بودن بهبود یابد. علاوه بر این تعداد گیتهای تراشه‌ها دائماً در حال افزایش بوده است، در هر سه سال چهار برابر می‌شده است (قانون مور[٥])، در حالی که انرژی سوییچینگ گیتها به همان نسبت کاهش نیافته است. در نتیجه در سالهای اخیر توان مصرفی تراشه‌های با کارایی بالا افزایش قابل ملاحظه‌ای یافته است و دفع حرارت آنها را سخت‌تر و سخت‌تر ساخته است.

علت اصلی این افزایش توان مصرفی به مکانیزم سوییچینگ در مدارات CMOS مربوط است. همان طور که بسیار معروف است، یک گیت CMOS در هر گذر خروجی، انرژی $(½)CV^2$ را مصرف می‌کند. توان مصرفی را می‌توان با کاهش ولتاژ تغذیه، خازن یا فعالیت سوییچینگ مدار کاهش داد اما آن را نمی‌توان به طور نامحدود کاهش داد. از طرف دیگر نشان داده شده است که اگر فرایند انتقال انرژی از طریق واسطه تلفاتی[٦] به اندازه دلخواه آهسته شود، اتلاف انرژی نیز به اندازه دلخواه کوچک می‌شود. بر اساس این ایده و به منظور کاهش توان مصرفی، گیتهای منطقی جدیدی به نام گیتهای آدیاباتیک از سال ۱۹۹۲ با استفاده از تکنولوژی CMOS ساخته شده‌اند و در طی این مدت خانواده‌های منطقی آدیاباتیک

۱- portable

۲- cellular

۳- Personal Digital Assistant

٤- trade-off

٥- Moore

٦- dissipative

متعددی ارائه شده‌اند. نکته جالبی که این روش را از سایر روشهای کاهش توان تلفاتی متمایز می‌سازد، این است که انرژیهای مدار به جای این که به صورت گرما تلف شوند بازیابی می‌شوند. این روش مخصوصا در مواردی که علت اصلی تلف توان ناشی از شارژ و تخلیه خازنهای سنگین مدار باشد (یا تلفات دینامیکی) بسیار مؤثر واقع می‌شود. این روش، کاهش تلفات دینامیکی را مد نظر قرار می‌دهد که نوعا توان تلفاتی غالب در مدارات سوییچینگ CMOS می‌باشد. این تلفات ناشی از شارژ و تخلیه مکرر بارهای خازنی می‌باشد. این روش به طراح اجازه می‌دهد که بدون این که نیازی به کاهش سوییننگ ولتاژ یا بار خازنی باشد، مصالحه‌ای میان زمان گذر[1] و تلفات برقرار سازد. از ویژگیهای دیگر این روش این است که توان مدار از طریق سیگنال کلاک فراهم می‌شود. به عبارت دیگر سیگنال کلاک هم نقش تغذیه‌دهی به مدار و هم نقش زمان‌بندی مدار را به عهده دارد و به همین خاطر به آن تغذیه-کلاک می‌گویند. با گسترش زمانهای صعود و نزول کلاکها (و بدین ترتیب گسترش زمانی که در طول آن اتفاقات سوییچینگ رخ می‌دهند) می‌توانیم تلفات انرژی را متناسب با افزایش زمان سوییچینگ کاهش دهیم. روش آدیاباتیک تلفات انرژی را بر دو اساس کاهش می‌دهد: یکی انتقال آهسته و تدریجی بار بین گره‌های مدار و دیگری بازیافت انرژیهای ذخیره شده در گره‌های مدار. در این روش دو مقوله مطرح می‌شود: یکی مولدهای سیگنالهای تغذیه-کلاک کارامد[2] و دیگری مدارات منطقی کارامدی که بتوانند با این تغذیه-کلاک کار کنند. برای تولید تغذیه-کلاک دو دیدگاه توسعه یافته است: یکی روش شارژ پله‌ای و دیگری روش شارژ رزونانسی. در روش شارژ پله‌ای بار خط تغذیه به طور پله‌ای با سوییچ کردن ترانزیستورهای متصل به منابع تغذیه تنظیم شده در N پله ولتاژی بین 0 تا V_{dd} شارژ و تخلیه می‌شود و بدین ترتیب تقریبا یک ولتاژ شیب روی این خط ایجاد می‌شود. در روش شارژ رزونانسی، ولتاژهای تغذیه-کلاک مورد نیاز با استفاده از مدارات رزونانسی RLC ساده تولید می‌شوند. این روش از نظر تئوری از پتانسیل بالایی برای کاهش توان تلفاتی برخوردار است. با این حال در عمل از مشکلات عمده‌ای مانند پیچیدگی مداری و مشکلات مرتبط با تولید تغذیه-کلاک رنج می‌برد. معمولا مدارات آدیاباتیکی که در فرکانسهای پایین خوب کار می‌کنند قادر به کارکرد در فرکانسهای بالا نیستند. همچنین این مدارات معمولا بر مبنای تغذیه-کلاکهای چند فازه کار می‌کنند و از اینرو به دلیل مشکلات مرتبط با کلاک‌دهی چند فازه و تولید آنها، توسعه و کاربرد آنها با مشکل مواجه شده است.

هدف این پایان‌نامه، انجام یک بررسی جامع بر روی منطق آدیاباتیک و مقایسه آن با منطق CMOS استاتیک از طریق یک طراحی عملی می‌باشد. سیستم انتخاب شده برای طراحی، جمع‌کننده پیش‌نگر به

۱- transition

۲- efficient

نقلی[۱] (CLA) ۸ بیتی می‌باشد. این جمع‌کننده را بر مبنای دو منطق آدیاباتیک و CMOS استاتیک در یک تکنولوژی 0.6μm طراحی می‌کنیم. در منطق CMOS استاتیک طراحی را بر اساس دو روش ترکیبی[۲] و پایپ‌لاین[۳] انجام می‌دهیم. علت انتخاب روش پایپ‌لاین، شباهت بسیار زیاد عملکرد مدارات آدیاباتیک به عملکرد ساختارهای پایپ‌لاین می‌باشد. بدین ترتیب می‌توان به وضوح نحوه یکی شدن سیگنالهای کلاک و تغذیه در یک سیگنال تغذیه-کلاک و اثرات آن را مشاهده کرد. تمام شبیه‌سازیهایی که انجام شد بر اساس فهرست اتصالات[۴] اقتباس[۵] شده از جانماییها[۶] صورت گرفت و از اینرو نتایج می‌تواند کاملاً به واقعیت نزدیک باشد. علاوه بر این هر سه طرح را در یک تراشه آزمایشی پیاده کرده‌ایم. بر اساس این طراحیها به مقایسه جامع منطق آدیاباتیک و CMOS استاتیک از نقطه‌نظرهای توان مصرفی، کمینه ولتاژ کاری و بیشینه فرکانس کاری خواهیم پرداخت. علاوه بر این مساله نویز سوییچینگ در طرحهای مختلف را بررسی و شبیه‌سازی خواهیم کرد و ملاحظه خواهیم کرد که منطق آدیاباتیک علاوه بر کاهش توان مصرفی کاهش قابل ملاحظه‌ای در نویز سوییچینگ تغذیه نشان می‌دهد. بر اساس نتایج شبیه‌سازی بعد از جانمایی، بسته به فرکانس کاری، جمع‌کننده آدیاباتیک نسبت به نمونه ترکیبی CMOS استاتیک صرفه‌جویی ٦٨ تا ٨٢ درصدی و نسبت به نمونه پایپ‌لاین صرفه‌جویی ٨١ تا ٨٧ درصدی در انرژی (توان) مصرفی نشان می‌دهد. ملاحظات عملی در طراحی مولدهای تغذیه-کلاک را بررسی می‌کنیم و ضمن تشریح مفهوم مدل‌سازی منطق آدیاباتیک، روشی را برای طراحی این مولدها پیشنهاد کرده و چند مولد تغذیه-کلاک سنکرون و آسنکرون را برای جمع‌کننده آدیاباتیک طراحی می‌کنیم و در نهایت یک مولد تغذیه-کلاک کارامد و مؤثر را پیشنهاد خواهیم کرد.

در فصل دوم اصول سوییچینگ آدیاباتیک شرح داده می‌شوند. در این فصل به صورت تحلیلی مساله انرژی مصرفی در مدارات آدیاباتیک مورد بحث قرار می‌گیرد و مقایسه تحلیلی یک بافر ساده آدیاباتیک با بافر منطق مرسوم[۷] ارائه می‌شود. در فصل سوم گیتهای منطقی آدیاباتیک را مطرح می‌کنیم. در این فصل بعد از ارائه یک دسته‌بندی کلی از منطقهای آدیاباتیک، خانواده‌های مختلف آنها شرح داده می‌شوند و بررسی تحلیلی روشهای تولید تغذیه-کلاک نیز ارائه می‌شود. در فصل چهارم به تشریح پیاده‌سازی جمع‌کننده CLA در منطق آدیاباتیک و CMOS استاتیک می‌پردازیم و پیاده‌سازی جانماییهای

۱- Carry Look-ahead Adder

۲- combinational

۳- pipeline

٤- netlist

٥- extract

٦- layout

۷- conventional