بسم الله الرحمن الرحيم

دانشگاه صنعتی امیرکبیر
دانشکده مهندسی کامپیوتر و فناوری اطلاعات

پایان نامه کارشناسي ارشد
مهندسي کامپيوتر - گرايش معماري کامپيوتر

بهینه سازی مدارات آسنکرون سنتز شده توسط ابزار سنتز Persia با استفاده از تکنیکهای کامپایلری و سنتز سطح بالا

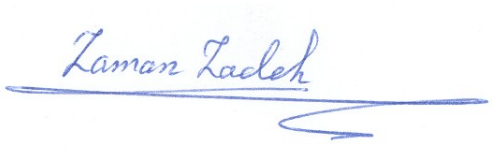
نگارش:
شراره زمان زاده
استاد راهنما :
دکتر حسین پدرام

زمستان ۸۶

بدین‌وسیله، اینجانب شراره زمان زاده تعهد می‌نمایم که مطالب ارائه شده در این پایان‌نامه حاصل کار پژوهشی و تحقیق اینجانب می‌باشد و قبلا برای احراز هیچ مدرک دیگری ارائه نشده‌است. رجوع به دست‌آوردهای پژوهشی دیگران که در این پایان‌نامه از آنها استفاده شده، مطابق مقررات ارجاع داده شده است. چنانچه در هر شرایطی این موارد به درستی رعایت نگردد، دانشگاه مجاز به ابطال پایان‌نامه خواهد بود. کلیه حقوق مادی و معنوی این اثر متعلق به دانشکده مهندسی کامپیوتر دانشگاه صنعتی امیرکبیر می‌باشد.

نام و نام خانوادگی دانشجو: شراره زمان زاده

تاریخ: امضا:



تشکر و قدردانی

در طول انجام این پروژه همواره از راهنمایی، پیگیری و دلسوزیهای استاد ارجمندم جناب آقای دکتر پدرام بهره‌مند شدم، بدین وسیله از زحمات ایشان تشکر می‌نمایم. همچنین از مادر مهربانم بخاطر تمام زحمات بیوقفه‌ای که برای من متحمل شده‌اند کمال تشکر و قدردانی را دارم.

در ادامه بر خود لازم می‌دانم از اساتید ارجمند، آقایان دکتر سربازی آزاد و دکتر دهقان که به بنده افتخار داده و داوری این پایان‌نامه را پذیرفتند سپاسگزاری کنم.

همچنین از جناب آقای مهندس مهرداد نجیبی که در طول انجام این پایان‌نامه همواره مرا راهنمایی کرده و با مساعدت‌های خود موجب پیش‌برد هر چه بهتر کار من می‌شدند کمال تشکر را دارم.

در پایان از همفکری دوستان خوبم در آزمایشگاه آسنکرون خانم سمیه رئوفی‌فرد و آقایان بهنام قوامی و مسعود زمانی صمیمانه تشکر می‌کنم.

بهینه سازی سنتز مدارات آسنکرون با استفاده از تکنیکهای کامپایلری و سنتز سنکرون سطح بالا

چکیده

طراحی به روش آسنکرون به لحاظ پیچیدگی روند طراحی و کمبود ابزرهای پشتیبانی طراحی خودکار ، علیرغم مزیت‌های عمده‌ای که دارد تنها به طور محدودی مورد استفاده قرار گرفته است . در طراحی مدارات سنکرون پروسه طراحی و ابزارهای تجاری CAD مانند : سنتز کننده‌ها، آنالیزگرها، ابزار تایید صحت عملکرد مدار؛ پیشرفت بسزایی در سطوح مختلف پیدا کرده‌اند. از بررسی مدار در سطح بالا گرفته تا طراحی فیزیکی. ولی ابزارهای CAD در حوزه مدارات آسنکرون بسیار محدودند و بسیاری از آنها در فاز مطالعاتی و آزمایشگاهی قرار دارند. بنابر این با حل مسایل مربوط به بهینه‌سازی این ابزارها می‌توان جایگاه مدارات آسنکرون را به آنچه شایسته آنها است رساند و امکان استفاده گسترده از مدارات آسنکرون در کاربردهای متنوع را برای طراحان فراهم آورد .

در این پایان‌نامه ما با بکارگیری الگوریتمهای سنتی کامپایلری که سابق بر این در سنتز سطح بالای مدارات سنکرون کاربرد داشته‌اند و بررسی ویژگیهای آنها در بهبود مدارات آسنکرون و تطبیق آنها با شرایط این مدارات، الگوی استانداردی برای کدهای توصیفی مدارات آسنکرون معرفی کرده‌ایم که مستقل از نحوه طراحی کاربر باشند و نتایج سنتز را از حیث توان و مساحت بهبود بخشند این امر با استفاده از مکانیزمهایی نظیر تغییر کد و جابجایی آنها به داخل و خارج از بدنه‌های شرطی و حلقه‌های تکرار و حذف قید شرطها از متغیرها و پورتها یا حذف کامل بدنه‌های شرطی، ساده‌سازی دستورالعملها و روشهای مشابه دیگر امکان‌پذیر گردیده است. این دست آورد برای بهینه‌سازی ابزار سنتز پرشیا به عنوان فاز قبل از سنتز به آن اضافه شده است.

کلمات کلیدی :

تکنیکهای کامپایلری، بهینه‌سازی سنتز سطح بالای مدارات آسنکرون، ابزار سنتز پرشیا، الگوی واسط HTGs (Hierarchical Task Graphs)

فهرست مطالب

۱- مقدمه ۱۱

۱-۱ مزایای بالقوه مدارات ناهمگام نسبت به مدارات همگام ۱۳
۱-۱-۱ توان مصرفي پايين ۱۳
۱-۱-۲ كارايي در حالت متوسط ۱٤
۱-۱-۳ طراحي به صورت ماژول بندي و ساخت يافته ۱٥
۱-۱-٤ مديريت بهتر اتصالات طويل ۱٥
۱-۱-٥ اجتناب از مشكلات مربوط به پالس ساعت ۱٥
۱-۱-٦ پايدري در مقابل تغييرات عملكرد مدار و منبع تغذيه ۱٦
۱-۱-۷ كاهش تداخل الكترومغناطيسي ۱٦
۱-۲- معایب مدارهای ناهمگام ۱۶
۱-۲-۱ پيچيدگي طراحي ۱٦
۱-۲-۲ حفظ ترتيب عمليات ۱٦
۱-۲-۳ كمبود ابزارهاي CAD ۱۷
۱-۲-٤ سربار زياد مساحت ۱۷
۱-۳- خلاصه ۱۷

۲- مدارات ناهمگام ۱۸

۲-۱- مدلهای تاخیر ۱۸
۲-۱-۱ مدارهاي غيرحساس به تأخير ۱۸
۲-۱-۲ مدارهاي شبه‌غيرحساس به تأخير ۱۹
۲-۲- کنترل جریان داده در مدارهای ناهمگام ۲۰
۲-۲-۱ انواع دست دهي پايه ۲۰
۲-۳- کدهای غیرحساس به تأخیر ۲۱
۲-۳-۱ كدهاي متداول ۲۲
۲-۳-۱-۱ كد دو ريلي ۲۲
۲-۴- نحوه توصیف ارتباطات ناهمگام با استفاده از زبان VERILOG ۲۳
۲-۵- شناخت بهتر الگوهای PCFB و PCHB ۲۷
۲-۵-۱ ساختار الگوهاي PCHB و PCFB ۲۷
۲-۵-۲ مقايسه PCFB و PCHB ۲۹
۲-۶- سنتز آسنکرون در ابزار سنتز پرشیا ۳۱

۲-٦-۱ AFE ۳۲
۲-٦-۲ DSA CONVERSION ۳۲
۲-٦-۳ DECOMPOSITION ۳۵
۲-٦-٤ TEMPLATE SYNTHESIZER (TSYN) ۳۵
۲-۷ خلاصه ۳۶

۳- الگوریتمهای کامپایلری ۳۷

۳-۱- کارهای مرتبط در حوزه مدارات همگام ۳۷
۳-۱-۱ معرفي ابزار SPARK ۳۷
۳-۱-۲ معرفي ابزار PACT HDL ۳۸
۳-۲- ساختار کلی کامپایلر ۳۹
۳-۳- الگوی واسط HTG ۴۱
۳-۴- معرفی اجمالی تکنیکهای کامپایلری ۴۳
۳-٤-۱ جابه‌جايي SPECULATION ٤۳
۳-٤-۲ حذف عناصر ثابت در حلقه‌ها ٤٤
۳-٤-۳ باز کردن حلقه ٤٥
۳-٤-٤ توسعه شرط ٤٦
۳-٤-٥ انتشار متغير و عدد ثابت ٤٦
۳-٤-٦ حذف كد غير ضروري ٤۷
۳-٤-۷ GVN ٤۷
۳-٤-۸ حذف زير عبارتهاي متداول (CSE) ٤۸
۳-۵ خلاصه ۴۹

٤- تکنیکهای کامپایلری در مدارات آسنکرون ٥۱

۴-۱ بررسی سهم مدارات تشخیص خاتمه در اندازه و توان مصرفی مدارات ناهمگام ۵۱
۴-۲ الگوی واسط استفاده شده در کامپایلر ناهمگام ۵۸
٤-۲-۱ تغييردر نودهاي گراف HTG ٥۸
٤-۲-۲ استفاده از DDG به جاي DFG ٥۹
۴-۳- قوانین جابه‌جایی دستورالعملها ۶۱
۴-۴- دست آوردهای تکنیکهای کامپایلری در مدارات ناهمگام ۶۴
٤-٤-۱ تحليل حلقه در كد توصيف ورودي مدارات آسنكرون ٦٤
٤-٤-۲ حذف عناصر ثابت از حلقه‌ها ٦٦
٤-٤-۲-۱ شرايط آنكه عبارتي عنصر ثابت باشد ٦٦
٤-٤-۲-۲ الگوريتم تشخيص عناصر ثابت در حلقه ٦۷
٤-٤-۲-۳ تاثير حذف عناصر ثابت در ابزار پرشيا ٦۸
٤-٤-۳ SPECULATION ٦۹
٤-٤-۳-۱ چند نكته در مورد جابه جايي دستورات Read، Write و دستورات انتساب رجيسترهاي آنها از بدنه‌هاي شرطي (Factorization) ٦۹

٤-٤-٤ توسعه شرط ٧١
٤-٤-٤-١ بررسي شرايط مختلف خارج نمودن دستورات از بدنه شرطي ٧٢
٤-٤-٤-٢ الگوريتم CEXP ٧٤
٤-٤-٤-٥ تاثير توسعه شرط در ابزار پرشيا ٧٥
٤-٥- ساختار عمومی اعمال تکنیکهای کامپایلری ٧٥
٤-٦- ارایه نتایج ٧٩
٤-٦-١ REED-SOLOMON ٧٩
٤-٦-٢ ASYNCHRONOUS CPU ٨٠
٤-٦-٣ تخمين انرژي ٨٠
٤-٦-٣-١ توان ديناميک ٨١
٤-٦-٣-٢ توان اتصال کوتاه ٨٢
٤-٦-٣-٣ توان استاتيک ٨٢
٤-٦-٣-٤ تخمين انرژي با شمارش transition ها ٨٢

٥- نتیجه گیری ٨٥

٥-١- محورهای مطالعه و گسترش بیشتر در آینده ٨٥

واژه نامه ٨٣

فهرست منابع ٨٦

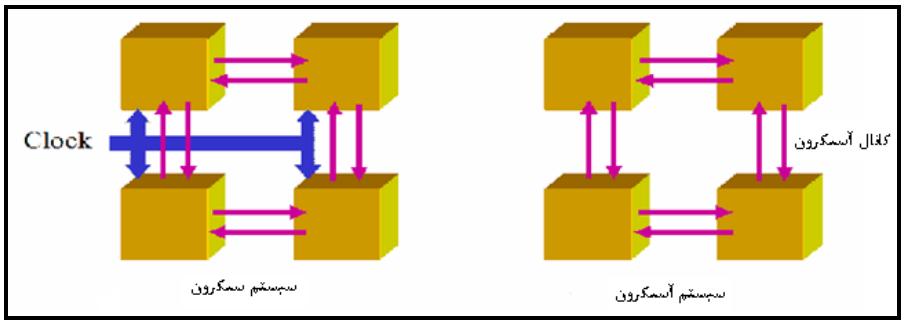
فهرست شکلها، جدولها و نمودارها

شکل ۱-۱ مقایسه سیستم سنکرون و آسنکرون ۱۱
شکل ۲-۱ ساختارکلی انتقال اطلاعات در مـدارهای ناهمگام ۲۰
شکل ۲-۲ پروتکلهای دست دهی پایه ناهمگام (a) دستدهی دو مرحله‌ای (b) دستدهی چهار مرحله‌ای ۲۱
شکل ۲-۱ توصیف ماژول write ۲۶
شکل ۲-۲ توصیف ماژول Read ۲۶
شکل ۲-۳ توصیف ماژول PersiaSimLib ۲۶
شکل ۲-۶ بافر ساده ۲۷
شکل ۲-۷ بافر PCHB/PCFB ۲۷
شکل ۲-۸توصیف SLP مربوط به PCHB ۲۸
شکل ۲-۹ توصیف SLP مربوط به PCFB ۲۸
شکل ۲-۱۰ اتصال دو بافر PCFB ۳۰
شکل ۲-۱۱ زنجیره ای از بافرهای PCFB ۳۰
شکل ۲-۱۲ اتصال دو بافر PCHB ۳۰
شکل ۲-۱۳ زنجیره ای از بافرهای PCHB ۳۰
شکل ۲-۱۴ حلقه ای از بافر ها ۳۱
شکل ۲-۱۵ نمای کلی ابزار سنتز ۳۲
شکل ۲-۱۶ نمونه ای از کد ورودی برنامه DSA Conversion ۳۳
شکل ۲-۱۷ نمونه ای از خروجی برنامه DSAConversion ۳۴
شکل ۲-۱۸ مجموعه‌های مستقل ۳۴
شکل ۲-۱۹ نمونه ای از کد خروجی برای ماژول x_3 ..... ۳۵
شکل ۲-۲۰ توصیف CSP یک مدار NOR چهار ورودی ۳۶
شکل ۲-۲۱ فرم کلی برای توصیف رفتاری مدارات PCFB/PCHB ۳۶
شکل ۳-۱ جایگاه ابزار SPARK در روند سنتز مدارات سنکرون ۳۸
شکل ۳-۲ جایگاه ابزار PACT HDL در روند سنتز مدارات سنکرون ۳۹
شکل ۳-۳ ساختار کامپایلر سخت افزاری ۴۰
شکل ۳-۴ الف) نود مرکب معرف عبارت شرطی - ب) نود حلقه در گراف HTG ۴۲
شکل ۳-۵ مثالی از پیاده سازی طرح ورودی با استفاده از گراف های انتزاعی ۴۳
شکل ۳-۶ جابه جایی احتکاری کد ۴۴
شکل ۳-۷ حذف عناصر ثابت از حلقه ها ۴۵
شکل ۳-۸ مثالی از باز کردن حلقه ۴۶
شکل ۳-۹ توسعه شرط ۴۶
شکل ۳-۱۰ مثال برای انتشار متغیر یا عدد ثابت ۴۷
شکل ۳-۱۱ نمونه ای از حذف کد غیر ضروری ۴۷
شکل ۳-۱۲ GVN عبارتهای هم ارز را بر اساس محتوا شناسایی میکند ۴۸

شکل ۳-۱۳ (a) کد ورودی (b) تشخیص میدهد Data = A (c) VCP اعمال میشود (d) کد غیر ضروری A=Data حذف میگردد ۴۸
شکل ۳-۱۴ حذف زیرعبارتهای متداول ۴۸
شکل ۴-۱ ساختار داخلی یک بافر PCFB ساده ۵۱
شکل ۴-۲ ساختار کلی مدار ناهمگام ۵۳
جدول ۴-۱ حجم افزوده شده به مدار به ازای افزایش یک پورت خروجی تک بیتی ۵۳
نمودار ۴-۱ (الف) افزایش حجم (ب) نسبت حجم قسمت دستدهی به حجم کل مدار- مربوط به جدول ۴-۱ ..... ۵۴
جدول ۴-۲ حجم افزوده شده به بافر تک بیتی به ازای افزایش یک پورت ورودی ۵۴
نمودار ۴-۲ (الف) افزایش حجم (ب) نسبت حجم قسمت دستدهی به حجم کل مدار- مربوط به جدول ۴-۲ ..... ۵۵
جدول ۴-۳ حجم افزوده شده به بافر تک بیتی به ازای افزایش یک بیت ۵۵
نمودار ۴-۳ (الف) افزایش حجم (ب) نسبت حجم قسمت دستدهی به حجم کل مدار- مربوط به جدول ۴-۳ ..... ۵۶
جدول ۴-۴ مقایسه میان حجم بافر با ورودی شرطی و غیر شرطی ۵۶
نمودار ۴-۴ (الف) افزایش حجم (ب) نسبت حجم قسمت دستدهی به حجم کل مدار- مربوط به جدول ۴-۴ ..... ۵۷
شکل ۴-۳ ساختار fork join و وابستگی داده در آن ۵۹
شکل ۴-۴ رابطه دسترس پذیری جزئی ۶۳
شکل ۴-۶ تحلیل بخش DSA تکنیک حذف عناصر ثابت حلقه ۶۸
شکل ۴-۷ بازه مجاز برای حرکت دستور انتساب ۷۰
شکل ۴-۸ نمونه‌ای از جابه‌جایی دستور write به خارج از بدنه شرطی (فاکتورگیری دستور Write) ۷۰
شکل ۴-۹ مسیرهای اجرایی یک عبارت شرطی ۷۱
شکل ۴-۱۰ نحوه اعمال الگوریتم CSC ۷۱
شکل ۴-۱۱ ناسازگاری میان وابستگیهای دادهای در بدنه های شرطی متناظر- فرمت خروجی دستورات از بدنه شرطی ۷۳
شکل ۴-۱۲ تحلیل بخش تقسیم بندی تکنیک حذف بدنه شرطی ۷۵
شکل ۴-۱۳ ساختار عمومی ۷۸
شکل ۴-۱۴ مدار تصحیح و تشخیص خطای Reed-Solomon ۸۰
شکل ۴-۱۵ Asynchronous CPU ۸۰
شکل ۴-۱۶ بار خازنی موجود در خروجی گیت ۸۱
شکل ۴-۱۷ ساختار مدارات CMOS ۸۱
شکل ۴-۱۸ جریان اتصال کوتاه ۸۲
شکل ۴-۱۹ مساله fan-out و بار خازنی ناشی از آن ۸۳
شکل ۴-۲۰ شمارش transition ها در ورودی ۸۴
نتایج تکنیکهای کامپایلری بر Chienforny ۸۴
نتایج تکنیکهای کامپایلری بر Fsyndrom ۸۴
نتایج تکنیکهای کامپایلری بر RiBm ۸۴
نتایج نهایی تکنیکهای کامپایلری بر RS ۸۵

۱– مقدمه

با پیشرفت تکنولوژی ساخت و کاهش اندازه مدارات، گنجایش و چگالی، سرعت و توان مصرفی محصولات افزایش یافته است. در مقابل؛ هر نسل از تکنولوژی، قیود و محدودیتهای خاص خود را به ارمغان می‌آورد و در طراحی‌های مختلف دارای توابع هزینه متفاوتی می‌باشد. برای مثال در تکنولوژیِ ساب میکرون‌عمیق تاخیر اتصالات طولانی و سنکرون‌سازی اتصالات بلوکهای موجود درسطح یک تراشه بسیار مورد توجه قرار گرفته است. به علاوه تغییرات محیطی رو به افزایش است و طراحان را مجبور می‌سازد تا بازه زمانی بزرگتری را برای مواجهه با محدودیتهای زمانی در نظر گیرند که این امر موجب کاهش کارایی سیستم می‌گردد تولید و توزیع نامناسب سیگنال ساعت نیز می‌تواند موجب بروز مشکل "انحراف از پالس ساعت"[1] و زیر سوال رفتن کارایی سیستم گردد. این تاثیرات موجب می‌شود که طراحان مدارات سنکرون تلاشهای زیادی را برای انجام شبیه‌سازی و ارزیابی طراحی فیزیکی در راستای کاهش زمان طراحی و کاهش میزان خطا در آن به کار برند. بنابراین نیاز به روشهای طراحی‌ای که بتواند این مشکلات را کم رنگ کرده و راه حلی برای آنها ارایه دهد، هر چه بیشتر احساس می‌شود. یکی از این روشها، طراحی مدارات آسنکرون می‌باشد. زیرا که راه‌حلهای بسیار مناسبی را برای برخورد با مشکلات مختلف نظیر مدیریت اتصالات طویل، قدرت و پایداری مدار در مقابل تغییرات عملکردی و جلوگیری از بروز مشکلات ناشی از سیگنال ساعت؛ ارایه می‌دهد. بر خلاف مدارات سنکرون در مدارات آسنکرون بلوکهای مختلف از طریق دست‌دهی مبتنی بر رویداد با هم ارتباط می‌گیرند و در این راه از کانالهای نشان داده شده در شکل ۱-۱ استفاده می‌نمایند. بنابراین همزمان‌سازی و برقراری ارتباط در طراحی‌های آسنکرون فقط در زمان لازم اتفاق می‌افتد، نه به -صورت پریودیک و در هر سیکل ساعت.



شکل ۱-۱ مقایسه سیستم سنکرون و آسنکرون

مشکل پیش روی طراحی به روش ناهمگام، پیچیدگی روند طراحی و کمبود ابزرهای پشتیبانی طراحی خودکار است که باعث شده علیرغم مزیت‌های عمده‌ای که مدارات ناهمگام دارند به طور محدودی مورد استفاده قرار گیرند. در طراحی مدارات همگام

[1] Clock Skew

پروسه طراحی و ابزارهای تجاریCAD مانند : سنتز کننده‌ها، آنالیزگرها، ابزار تایید صحت عملکرد مدار؛ پیشرفت بسزایی در سطوح مخلف پیدا کرده‌اند. از بررسی مدار در سطح بالا گرفته تا طراحی فیزیکی. ولی ابزارهای CAD در حوزه مدارات ناهمگام بسیار محدودند و بسیاری از آنها در فاز مطالعاتی و آزمایشگاهی قرار دارند. بنابر این با حل مسایل مربوط به بهینه‌سازی این ابزارها می‌توان جایگاه مدارات آسنکرون را به آنچه شایسته آنها است رساند و امکان استفاده گسترده از مدارات آسنکرون در کاربردهای متنوع را برای طراحان فراهم آورد.

در ابزار پرشیا مدارات آسنکرون بر اساس مدل تاخیر QDI و پروتکل دست دهی ۴ فاز تولید و به پروسه‌های بسیار ریزی که قابل انطباق به الگوهای PCHB,PCFB باشد، شکسته می‌شوند. در ابزار پرشیا از زبان verilog CSP برای توصیف سطح بالای مدارات آسنکرون استفاده می‌شود؛ و عملیات خواندن و نوشتن روی کانالهای ارتباطی با افزودن ماکروهایی که بصورت PLI پیاده سازی شده‌اند امکان پذیر گردیده است. بخش آسنکرون ابزار سنتز Persia طی مراحل نشان داده شده در شکل ۲- ۱۵ ، این توصیف سطح بالا را به یک Netlist از سلولهای استاندارد تبدیل می‌کند. توصیف ماژولها در هر یک از این مراحل با زبان verilog CSP می‌باشد بنابراین در کنار تمام این مراحل می‌توان با انجام شبیه‌سازی از صحت عملکرد مدار سنتز شده اطمینان حاصل کرد.

مدارهای همگام دارای دو مشخصه اصلی می‌باشند: ۱. همه سیگنالها باید باینری باشند. ۲. همه اجزاء موجود در طرح باید از یک سیگنال پالس ساعت سراسری[1] برای همگام شدن با یکدیگر استفاده کنند. بطورکلی می‌توان به مدارهایی که دارای دو مشخصه فوق نباشند ناهمگام اطلاق نمود. مدارهای ناهمگام برخلاف همتایان همگامشان که از یک سیگنال سراسری برای زمانبندی وقایع استفاده می‌کنند، از قراردادهای دستدهی[2] بین اجزاء برای همگام‌سازی، انتقال اطلاعات و برقراری ترتیب اجرای عملگرها استفاده می‌نمایند. به عبارت دیگر در مدارهای ناهمگام از سیگنالهای محلی برای زمانبندی استفاده می-شود.

از لحاظ پیشینه تاریخی ایده طراحی مدارهای ناهمگام در دهه ۱۹۵۰ بوسیله هافمن و مولر برای اولین بار مطرح شد. در ابتدای پیدایش اولین مدارهای دیجیتال، مرزبندی مدارهای همگام و ناهمگام چندان پررنگ نبود ولی با پیدایش مدارهای مجتمع، طراحی‌های سنکرون بدلیل سهولت در طراحی و بررسی زمانبندی، گوی سبقت را ربودند و تا دو دهه پیش از این طراحی ناهمگام تحت تاثیر سلطه طراحی همگام و استفاده از الگوهای مبتنی بر سیگنال ساعت و همزمانی سراسری درکاربردهای صنعتی به فراموشی سپرده شد.

تا زمانی که طولانی‌ترین زمان محاسبات مدارات منطقی ترتیبی میان فیلیپ فلاپها کوچکتر از دوره پالس ساعت سیستم باشد، سیستم به خوبی کار می‌کند. اما به علت متفاوت بودن تاخیر انتشار در مسیرهای مختلف، میان لبه‌های ساعت محلی و پالس

---

[1] Global Clock
[2] Handshacking

ساعت مرکزی انحراف بوجود می‌آید که این پدیده را "انحراف از پالس ساعت" می‌نامند. راه حلهای ارایه شده در این زمینه تاکنون توانسته است این مشکل را به ۴-۵ ٪ زمان پالس ساعت محدود نماید ولی با روند رو به رشد تکنولوژی ساب‌میکرون مشکل انحراف از پالس ساعت حادتر و پر هزینه‌تر گردیده است. بنابراین در سالهای اخیر مدارهای آسنکرون با توجه به مزایای فراوانی که بر مدارهای سنکرون دارند ، دوباره به صحنه بازگشته‌اند.

۱-۱- مزایای بالقوه مدارات ناهمگام نسبت به مدارات همگام

۱-۱-۱ توان مصرفی پایین

کاهش توان مصرفی در سیستم‌های قابل حمل از این جهت که باعث افزایش طول عمر باتری می‌شود، اهمیت فراوانی دارد. در مدارهای بزرگ و با سرعت بالا نیز افزایش توان مصرفی، باعث افزایش هزینه‌های بسته‌بندی[1] خواهد شد؛ زیرا که هر چه مدار توان بیشتری مصرف کند، باید از مکانیزم‌هایی جهت رساندن توان بیشتر به مدار استفاده کرد. این امر خود مستلزم آن است که راه کارهایی برای کاهش گرمای ناشی از این توان مصرف بالا در مدار مجتمع بکار گرفته شود.

در مدارت ناهمگام به دو روش می‌توان مصرف توان را کاهش داد: یک روش کم کردن سطح ولتاژ منبع تغذیه است و دیگری بهره برداری از مزایای مکانیزم مبتنی بر رویداد در مقابل شبکه توزیع پالس ساعت می‌باشد.

چون مدارهای ناهمگام معمولا تا حد زیادی در برابر تغییرات ولتاژ منابع تغذیه مقاوم هستند، و با کاهش سطح ولتاژ در آنها تنها سرعت مدار تا حدی کاهش می‌یابد، می‌توان با کاهش دادن ولتاژ به موازنه بهینه‌ای میان سرعت و توان مصرفی دست یافت.

برای مدارات CMOS اسراف توان در هر دو مود فعال و انتظار[2] اتفاق می‌افتد. در حالت فعال بیشترین بخش مصرفی توان مربوط به فعالیتهای سوییچینگ است. از آنجایی که سیستمهای آسنکرون مبتنی بر رویداد هستند میزان فعالیتشان به رویدادهایی که به مدار وارد می‌شود بستگی پیدا میکند. در این حالت تنها بخشی از مدار که برای پاسخ‌گویی به رویداد اتفاق افتاده مورد نیاز است فعال می‌گردد و سایر قسمتها کاملا غیر فعال خواهند بود و هیچگونه تغییری در سیگنالهای Pre-Charge و Discharge آنها رخ نخواهد داد. بنابراین مدارات آسنکرون را از نظر توان مصرفی می‌توان با سیستمهای سنکرونی که در آنها تکنیکهای گیت-بندی پالس ساعت جهت بهینه‌سازی استفاده شده مقایسه کرد. وانگهی شبکه توزیع پالس ساعت در مدارهای همگام از ترانزیستورهایی تشکیل شده که به دلیل نیاز به fan out بالا دارای مساحت زیادی هستند در نتیجه اتلاف توان بالایی را منجر می‌شوند.

---

[1] Packaging
[2] Standby

ولی در مود انتظار اتلاف توان به وسیله جریان نشتی تمام ترانزیستورها در سیستم تخمین زده می‌شود. این مشکل در اندازه کوچکتر هر دو نوع مدار همگام و ناهمگام حادتر می‌شود.

۱-۱-۲ کارایی در حالت متوسط

پایان عملیات در هر قسمت از مدار به عوامل مختلفی بستگی دارد از جمله این عوامل می‌توان به تغییرات دمای محیط، تغییرات ولتاژ تغذیه، تغییر سرعت ترانزیستورها در اثر پروسه ساخت و یا وابستگی عملیات به محتوای داده ورودی اشاره نمود.

مدارهای همگام مجبورند قبل از نگهداری نتایج منتظر بمانند تا تمام محاسبات احتمالی به اتمام برسد به این معنی که باید بیشترین تاخیر در بدترین حالات عوامل یاد شده را در نظر گرفت و بر اساس آن پایین‌ترین فرکانس کاری مدار را که عملکرد صحیح آن را تضمین می‌کند، استفاده نمود که این موضوع به کارایی بدترین حالت منجر می‌شود. در عمل هر بلوک در سیستم آسنکرون با محیط اطراف خود می‌تواند بلافاصله بعد از اتمام کار قبلی ارتباط برقرار نماید. یا به عبارت دیگر زمان عملیات محاسباتی، تابع تاخیر حقیقی بلوک‌هایی است که داده را برای انجام عملیات بر روی آنها تحویل گرفته‌اند، بنابراین کارایی حالت میانگین را ارائه می‌دهند. این امر می‌تواند برای مدارهایی که در آنها کارایی بدترین حالت و کارایی حالت میانگین اختلاف قابل ملاحظه‌ای دارد، مزیت قابل توجهی محسوب شود.

۱-۱-۳ طراحی به صورت ماژول بندی و ساخت یافته

در مدارات آسنکرون یک بلوک از طریق پروتکلهای دست‌دهی معروف با بلوکهای همسایه ارتباط برقرار می‌کند که محاسبات داخلی بلوک را از خارج آن مجزا و ایزوله می‌سازد و به هر بلوک این قابلیت را می‌بخشد که به صورت مستقل طراحی و به سادگی به هم متصل شوند و یک سیستم بزرگتری را تشکیل دهند. علاوه بر آن قابلیت استفاده از واحدهای از قبل طراحی شده، در طراحی مدارات پیچیده‌تر باعث افزایش سرعت طراحی، ساخت و آزمون‌پذیری می‌شود. بکارگیری مکانیزم دست‌دهی برای مدارهای ناهمگام این امکان را فراهم می‌آورد تا از بلوک‌های از قبل طراحی شده، حتی اگر این بلوک‌ها دارای سرعتهای متفاوت باشند و یا با روشهای مختلفی سنتز شده باشند، استفاده نمایند.

۱-۱-۴ مدیریت بهتر اتصالات طویل

یک خاصیت کلیدی مدارات آسنکرون قابلیت ارتباط مبتنی بر کانال با استفاده از تسهیلات پروتکلهای دست‌دهی می‌باشد. که بدون توجه به فاصله میان بلوکها، طرح را به یک طرح مبتنی بر SOC گسترش می‌دهد. در عمل برای کاهش کارایی گلوگاه-های ایجاد شده در کانالهای طویل، بافرهای ناهمگام درج می‌شود. اتصالات طولانی در مدارات همگام به وسیله روشی به نام latency insensitive انجام می‌شود که در آن قصد بر ایزوله کردن بخشهای از مدار و مستقل نمودن آنها از تاخیر دارد. ولی این به استفاده بیشتر از فضا و مدارات کنترلی پیچیده‌تر منتهی می‌گردد.

۱-۱-۵ اجتناب از مشکلات مربوط به پالس ساعت

استفاده از یک سیگنل پالس ساعت سراسری برای زمان‌بندی در مدارهای سنکرون به این معنی است که این سیگنال باید در تمام قسمتهای مدار مجتمع توزیع شود. گسترش ابعاد مدارهای مجمع باعث افزایش تاخیر فیزیکی سیم‌های حامل پالس ساعت خواهد شد و این مساله موجب می‌شود قسمتهای مختلف مدار، تغییر وضعیت روی سیگنال پالس ساعت را با تاخیر متفاوت مشاهده نمایند و در واقع از حالت سنکرون خارج شوند. همانطور که می‌دانیم این مساله یکی از مشکلات عمده طراحی سنکرون به شمار می‌رود.

از یک سو با کاهش ابعاد ترانزیستور و در پی آن افزایش فرکانس کاری مدار و از سوی دیگر با افزایش ابعاد مدار مجتمع و افزایش تاخیر ناشی از آن، مشکلات ناشی از انحراف پالس ساعت نمودِ بیشتری پیدا می‌کند. از آنجا که سیستم آسنکرون به جای سیگنال ساعت از مکانیزم دست‌دهی برای همزمانی ارتباط استفاده می‌کند، تمام مشکلات مربوط به سیگنال ساعت نظیر "انحراف از پالس ساعت" و توزیع سیگنال ساعت کاملا حذف می‌شود و زمان طراحی پایین می‌آید.

۱–۱–۶ پایداری در مقابل تغییرات عملکرد مدار و منبع تغذیه

این پایداری به این علت است که مدارات آسنکرون از مکانیزم کشف خاتمه انتقال اطلاعاتی استفاده می‌کند، که یا بر مبنای تاخیر تطبیق یافته بنا شده یا مستقل از تاخیر سیمها و گیتها می‌باشد. بنابراین تغییر منبع تغذیه، فرآیند ساخت و حتی تغییر در تکنولوژی در عملکرد مدار تاثیر نمی‌گذارد. زیرا که مدارهای کشف خاتمه انتقال اطلاعات، خود به خود با ایجاد این تغییرات در مدار منطبق می‌شوند.

۱–۱–۷ کاهش تداخل الکترومغناطیسی

تمام عملیات در سیستمهای همگام در یک لبه با بازه زمانی کوتاه و در اثر تراکم انرژی در فرکانس ساعت و هارمونیهای آن متمرکز شده‌اند. بنابراین نویز قابل ملاحظه‌ای در این فرکانس‌ها وجود دارد. بهتر است فعالیتها در سیستمهای آسنکرون به صورت تصادفی گسترش یابد تا به طیف نویز توزیع شده و مقدار ماکزیمم نویز کمتری منجر شود.

۱–۲– معایب مدارهای ناهمگام

۱–۲–۱ پیچیدگی طراحی

طراحی مدارهای ناهمگام به روش دستی مشکل‌تر از مدارهای همگام است. در یک مدار همگام، طراح منطق ترکیبی[1] لازم برای محاسبهٔ تابع مورد نظر را تعریف و آن را با Latchها احاطه می‌کند. با تنظیم طولانی‌تر پالس ساعت تمام نگرانی‌ها از جانب Hazardها (تغییرات ناخواستهٔ سیگنال‌ها) و حالت گذرای سیستم از بین می‌رود. درمقابل، طراحان مدارهای ناهمگام باید توجه زیادی به حالت‌های گذرای سیستم داشته‌باشند و Hazardها هم باید از مدار حذف شده، یا جلوی تولید آنها از ابتدا گرفته شود.

۱–۲–۲ حفظ ترتیب[2] عملیات

ترتیب عملیات که در مدارهای همگام با قرار دادن Latch در مدار تثبیت می‌شود، باید به دقت در کنترل مدارهای ناهمگام بررسی شود. در مدارهای ناهمگام ترتیب درست عملیات توسط دستورات دست دهی کنترل می‌شود و هر گونه عدم هماهنگی در رسیدن به موقع سیگنالها در مسیرهای مختلف خط لوله می‌تواند ترتیب اجرای مراحل مختلف آن را برهم زده و با مشکل مواجه کند.

---

[1] Combinational Logic
[2] Ordering

۱-۲-۳ کمبود ابزارهای CAD

متأسفانه مدارهای ناهمگام نمی‌توانند از ابزارهای CAD موجود یا پیاده‌سازی جایگزین سیستم‌های همگام استفاده نمایند. ابزارهای جایابی[1]، مسیریابی[2]، تکه‌سازی[3] سنتز و ابزارهای دیگر CAD نیاز به تغییراتی برای مدارهای ناهمگام دارند، یا اصولاً برای این مدارها قابل استفاده نمی‌باشند.

۱-۲-۴ سربار زیاد مساحت

از طرفی دیگر مدارات آسنکرون دارای نقاط ضعف سربار بالای مساحت می‌باشند. که این امر ناشی از اضافه شدن مدارات کنترلی است که وظیفه همزمان سازی وقایع و تشخیص معتبر بودن سیگنالهای ورودی و خروجی را بر عهده دارند. گرچه امروزه به علت کاهش اندازه المانهای مدار، مساحت مشکل حادی به حساب نمی‌آید ولی با توجه به اینکه افزایش مساحت باعث افزایش توان نشتی می‌شود و تفاوت فاحش حجم یک مدار ناهمگام با نمونه مشابه همگام آن، مساله سربار مساحت در این نوع مدارات به عنوان یک نقطه ضعف محسوب می‌شود.

۱-۳- خلاصه

در این بخش به معرفی اجمالی مدارات آسنکرون، مزایا و معایب آن پرداختیم. در این پایان‌نامه این الگوریتمها در حوزه آسنکرون بررسی می‌شوند و بیان می‌شود که چه الگوریتمهایی تاثیر بیشتری بر این نوع مدارات دارند و از چه جهت موجب بهبود این مدارات می‌شوند.

در فصل ۲ به توضیح خصوصیات مدارهای آسنکرون QDI که مدارات مورد استفاده در این پایان‌نامه می‌باشند می‌پردازیم و ویژگی‌های کلی آنها نظیر نحوه دستدهی، کدینگ مورد استفاده برای انتقال داده، زبان توصیف RTL در این مدارات، ساختارهای PCFB/PCHB و ابزار سنتز پرشیا مورد بررسی قرار می‌گیرند.

در فصل ۳ به تکنیکهای کامپایلری پرداخته می‌شود. ابتدا کارهایی که پیش از این در زمینه بهبود نتیجه سنتز در حوزه سنکرون انجام شده را معرفی می‌کنیم. بعد کامپایلر را تعریف و الگوی واسط مورد استفاده در آن را مرور می‌کنیم. در انتها تکنیکهای سنتی کامپایلری را تعریف و بعضی قاعده‌هایی که برای جابه‌جایی کد استفاده کرده‌ایم را تعریف می‌نماییم.

---

[1] Placement
[2] Routing
[3] Partitioning

۲– مدارات ناهمگام

۲–۱– مدلهای تاخیر

برای طراحی مدارات ناهمگام روشهای گوناگونی وجود دارد. مهمترین عاملی که شیوه‌های مختلف طراحی را از هم متمایز می‌سازد نحوه بر خورد آنها با مساله تاخیر در این مدارهاست. به طور کلی برای طراحی مدارات دیجیتال صرفنظر از همگام یا ناهمگام بودن آنها لازم است تا فرضهایی در مورد زمانبندی عناصر تشکیل دهنده طرح مانند سیمها و المانها صوت پذیرد تا بتوان با تشخیص مسیرهای بحرانی، زمانبندی سیگنالهای کنترلی را انجام داد. مدلهای تاخیر به سه دسته کلی تقسیم می‌شوند:

مدل تاخیر ثابت[1] : در این روش، تاخیر هر عنصر مقدار ثابتی در نظر گرفته می‌شود.

مدل تاخیر محدود : در این مدل، تاخیر عنصر هر مقدار نامشخصی را در یک بازه زمانی معین محدود می‌تواند داشته باشد.

مدل تاخیر نامحدود : در این مدل، تاخیر عنصر هر مقدار غیر بی‌نهایتی می‌تواند باشد.

با در نظر گرفتن مدلهای فوق مدارات ناهمگام به پنج دسته زیر تقسیم‌بندی می‌شوند: ۱. مدارهای تاخیر کراندار[2] ۲. مدارهای غیر حساس به تاخیر[3] ۳. مدارهای شبه غیرحساس به تاخیر[4] ۴. مدارهای غیرحساس به سرعت[5] ۵. مدارهای self-tim [Tug05]

۲–۱–۱ مدارهای غیرحساس به تأخیر

در مدارهای غیر حساس به تأخیر، تأخیر عناصر و سیم‌ها دلخواه و نامحدود است. در این گونه مدارها هیچگونه پیش‌فرضی و یا شرطی در مورد تأخیر اِلمانهای موجود در طرح در نظر گرفته نمی‌شود از این رو تغییر شرایط محیطی هیچگونه تأثیری بر عملکرد مدار ندارد بنابراین باعث اختلال در عملکرد صحیح مدار نمی‌شود. پس اینگونه مدارها پایداری زیادی در برابر شرایط

---

[1] Fixed Delay
[2] Bounded Delay
[3] Delay Insensitive
[4] Quasi-Delay Insensitive
[5] Speed Independent

محیطی دارند. در مدارهای حساس به تأخیر فرض می‌شود که زمان کافی به عنصر داده شده‌است تا محاسبات خود را انجام دهد اما در مدارهای غیرحساس به تأخیر چنین فرضی وجود ندارد و به جای آن از مدار *تشخیص اتمام*[1] در گیرندهٔ داده استفاده می‌شود.

گیت‌های تک خروجی متداول مانند AND، OR، XOR و ... هیچکدام برای کار در محیط‌های غیرحساس به تأخیر مناسب نیستند، زیرا می‌توانند فقط با یک گذر روی ورودی، خروجی را تولید کنند. بنابراین نمی‌توان از آنها به عنوان عناصر همگام‌ساز استفاده کرد. برای این منظور می‌توان از یک عنصر خاص به نام C-Element که توسط مولر[2] ابداع شده‌است استفاده کرد. این عنصر هرگاه دو ورودی آن گذر داشته و صفر شوند، خروجی صفر و اگر هر دو گذر داشته و یک شوند خروجی یک تولید کرده و در غیر این صورت مقدار قبلی را حفظ می‌کند. برای ساخت مدارهای عملی ناهمگام غیرحساس به تأخیر، ابتدا باید بتوانیم پیمانه‌هایی[3] طراحی کنیم که هم از شرایط مدارهای ناهمگام پیروی کنند و هم توانایی کافی برای ارائهٔ کارکردهای دامنهٔ وسیعی از مدارها را داشته باشند. همانطور که دیدیم قطعات معمولی قابلیت تولید کارکردهای کافی را ندارند، بنابراین می‌توانیم خود قطعات را به روشی دیگر (مثلاً تأخیرکراندار) طراحی کنیم و از آنجا که ارتباطات غیرحساس به تأخیر است، مدار نهایی غیر حساس به تأخیر خواهد بود. [Mol85]

۲-۱-۲ مدارهای شبه‌غیرحساس به تأخیر

در مدارهای شبه غیرحساس به تأخیر (QDI) برخی از شاخه‌ها همزمان[4] فرض می‌شود. منظور از شاخه‌های همزمان، شاخه‌های مختلف یک سیم است که اختلاف تأخیر دو شاخه در آن قابل صرف نظر باشد. این فرض علی‌رغم سادگی، در عمل بسیار مؤثر است. در این مدارها کافی است رسیدن سیگنال در یکی از شاخه‌ها را تشخیص داده، فرض کنیم که در شاخه‌های دیگر نیز سیگنال در همان زمان دریافت شده است. مدارهای شبه غیرحساس به تأخیر هیچگونه پیش‌فرضی یا شرط محدود کننده‌ای برای شاخه‌های همزمان در نظر نمی‌گیرند. یا به عبارت دقیق‌تر تفاضل تأخیر دو به دوی شاخه‌های خروجی از تأخیر پردازش در واحدهای تشکیل دهنده طرح کمتر است. البته این شرط به این علت است که چون در این حالات تنها از یکی از قسمتها سیگنال تصدیق گرفته می‌شود بنابراین با دریافت آن باید از اتمام کار مابقی قسمتها اطمینان حاصل کرده باشیم.

QDI پایدارترین خط لوله است و از مسیر داده‌ای دو ریلی[5] یا ۱-۴ ریلی تشکیل شده است. هیچ فرض زمانی برای ارتباط بلوکهای آن و یا به صورت محلی در داخل بلاکها وجود ندارد و باعث کوتاه شدن زمان طراحی می‌شود. رفتار پیچیده غیرخطی دارد و می‌تواند ورودیهای چندگانه شرطی یا غیر شرطی داشته باشد، لذا پیاده‌سازی‌های بیشتری را مجاز می‌سازد.

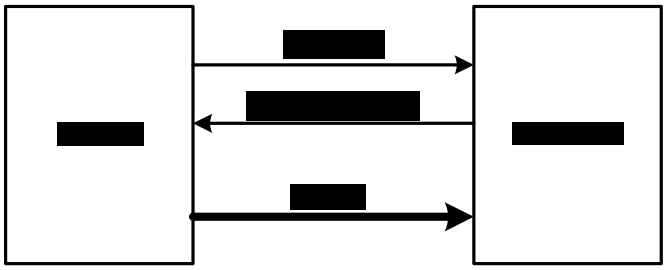
---

[1] Completion Detection
[2] Muller
[3] Module
[4] Isochronic Fork
[5] Dual Rail

QDI نسبت به سایر سبکها، فضا و توان بیشتری را مصرف می‌کند. مسائل مسیریابی و اختلاف طول سیم‌ها و همچنین ولتاژ آستانه[1] متفاوت در گیت‌ها می‌تواند مشکل ساز باشد. در روش مارتین "شاخه‌های همزمان" محلی هستند و به همین علت از مشکلات آنها کاسته می‌شود[Mar89]. مدارهای غیرحساس به تأخیر نیاز به آزمون تأخیر دارند.

۲-۲- کنترل جریان داده در مدارهای ناهمگام

همانطور که اشاره شد برای کنترل جریان داده در مدارهای ناهمگام از پروتکل‌هایی موسوم به دستدهی استفاده می‌شود که شکل ۲-۱شکل نمونه ساده‌ای از این پروتکل را نشان می‌دهد:



شکل ۲-۱ ساختارکلی انتقال اطلاعات در مدارهای ناهمگام

سیگنالی را که با فعال کردن آن توسط آغاز کننده عملیات دستدهی شروع می‌شود را سیگنال درخواست[2] می‌گویند و سیگنالی که طرف مقابل با فعال کردن آن خاتمه عملیات را تعیین می‌کند را سیگنال پاسخ[3] می‌نامند.

۲-۲-۱ انواع دست دهی پایه :

دستدهی به دو نوع تقسیم می‌شود: دستدهی دو مرحله‌ای[4] و دستدهی چهار مرحله‌ای[5] که در شکل ۲-۲ نشان داده شده‌اند. در دستدهی دو مرحله‌ای یا "*عدم بازگشت به صفر*"[6] هر تراکنشی شامل یک فاز برای ارسال درخواست و یک فاز برای صادرکردن سیگنال تصدیق می‌باشد. در دست دهی چهار مرحله‌ای یا "*بازگشت به حالت صفر*"[7] در فاز اول فرستنده داده را روی خط می‌گذارد سیگنال درخواست را که مشخص‌کننده معتبر بودن داده است فعال می‌کند. گیرنده در فاز دوم، داده را دریافت

[1] Threshold
[2] Request
[3] Acknowledge
[4] Two phase handshaking
[5] Four phase handshaking
[6] Non return to zero
[7] Return to zero