بسم الله الرحمن الرحيم

دانشکده فنی و مهندسی

پایان نامه‌ی کارشناسی ارشد رشته‌ی مهندسی برق گرایش الکترونیک

طراحی یک مدار حلقه‌ی قفل شونده در فاز

استاد راهنما:

سرکار خانم دکتر نوشین قادری

استاد مشاور:

جناب آقای دکتر مجید ابن علی

پژوهشگر:

حمید رضا عرفانی جزی

بهمن ماه ۱۳۹۲

دانشکده فنی و مهندسی

گروه مهندسی برق

پایان نامه آقای حمیدرضا عرفانی جزی جهت اخذ درجه کارشناسی ارشد رشته مهندسی برق گرایش الکترونیک با عنوان : " طراحی یک مدار حلقه‌ی قفل شونده در فاز" در تاریخ ۱۳۹۲/۱۱/۲۹ با حضور هیأت داوران زیر بررسی و با نمره ۱۹/۹ مورد تصویب نهایی قرار گرفت.

۱. استاد راهنمای پایان نامه دکتر نوشین قادری با مرتبه علمی استادیار	**امضاء**
۲. استاد مشاور پایان نامه دکتر مجید ابن علی حیدری با مرتبه علمی استادیار	**امضاء**
۳. استاد داور پایان نامه دکتر امیر هاشمی با مرتبه علمی استادیار	**امضاء**
۴. استاد داور پایان نامه دکتر آرش دقیقی با مرتبه علمی استادیار	**امضاء**

دکتر بهزاد قاسمی

معاون پژوهشی و تحصیلات تکمیلی

دانشکده فنی و مهندسی

کلیه حقوق مادی مترتب بر نتایج مطالعات، ابتکارات

و نوآوری‌های ناشی از تحقیق موضوع این پایان نامه

متعلق به دانشگاه شهرکرد است.

بدون شک جایگاه و منزلت معلم، جلیل تر از آن است که در مقام قدردانی از زحمات بی شائبه ی او، با زبان قاصر و دست ناتوان، چیزی بنگاریم.

اما از آنجایی که تجلیل از معلم، سپاس از انسانی است که هدف و غایت آفرینش را تأمین می کند و سلامت امانت هایی را که به دستش سپرده اند، تضمین؛ بر حسب وظیفه و از باب "من لم یشکر المنعم من المخلوقین لم یشکر الله عزّ و جلّ"

از استاد با کمالات و شایسته؛ سرکار خانم دکتر نوشین قادری که در کمال سعه ی صدر، با حسن خلق و فروتنی، از هیچ کمکی در این عرصه بر من دریغ ننمودند و زحمت راهنمایی این رساله را بر عهده گرفتند؛

از استاد دلسوز، جناب آقای دکتر مجید ابن علی، که زحمت مشاوره این رساله را بر عهده داشتند و همچنین با مساعدت ایشان در این مسیر بسیاری از مشکلات مرتفع گردید؛

از استاد صبور و فرزانه، جناب آقای دکتر امیر هاشمی، مدیریت محترم گروه، به دلیل یاری ها و راهنمایی های بی چشمداشت ایشان که بسیاری از سختی ها را برایم آسان نمودند؛

کمال تشکر و قدردانی را دارم.

باشد که این خرد ترین، بخشی از زحمات آنان را سپاس گوید.

شکر شایان نثار ایزد منان که توفیق رارفیق راهم ساخت تا این پایان نامه را به پایان برسانم.

این پایان نامه راضمن تشکر و سپاس بیکران و در کمال افتخار و امتنان به محضر ارزشمند پدر و مادر عزیزم به خاطر همه ی تلاش های محبت آمیزی که در دوران مختلف زندگی ام انجام داده اند و با مهربانی چگونه زیستن را به من آموخته اند، تقدیم می نمایم.

چکیده

در این پایان نامه طراحی یک حلقه‌ی قفل شونده در فاز برای کاربردهای فرکانس بالا در توان مصرفی پایین در نظر گرفته شده است. حلقه های قفل شونده در فاز تقریباً در تمام سیستم‌های مخابراتی استفاده می‌شوند. کاربردهای آن‌ها شامل بازیابی ساعت از سیگنال‌های دیجیتالی، مدولاسیون و دمدولاسیون، بازیابی سیگنال حامل از سیگنال‌های ماهواره ای و غیره می‌باشد. در مدار پیشنهادی با نوآوری در طراحی دو مدار آشکارساز فاز و پمپ بار که دو بلوک اساسی در حلقه های قفل شونده در فاز هستند، مداری با عملکرد بالا ایجاد شده است. در آشکارساز فاز پیشنهادی جهت افزایش سرعت از یک ساختار حلقه باز استفاده می‌شود. محدوده‌ی فرکانسی این آشکارساز از یک مگاهرتز تا سه گیگاهرتز و دارای مشخصه‌ی انتقالی خطی می‌باشد. در پمپ بار پیشنهادی با استفاده از روش بالک دریون و به کمک یک ساختار کسکود سعی در افزایش تطبیق جریان خروجی و همچنین افزایش سوئینگ ولتاژ خروجی شده است. برای کاهش اثرات نویز منبع تغذیه و زیرلایه در این مدار، از یک ساختار دیفرانسیلی جهت پیاده سازی نوسان ساز کنترل شده با ولتاژ استفاده می‌شود.

در نهایت حلقه‌ی قفل شونده در فاز پیشنهادی با استفاده از تکنولوژی CMOS، ۰/۱۸ µm در محیط HSPICE شبیه سازی شده است. گستره‌ی تنظیم فرکانس در این مدار از ۱/۲۲ GHz تا ۲/۲۲ GHz، در فرکانس مرکزی ۲ GHz با توان مصرفی ۱/۷ میلی وات و به ضریب شایستگی $\frac{dB}{Hz}$ ۱۸۸/۸۹- می‌باشد.

کلمات کلیدی:

حلقه‌ی قفل شونده در فاز، آشکارساز فاز، پمپ بار، نوسان ساز کنترل شده با ولتاژ

فهرست مطالب

عنوان	شماره صفحه
فصل اول- مقدمه	
۱-۱ مقدمه	۱۱
۱-۲ اصول حلقه‌ی قفل شونده در فاز	۱۴
۱-۳ تعریف PLL	۱۴
۱-۴ اجزا تشکیل دهنده‌ی PLL	۱۵
۱-۴-۱ نوسان ساز کنترل شده با ولتاژ (VCO)	۱۵
۱-۴-۲ آشکارساز فاز	۱۶
۱-۴-۳ پمپ بار و فیلتر حلقه	۱۶
۱-۵ چهارچوب پایان نامه	۱۷
فصل دوم- تحلیل PLL	
۲-۱ ساختار پایه PLL	۱۸
۲-۱-۱ دینامیک PLL ساده	۲۵
۲-۲ PLLهای پمپ بار	۳۱
۲-۲-۱ PLL پمپ بار ساده	۳۱
۲-۳ اثرات غیر ایده آل در PLLها	۳۹
۲-۳-۱ اثرات غیر ایده آل در PD/CP	۳۹
۲-۳-۱ جیتر در PLLها	۴۶
فصل سوم- نویز و جیتر در PLL	
۳-۱ مقدمه	۴۹
۳-۱-۱ نویز ادوات الکترونیکی	۴۹

۳-۱-۲ نویز تغذیه یا زیر لایه ۵۰
۳-۲ نویز فاز مدل بهزاد رضوی ۵۰
۳-۲-۱ نویز فاز VCO ۵۰
۳-۲-۲ نویز فاز مرجع ۵۳
۳-۳ نویز فاز مدل حاجی میری ۵۵
۳-۳-۱ نویز فاز و جیتر در PLLها ۵۵
۳-۳-۱-۱ نویز VCO ۵۵
۳-۳-۱-۲ نویز فاز و جیتر در حلقه های مرتبه اول ۵۶
۳-۳-۱-۳ نویز فاز و جیتر در حلقه های مرتبه بالاتر ۶۱
۳-۳-۱-۴ اثر تقسیم کننده های فرکانس ۶۲
۳-۳-۲ نویز فاز و جیتر در نوسان سازهای حلقوی ۶۳
۳-۳-۲-۱ نویز فاز ۶۳
۳-۳-۲-۲ جیتر ۶۶

فصل چهارم- طراحی اجزا PLL، نتیجه گیری و پیشنهادات

۴-۱ آشکارساز پیشنهادی ۶۹
۴-۱-۱ طراحی آشکارساز فاز ۷۰
۴-۱-۲ نتایج شبیه سازی آشکارساز فاز ۷۴
۴-۲ پمپ بار پیشنهادی ۷۵
۴-۲-۱ طراحی مدار ۷۶
۴-۲-۲ مدار پمپ بار پیشنهادی ۷۹
۴-۲-۳ نتایج شبیه سازی پمپ بار ۸۱
۴-۳ VCO ۸۴
۴-۳-۱ سلول تأخیر و VCO ۸۵

۴-۳-۲ تحلیل مدار سلول تأخیری ۸۶
۴-۳-۳ نویز فاز ۸۹
۴-۴ نتایج PLL طراحی شده ۹۰
۴-۴-۱ مقدمه ۹۰
۴-۴-۲ PLL طراحی شده در فرکانس ۲GHz ۹۱
۴-۴-۳ شبیه سازی مدار در گوشه های پروسه ۹۵
۴-۴-۴ شبیه سازی در حضور نویز منبع تغذیه ۹۷
۴-۵ نتیجه گیری ۹۸
۴-۶ پیشنهادات ۹۹
مراجع ۱۰۰

فهرست اشکال

عنوان | شماره صفحه

شکل ۱-۱: فرکانس پالس ساعت بر حسب تکنولوژی ۱۲

شکل ۱-۲: ساختار کلی PLL ۱۳

شکل ۱-۳: بلوک دیاگرام پایه‌ی PLL ۱۴

شکل ۱-۴: بلوک‌های PLL ۱۵

شکل ۱-۵: یک نوسان ساز حلقوی پنج طبقه ۱۵

شکل ۲-۱: (الف) دو شکل موج با جابه‌جایی، (ب) تغییر فرکانس VCO برای حذف جا به جایی ۱۹

شکل ۲-۲: (الف) حلقه‌ی فیدبک برای مقایسه‌ی فازهای ورودی و خروجی (ب) PLL ساده ۲۰

شکل ۲-۳: (الف) شکل موج‌های یک PLL در شرایط قفل، (ب) محاسبه‌ی خطای فاز ۲۰

شکل ۲-۴: جا به جایی داده نسبت به ساعت به دلیل وجود خطای کوچک فرکانسی ۲۱

شکل ۲-۵: (الف) حلقه‌ی قفل فرکانس، (ب) تقویت کننده‌ی فیدبک با بهره‌ی واحد ۲۲

شکل ۲-۶: پاسخ یک PLL به پله‌ی فاز ۲۳

شکل ۲-۷: پاسخ یک PLL به یک پله‌ی کوچک در فرکانس ۲۴

شکل ۲-۸: مثالی از پاسخ پله‌ی فاز ۲۴

شکل ۲-۹: تغییر سریع و آهسته‌ی فاز اضافی ۲۵

شکل ۲-۱۰: مدل خطی یک PLL نوع یک ۲۶

شکل ۲-۱۱: پاسخ زیر میرای سیستم مرتبه دوم برای مقادیر مختلف ζ ۲۹

شکل ۲-۱۲: نمودارهای بود PLL نوع یک ۲۹

شکل ۲-۱۳: مکان هندسی ریشه های PLL نوع یک ۳۰

شکل ۲-۱۴: PLL پمپ بار ساده ۳۲

شکل ۲-۱۵: (الف) آزمایش خطی بودن ترکیب PD/CP/LPF، (ب) تقریب پاسخ با تابع شیب ۳۳

شکل ۲-۱۶: پاسخ پله‌ی ترکیب PD/CP/LPF ۳۴
شکل ۲-۱۷: مدل خطی یک PLL پمپ بار ساده ۳۵
شکل ۲-۱۸: (الف) مشخصه های بهره‌ی حلقه یک PLL پمپ بار ساده، (ب) افزودن صفر ۳۵
شکل ۲-۱۹: افزودن صفر به PLL پمپ بار ۳۶
شکل ۲-۲۰: کاهش پایداری PLL پمپ بار وقتی که $\boldsymbol{I_P K_{VCO}}$ کاهش می‌یابد ۳۷
شکل ۲-۲۱: مکان هندسی ریشه ها برای PLL نوع دو ۳۸
شکل ۲-۲۲: افزودن $\boldsymbol{C_2}$ برای کاهش جهش روی خط کنترل ۳۹
شکل ۲-۲۳: پیاده سازیPD ۴۰
شکل ۲-۲۴: پالس‌های همزمان که به وسیله‌ی PD با اختلاف فاز صفر ایجاد شده است ۴۰
شکل ۲-۲۵: شکل موج‌های خروجی یک PD فرضی با (الف) اختلاف فاز ورودی صفر و (ب) اختلاف فاز ورودی کوچک ۴۱
شکل ۲-۲۶: ناحیه‌ی مرده در یک جریان پمپ بار ۴۱
شکل ۲-۲۷: جیتر ناشی از ناحیه‌ی مرده ۴۲
شکل ۲-۲۸: پاسخ یک PD واقعی به اختلاف فاز کوچکی در ورودی ۴۲
شکل ۲-۲۹: (الف) پیاده سازی پمپ بار، (ب) اثر چرخش (جا به جایی) بین $\boldsymbol{QA}$ و $\boldsymbol{QB}$، (ج) حذف جا به جایی با یک دریچه‌ی مکمل عبوری ۴۳
شکل ۲-۳۰: اثر ناهمسانی جریان UP و DOWN ۴۴
شکل ۲-۳۱: اشتراک بار بین $\boldsymbol{CP}$ و خازن‌های X و Y ۴۴
شکل ۲-۳۲: گره زدن X و Y برای کاهش اشتراک بار ۴۵
شکل ۲-۳۳: شکل موج‌های ایده آل و با تشویش ۴۶
شکل ۲-۳۴: نمایش تشویش سریع و آهسته ۴۷
شکل ۲-۳۵: اثر جیتر VCO ۴۷
شکل ۲-۳۶: توابع انتقال جیتر از ورودی و VCO تا خروجی ۴۸
شکل ۳-۱: (الف) مدل حوزه‌ی فاز برای مطالعه‌ی اثر نویز فاز VCO (ب) نتیجه‌ی پاسخ بالا گذر ۵۱

شکل ۳-۲: سیستم جایگزین مدل حوزه‌ی فاز اثر نویز فاز VCO ۵۲
شکل ۳-۳: اثر PLL بر نویز فاز VCO ناشی از (الف) فلیکر نویز (ب) نویز سفید ۵۳
شکل ۳-۴: خلاصه‌ی نویز فاز VCO ۵۳
شکل ۳-۵: اثر نویز فاز مرجع در PLL ۵۴
شکل ۳-۶: مثالی از نویز فاز مرجع و VCO درPLL ۵۴
شکل ۳-۷: مدل معادل VCO ۵۵
شکل ۳-۸: مدل PLL مرتبه اول با نویز VCO ۵۶
شکل ۳-۹: طیف نویز فاز خروجی با یک ورودی بدون نویز ۵۷
شکل ۳-۱۰: جیتر زمانی خروجی با یک ورودی بدون نویز ۵۷
شکل ۳-۱۱: طیف نویز فاز خروجی با VCO بدون نویز ۵۸
شکل ۳-۱۲: جیتر زمانی خروجی با VCO بدون نویز ۵۹
شکل ۳-۱۳: طیف نویز فاز خروجی با ورودی با نویز کم ۵۹
شکل ۳-۱۴: جیتر زمانی خروجی با ورودی با نویز کم ۶۰
شکل ۳-۱۵: طیف نویز فاز خروجی با VCO با نویز کم ۶۰
شکل ۳-۱۶: جیتر زمانی خروجی با PLL با نویز کم ۶۱
شکل ۳-۱۷: طیف نویز فاز خروجی PLL با ورودی بدون نویز ۶۲
شکل ۳-۱۸: نویز فاز خروجی یک PLL با ورودی با نویز کم ۶۲
شکل ۳-۱۹: نویز فاز خروجی یک PLL با تقسیم کننده‌ی فرکانسی ۶۳
شکل ۳-۲۰: نوسان ساز حلقوی پنج طبقه ۶۴
شکل ۳-۲۱: اثر ضربه‌ی وارد شده بر حالت گذرا و پیک‌ها ۶۵
شکل ۳-۲۲: افزایش جیتر پالس ساعت با زمان ۶۷
شکل ۳-۲۳: جیتر موثر بر حسب زمان ۶۸
شکل ۴-۱: آشکارساز مرسوم ۷۰
شکل ۴-۲: طراحی ابتدایی آشکارساز (الف) پیش فاز (ب) پس فاز ۷۰

شکل ۴-۳: آشکارساز فاز پیشنهادی، مدار تولید کننده سیگنال (الف) up و (ب) down ۷۲
شکل ۴-۴: شکل موج‌های مربوط به آشکارساز فاز پیشنهادی (الف) پیش فاز (ب) پس فاز ۷۲
شکل ۴-۵: آشکارساز فاز اصلاح شده ۷۳
شکل ۴-۶: مشخصه‌ی انتقالی آشکارساز فاز در فرکانس‌های مختلف ۷۴
شکل ۴-۷: پمپ بار ساده در PLL ۷۵
شکل ۴-۸: (الف) آینه جریان کسکود با درایو بدنه NMOS (ب) مدل سیگنال کوچک ۷۷
شکل ۴-۹: پمپ بار پیشنهادی ۸۰
شکل ۴-۱۰: مشخصه‌ی جریان خروجی بر حسب جریان ورودی پمپ بار ۸۱
شکل ۴-۱۱: ماسفت بایاس شده در ناحیه‌ی اشباع ۸۱
شکل ۴-۱۲: جریان خروجی مدار BDCCM پیشنهادی و مدار GDCCM ۸۲
شکل ۴-۱۳: مشخصه‌ی تطبیق پمپ بار پیشنهادی ۸۲
شکل ۴-۱۴: (الف) شارژ و دشارژ ولتاژ خروجی در حضور (الف) سیگنال UP و سیگنال Down ۸۳
شکل ۴-۱۵: تغییرات جریان خروجی با شبیه سازی مونت‌کارلو به وسیله‌ی تغییرات (الف) ولتاژ آستانه (ب) پهنای گیت (ج) طول کانال ۸۳
شکل ۴-۱۶: نوسان ساز حلقوی سه طبقه با دو مسیر تأخیری ۸۵
شکل ۴-۱۷: سلول تأخیری پیشنهادی ۸۶
شکل ۴-۱۸: مدار معادل سلول تأخیری ۸۷
شکل ۴-۱۹: شکل موج خروجی VCO ۸۹
شکل ۴-۲۰: نویز حرارتی در نقطه‌ی گذر از صفر ۸۹
شکل ۴-۲۱: بلوک دیاگرام PLL طراحی شده. ۹۱
شکل ۴-۲۲: دیاگرام بود حلقه‌ی PLL ۹۲
شکل ۴-۲۳: شکل موج‌های خروجی و مرجع قبل و بعد از قفل شدن در فرکانس ۲ GHz ۹۲
شکل ۴-۲۴: ولتاژ کنترل VCO در فرکانس ۲ GHz ۹۳
شکل ۴-۲۵: مثالی از عملکرد PLL ۹۴

شکل ۴-۲۶: نویز فاز PLL در فرکانس ۲GHz ۹۴
شکل ۴-۲۷: شبیه سازی FF ۹۵
شکل ۴-۲۸: شبیه سازی SF ۹۶
شکل ۴-۲۹: شبیه سازی FS ۹۶
شکل ۴-۳۰: شبیه سازی PLL در حضور نویز منبع تغذیه ۹۷

فهرست جداول

عنوان	شماره صفحه
جدول ۴-۱: حالت‌های مختلف مدار شکل ۲ در (الف) پیش فاز و (ب) پس فاز	۷۱
جدول ۴-۲: مقایسه عملکرد آشکارساز فاز پیشنهادی	۷۵
جدول ۴-۳: مشخصات ولتاژ و امپدانس خروجی آینه جریان‌های متفاوت	۷۸
جدول ۴-۴: مقایسه عملکرد پمپ بار پیشنهادی	۸۴
جدول ۴-۵: پارامترهای حلقه با توجه به رابطه‌ی ۳۱-۲	۹۱
جدول ۴-۶: مقایسه‌ی عملکرد PLL پیشنهادی	۹۹

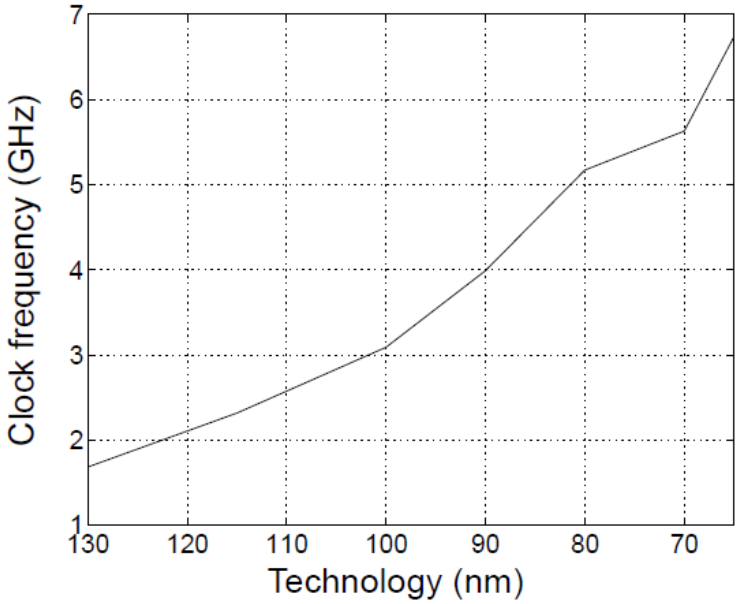
فصل اول

مقدمه

۱-۱ مقدمه

سیستم‌های دیجیتال با عملکرد بالا، برای انتقال سریال داده ها و منطبق کردن آن‌ها بین واحدهای عملیاتی و آی سی‌ها از پالس ساعت استفاده می‌کنند. نرخ بیت و فرکانس ساعت با هر نسل از تکنولوژی و معماری پردازنده ها افزایش یافته است. شکل ۱-۱ فرکانس ساعت را بر حسب تکنولوژی نشان می‌دهد. در این سیستم‌های دیجیتال پالس ساعت‌های مناسبی با حلقه های قفل شونده در فاز[1] (PLLs) تولید شده و به وسیله‌ی بافرهای پالس ساعت در داخل تراشه توزیع شده‌اند. افزایش سریع فرکانس پالس ساعت سیستم‌ها، چالش‌هایی را در تولید و توزیع پالس ساعت با عدم قطعیت زمانی[2] و توان پایین ایجاد کرده است. این پایان نامه تکنیک‌های جدیدی را در طراحی مدارات این سیستم‌ها برای به حداقل رساندن عدم قطعیت پالس ساعت و کاهش توان مصرفی، با طراحی یک PLL ارائه می‌دهد.

[1] Phase Locked Loop
[2] Timing uncertainty



شکل ۱-۱: فرکانس پالس ساعت بر حسب تکنولوژی

مفهوم قفل فاز در دهه ۱۹۳۰ ابداع شد و بلافاصله کاربرد گسترده ای در الکترونیک و مخابرات پیدا کرد. اگرچه حلقه قفل شونده در فاز اصلی به همان صورت باقی مانده است ولی پیاده سازی آن در فناوری‌های متفاوت برای کاربرد های مختلف هنوز هم جزء مشکلات اصلی کاربران است. یک PLL که برای تولید پالس ساعت در ریزپردازنده ها به کار می‌رود کاملاً شبیه به سنتز کننده فرکانسی است که در موبایل استفاده می‌شود ولی مدارهای واقعی آن‌ها به صورت کاملاً متفاوت از هم طراحی می‌شوند.

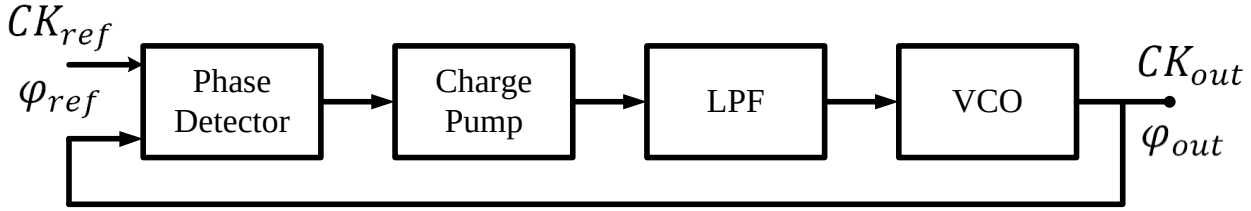
PLL در اصل یک حلقه‌ی فیدبک است که وظیفه‌ی قفل کردن فاز پالس ساعت داخل تراشه را با پالس ساعت یا سیگنال ورودی بر عهده دارد. PLLهای با عملکرد بالا به صورت گسترده در سیستم‌های دیجیتالی به منظور رسیدن به دو هدف استفاده می‌شوند: تولید پالس ساعت[1]، بازیابی زمانی[2].

به منظور تولید پالس ساعت، در ابتدا از کریستال‌ها به عنوان مرجع فرکانس استفاده می‌شد، ولی استفاده از کریستال‌ها محدودیت فرکانسی (حداکثر چند مگاهرتز) را به دنبال داشت، ضمن این که می‌بایستی کریستال در خارج از تراشه قرار می‌گرفت. پس از به‌کارگیری PLL ها محدودیت فرکانسی نیز بر طرف شد و فرکانس کاری آن‌ها تا چندین گیگاهرتز افزایش یافت و همچنین قابلیت مجتمع کردن آن‌ها در داخل تراشه نیز مهیا شد. افزایش نرخ داده ها، افزایش نرخ پردازش در داخل تراشه را نیز به دنبال دارد اما رابطه‌ی بین فاز ورودی داده ها و پالس ساعت داخل تراشه با هم یکسان نیست. برای دریافت قابل اطمینان داده ها، PLL با نمونه برداری از داده های ورودی، فاز آن‌ها را با پالس ساعت خود قفل می‌کند.

[1] clock generation
[2] timing recovery

عدم قطعیت زمانی بر عملکرد هر دو کاربرد PLL (تولید پالس ساعت، بازیابی زمانی) اثر می‌گذارد. عدم قطعیت زمانی زیاد باعث کم شدن فرکانس کاری می‌گردد. جیتر[1] به علت نویزهای تصادفی ذاتی (نویز حرارتی[2] و نویز فلیکر[3]) و نویز سیستماتیک تغذیه/ زیرلایه[4] به وجود می‌آید.

شکل ۱-۲ ساختار کلی یک PLL را نشان می‌دهد. در این ساختار برای تولید پالس ساعت از یک نوسان ساز کنترل شده با ولتاژ[5] در حلقه استفاده می‌گردد. به همین دلیل امکان دنبال کردن تغییرات فرکانس ورودی با تغییر فرکانس نوسان ساز با ولتاژ کنترلی وجود دارد.



شکل ۱-۲: ساختار کلی PLL

در این شکل، آشکارساز فاز[6] مداری است که ولتاژ متوسط خروجی آن به طور خطی با اختلاف فاز بین دو ورودی متناسب باشد. خروجی این مدار پس از عبور از مدار پمپ بار[7] و رد شدن از یک فیلتر پایین گذر به ولتاژ کنترلی متناسب تبدیل می‌شود و به نوسان ساز اعمال می‌گردد.

موارد استفاده از PLLها :

- سینتی سایزر فرکانس برای تنظیم دیجیتالی فرستنده و گیرنده‌های رادیویی.
- دمدولاسیون سیگنال‌های AM وFM .
- بهبود سیگنال‌های کوچکی که بدون PLL در نویز، گم می‌شوند.
- بازیابی اطلاعات منبع پالس ساعت از رشته اطلاعاتی مثل اطلاعات حاصله از دیسک درایو.
- در میکروپروسسورها.
- دکودرهای، مودم‌ها، برای کنترل و ارتباطات از راه دور.

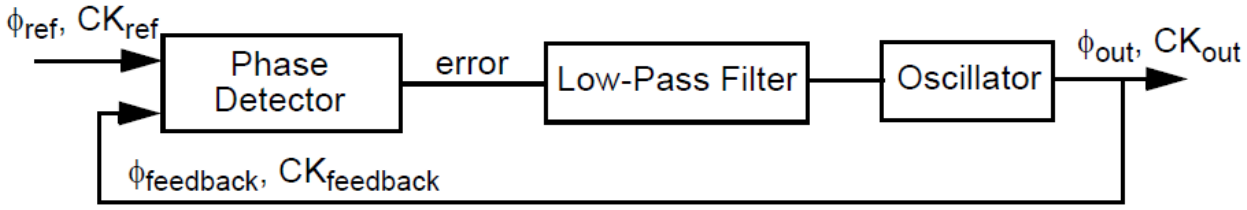
[1] Jitter
[2] Thermal noise
[3] Flicker noise
[4] Systematic supply/substrate noise
[5] Voltage controlled oscilator
[6] Phase detector
[7] Charge pump

۱-۲ اصول حلقه‌ی قفل شونده در فاز

حلقه های قفل شونده در فاز که از آن‌ها به منظور تولید پالس ساعت دقیق استفاده می‌شود، برای کاربردهای متنوعی نظیر بازیابی اطلاعات[۱]، تولید پالس ساعت میکروپروسسورها[۲] و سنتز کننده های فرکانسی[۳] استفاده می‌شوند. قفل فاز فاز از زمان اختراع PLL تا کنون یک مفهوم داشته است. با این حال طراحی و پیاده سازی PLL، تا کنون با چالش-هایی نظیر توان مصرفی، عدم قطعیت زمانی و ابعاد آن، رو به رو بوده است. این پایان نامه بر روی طراحی یک PLL برای سیستم‌های دیجیتالی با عملکرد بالا[۴] تمرکز دارد. در این جا به منظور درک چالش‌ها و مصالحه های[۵] طراحی، به بیان مفاهیم کلی حلقه‌ی قفل شونده در فاز پرداخته می‌شود.

۱-۳ تعریف PLL

بلوک دیاگرام پایه‌ی یک PLL در شکل ۱-۳ نشان داده شده است. این PLL یک سیستم حلقه بسته‌ی فیدبک دار است که اختلاف فاز بین پالس ساعت ورودی و خروجی را برطرف و ثابت می‌کند و می‌تواند تغییرات فازی را که در محدوده‌ی پهنای باندش قرار می‌گیرد را دنبال کند.



شکل ۱-۳: بلوک دیاگرام پایه‌ی PLL.

عملکرد اصلی PLL بدین صورت می‌باشد. آشکارساز فاز یک سیگنال خروجی خطا بر اساس اختلاف فاز بین پالس ساعت مرجع و پالس ساعت خروجی تولید می‌کند. با گذشت زمان تفاوت‌های کم فرکانسی باعث خطای فاز بزرگی می‌شود. سیگنال خطا پس از عبور از فیلتر پایین گذر، نوسان ساز را راه اندازی می‌کند و سیگنال خطای فیلتر شده به عنوان یک سیگنال کنترلی (جریان یا ولتاژ) برای نوسان ساز عمل کرده و فرکانس نوسانات را به گونه ای تنظیم می‌کند تا $\varphi_{feedback}$ و φ_{ref} بر هم منطبق شوند. حلقه، زمانی قفل می‌شود که پالس ساعت فیدبک با پالس ساعت مرجع، خطای فاز ثابت و فرکانس یکسانی داشته باشند.

[1] Data recovery
[2] microprocessor clock generation
[3] frequency synthesizer
[4] High performance
[5] Trade off