بسم الله الرحمن الرحيم

دانشگاه آزاد اسلامی

واحد تهران مرکزی

دانشکده فنی و مهندسی، گروه برق

پایان نامه برای دریافت درجه کارشناسی ارشد (M.Sc)

گرایش: الکترونیک

عنوان:

طراحی، شبیهسازی و بهبود زمان قفل شدن در مدار DLL

استاد راهنما:

دکتر رضا صباغی ندوشن

استاد مشاور:

دکتر فرداد فرخی

پژوهشگر:

سمن محمدی محقق

تابستان 1391

ISLAMIC AZAD UNIVERSITY

Central Tehran Branch

Faculty of Engineering-Department of Electrical Engineering

"M.Sc" Thesis

On Electronics

Subject:

Design, Simulation and Locking Time Improvements of DLL Circuit

Advisor:

Dr. Reza Sabbaghi-Nadooshan

Reader:

Dr. Fardad Farokhi

By:

Saman Mohammadi Mohaghegh

Summer 2012

سپاسگزاری:
زندگی، یعنی پژوهش و فهمیدن چیزی جدید. راه پیشرفت، ارزش نـهادن به علم و تحقیق است و این امر میسر نمیگردد مگر با راهنماییهای اساتید محترمی که با نکتههای دلاویز و گفتههای بلند ، صحیفههای سخن را، علم پرور مینمایند.
از استاد گرامیام جناب آقای دکتر صباغی ندوشن بسیار سپاسگزارم چرا که بدون راهنماییهای ایشان تامین این پایان نامه بسیار مشکل مینمود .
از استاد گرامی جناب آقای دکتر فرخی به دلیل یاریها و حمایتهای ایشان، که بسیاری از سختیها را برایم آسانتر نمودند، کمال تشکر را دارم.
و از سایر اساتید محترمی که راه گشای در اتمام و اکمال پایان نامه اینجانب بودهاند، متشکرم.

تقدیم به:

پدر بزرگوارم، مادر مهربانم و خواهر عزیزم، که با صبر و شکیبایی همیشگی خود در تمام دوران زندگیام، همواره امید موفقیت را در من زنده نگاه داشتهاند.

فهرست مطالب

عنوان **صفحه**

فصل اول: مقدمه

1-1- مقدمه..... 2

فصل دوم: مروری بر حلقه قفل فاز و حلقه قفل تاخیر

2-1- مقدمه..... 4

2-2- کارآیی حلقه قفل فاز و حلقه قفل تاخیر در مدارهای مجتمع 4

2-2-1- کاهش جیتر..... 4

2-2-2- جلوگیری از کجی در سیگنال..... 4

2-2-3- سنتز فرکانسی 6

2-2-4- بازسازی پالس ساعت 6

2-3- مقایسه حلقه قفل فاز و حلقه قفل تاخیر..... 6

2-4- انواع حلقههای قفل تاخیر 9

2-5- کاربردهای حلقه قفل تاخیر 10

2-5-1- مولد پالس ساعت..... 11

2-5-2- بازیابی کلاک و داده..... 11

2-5-3- توزیع کلاک..... 13

2-5-4- انتقال داده..... 13

2-5-5- حافظهها و ورودی و خروجیها 13

2-6- نتیجهگیری..... 14

فصل سوم: ساختار و عملکرد حلقه قفل تاخیر آنالوگ

3-1- مقدمه..... 15

3-2- بلوک دیاگرام حلقه قفل تاخیر آنالوگ پایه..... 15

3-2-1- بلوکهای داخلی 17

3-2-1-1- آشکارساز فاز 17

3-2-1-2- پمپ بار و فیلتر حلقه 18

3-2-1-3- خط تاخیر قابل کنترل با ولتاژ 18

3-3- نکات طراحی یک حلقه قفل تاخیر آنالوگ پایه 20

3-4- نتیجهگیری..... 23

فصل چهارم: پیشینه کار و طرحهای بهبود

4-1- مقدمه..... 24

4-2- پیشینه کارهای صورت گرفته از حلقه های قفل تاخیر 24

4-3- همترازکننده کلاک 26

4-4- بررسی حلقه قفل تاخیر آنالوگ با دو لبه سنکرون شونده در تکنولوژی 1/2μm..... 28

عنوان **صفحه**

4-4-1- ساختار پیشنهادی 28
4-4-2- مدل معادل ساختار پیشنهادی 28
4-4-3- بلوکهای داخلی 29
4-4-3-1- آشکارساز فاز 29
4-4-3-2- پمپ بار و فیلتر حلقه 30
4-4-3-3- خط تاخیر قابل کنترل با ولتاژ 31
4-5- طرح بهبود حلقه قفل تاخیر آنالوگ با دو لبه سنکرون شونده 32
4-5-1- تکنولوژی مورد استفاده 32
4-5-2- ولتاژ منبع تغذیه 33
4-5-3- بازه فرکانسی (محدوده قفل) 33
4-5-3-1- حلقه قفل تاخیر با استفاده از آشکارساز فاز با مدار بازنشانی 33
4-5-3-2- ساختار تصحیح خودبخودی 34
4-5-3-3- حلقه قفل تاخیر با خط تاخیر رپلیکا 35
4-5-3-4- حلقه قفل تاخیر با مدار بازنشانی اولیه 36
4-5-3-5- ساختار ترکیبی حلقه قفل فاز و حلقه قفل تاخیر 37
4-5-3-6- مقایسه ساختارهای مختلف حلقه های قفل تاخیر آنالوگ 38
4-5-4- زمان قفل 39
4-6- نتیجهگیری 39

فصل پنجم: طرحهای پیشنهادی

5-1- مقدمه 40
5-2- بررسی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 0/18µm 40
5-2-1- ساختار پیشنهادی 40
5-2-2- بلوکهای داخلی 41
5-2-2-1- آشکارساز فاز-فرکانس 41
5-2-2-2- پمپ بار و فیلتر حلقه 45
5-2-2-3- خط تاخیر قابل کنترل با ولتاژ 48
5-2-2-4- کلاک بافر چند طبقه 49
5-3- بررسی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 0/13µm 50
5-3-1- ساختار پیشنهادی 50
5-3-2- بلوکهای داخلی 50
5-3-2-1- خط تاخیر قابل کنترل با ولتاژ 50
5-3-2-2- آشکارساز فاز-فرکانس 51
5-3-2-3- پمپ بار و فیلتر حلقه 53
5-4- نتیجهگیری 53

عنوان **صفحه**

فصل ششم: نتایج شبیهسازی
6-1- مقدمه..... 55
6-2- نتایج شبیهسازی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 1/2µm..... 55
6-3- نتایج شبیهسازی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 0/18µm..... 56
6-4- نتایج شبیهسازی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 0/13µm..... 60
6-5- نتیجهگیری..... 66
فصل هفتم: نتیجهگیری و پیشنهادات
7-1- نتایج 67
7-2- پیشنهادات 70
فهرست منابع و ماخذ 72
چکیده انگلیسی..... 77

فهرست جداول

عنوان **صفحه**

جدول (2-1): مقایسه خصوصیات بین حلقه قفل تاخیر و حلقه قفل فاز 8
جدول (4-1): مقایسه ساختارهای مختلف حلقههای قفل تاخیر آنالوگ 38
جدول (6-1): مقایسه عملکرد کنترل پهنای پالس حلقههای قفل تاخیر در منابع مختلف..... 65

فهرست اشکال

عنوان **صفحه**

شکل (2-1): وجود جیتر در شکل موج کلاک 4
شکل (2-2): بهوجود آمدن کجی در مدارهای دیجیتال..... 5
شکل (2-3): بازسازی پالس ساعت با استفاده از CRC 6
شکل (2-4): پاسخ پله حلقه قفل تاخیر و حلقه قفل فاز 8
شکل (2-5): انواع حلقه های قفل تاخیر..... 10
شکل (2-6): ساختار گیرنده دیر-زود و نمودار زمانبندی آن 12
شکل (3-1): بلوک دیاگرام اولیه یک حلقه قفل تاخیر آنالوگ 16
شکل (3-2): مشخصههای انتقال حلقه باز و حلقه بسته 16
شکل (3-3): آشکارساز از نوع گیت XOR 18
شکل (3-4): توپولوژیهای خط تاخیر قابل کنترل با ولتاژ 19
شکل (3-5): قفل صحیح و غلط سیگنال خروجی خط تاخیر قابل کنترل با ولتاژ 20
شکل (3-6): مشخصه تاخیر- فاز خط تاخیر 21
شکل (3-7): بلوک دیاگرام و زمانبندی حلقه قفل تاخیر 22
شکل (4-1): همترازکنندههای کلاک برای (الف) حلقه قفل فاز و (ب) حلقه قفل تاخیر..... 27
شکل (4-2): معماری حلقه قفل تاخیر با دو لبه سنکرون شونده جهت شبیهسازی در تکنولوژی 1/2μm 28
شکل (4-3): مدل معادل مدار حلقه قفل تاخیر با دو لبه سنکرون شونده..... 29
شکل (4-4): پیادهسازی آشکارساز فاز برای (الف) لبه بالارونده و (ب) لبه پایینرونده 30
شکل (4-5): شکل موج سیگنالهای ورودی و خروجی برای (الف) آشکارساز 1 و (ب) آشکارساز2..... 30
شکل (4-6): معماری پمپ بار و حلقه فیلتر..... 31
شکل (4-7): معماری خط تاخیر قابل کنترل با ولتاژ 32
شکل (4-8): (الف) آشکارساز فاز با مدار بازنشانی (ب) منحنی آشکارساز فاز بهره 34
شکل (4-9): بلوک دیاگرام حلقه قفل تاخیر با ساختار تصحیح خودبخودی..... 35
شکل (4-10): حلقه قفل تاخیر با خط تاخیر رپلیکا..... 36
شکل (4-11): پیکربندی و نحوه عملکرد خط تاخیر رپلیکا 36
شکل (4-12): حلقه قفل تاخیر با مدار بازنشانی اولیه 37
شکل (4-13): ساختار ترکیبی حلقه قفل فاز و حلقه قفل تاخیر 37
شکل (5-1): معماری حلقه قفل تاخیر پیشنهادی با دو لبه سنکرون شونده جهت شبیهسازی در تکنولوژی های 0/18μm و 0/13μm 41
شکل (5-2): آشکارساز فاز-فرکانس مربوط به (الف) لبه بالارونده و (ب) لبه پایینرونده طراحی شده..... 43

عنوان **صفحه**

شکل (5-3): مدار معادل آشکارساز فاز-فرکانس برای (الف) لبه بالارونده و (ب) لبه پایین-رونده..... 43
شکل (5-4): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس یکسان (زمانی که سیگنال ورودی جلوتر باشد)..... 43
شکل (5-5): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس یکسان (زمانی که سیگنال ورودی عقبتر باشد) 44
شکل (5-6): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس متفاوت (زمانی که سیگنال ورودی جلوتر باشد) 44
شکل (5-7): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس متفاوت (زمانی که سیگنال ورودی عقبتر باشد) 44
شکل (5-8): عملکرد آشکارساز فاز-فرکانس 1 و 2 با فرکانس و فاز یکسان..... 45
شکل (5-9): آشکارساز فاز-فرکانس با فیلترهای پایین گذر..... 45
شکل (5-10): (الف) آشکارساز فاز-فرکانس با پمپ بار و (ب) شکل موج های آن 46
شکل (5-11): اثر پالسهای باریک DN روی شکل موج آشکارساز فاز-فرکانس با پمپ بار..... 46
شکل (5-12): پمپ بار ساده با بایاس خودبهخودی و بدون آفست 47
شکل (5-13): پمپ بار مربوط به (الف) لبه بالارونده و (ب) لبه پایینرونده طراحی شده 48
شکل (5-14): مراحل ایجاد و تکمیل یک خط تاخیر قابل کنترل با ولتاژ کاسکود (الف) یک معکوس کننده مکنده (ب) خط تاخیر تک طبقه همراه با مدار بایاس (ج) خط تاخیر چندین طبقه 49
شکل (5-15): خط تاخیر قابل کنترل با ولتاژ 49
شکل (5-16): (الف) المان تاخیر مکنده جریان رایج (ب) ورژن متغیر المان تاخیر مکنده جریان..... 51
شکل (5-17): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس یکسان (زمانی که سیگنال ورودی جلوتر باشد)..... 52
شکل (5-18): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس یکسان (زمانی که سیگنال ورودی عقبتر باشد) 52
شکل (5-19): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس متفاوت (زمانی که سیگنال ورودی جلوتر باشد) 52
شکل (5-20): عملکرد (الف) آشکارساز فاز-فرکانس1 و (ب) آشکارساز فاز-فرکانس2 با فرکانس متفاوت (زمانی که سیگنال ورودی عقبتر باشد) 53
شکل (5-21): عملکرد آشکارساز فاز-فرکانس 1 و 2 با فرکانس و فاز یکسان..... 53
شکل (6-1): نتایج شبیهسازی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 1/2μm در فرکانس 80MHz..... 56

عنوان **صفحه**

شکل (6-2): نتایج شبیهسازی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 0/18µm در فرکانسهای (الف) 750MHz و (ب) 1GHz 58
شکل(6-3): خطای چرخهکار برحسب فرکانس..... 59
شکل(6-4): جیتر RMS برحسب فرکانس..... 59
شکل(6-5): جیتر Peak-to-Peak برحسب فرکانس..... 59
شکل(6-6): توان مصرفی برحسب فرکانس..... 59
شکل(6-7): (الف) لبه بالارونده و (ب) لبه پایینرونده سیگنال خروجی برحسب فرکانس..... 60
شکل (6-8): نتایج شبیهسازی حلقه قفل تاخیر با دو لبه سنکرون شونده در تکنولوژی 0/13µm در فرکانسهای (الف) 750MHz و (ب) 1 GHz 62
شکل(6-9): خطای چرخهکار برحسب فرکانس..... 63
شکل(6-10): جیتر RMS برحسب فرکانس..... 63
شکل(6-11): جیتر Peak-to-Peak برحسب فرکانس..... 63
شکل(6-12): توان مصرفی برحسب فرکانس..... 63
شکل(6-13): لبه بالارونده و پایینرونده سیگنال خروجی برحسب فرکانس 64

چکیده:
در این پایاننامه یک مدار حلقه قفل تاخیر با دو لبه سنکرون شونده با سرعت قفل بالا، محدوده فرکانسی وسیع و ولتاژ تغذیه پایین شرح داده شده است که اغلب در پروسههای همتراز کننده ساعت مورد استفاده قرار میگیرد. در این پروژه، دو معماری تقریبا مشابه پیشنهاد شده است. نتایج شبیهسازی با برنامه Hspice بر پایه تکنولوژیهای $0/18\mu m$ CMOS و $0/13\mu m$ می-باشد. معماری پیشنهادی اولیه، حلقه قفل تاخیر با دو لبه سنکرون شونده را بر پایه تکنولوژی $0/18\mu m$ با ولتاژ تغذیه $1/8V$ میباشد. بازه فرکانسی این مدار بین $750MHz$ الی $1GHz$ است. مدار قفل سریع حلقه قفل تاخیر (ماکزیمم $20ns$) همراه با دو لبه سنکرون شونده با به-کارگیری آشکارسازهای فاز-فرکانس با سرعت بالا بهدست آمده است. آشکارسازهای فاز-فرکانس پیشنهادی دارای ناحیه مرده کوچکی هستند. همچنین دو پمپ بار تفاضلی بهکار گرفته شدهاند، زیرا در این مدار انتخابهای مناسبتری میباشند و از مزایای مهم این دو پمپ بار، ارتقاء زمان سوئیچ آنها توسط سوئیچهای هدایت کننده جریان را میتوان نام برد. مشخصه دیگر این ساختار قابلیت اصلاح مناسب چرخهکار است ($0/9\%\pm50$). از طرف دیگر، همانطور که میدانیم استفاده از روش دو لبه سنکرون شونده ما را بهسوی مصرف بیشتر توان سوق میدهد و متعاقبا باعث افزایش جیتر rms و peak-to-peak را افزایش میدهد که علت این امر استفاده از دو مدار آشکارساز فاز-فرکانس ، دو مدار پمپ بار و دو فیلتر حلقه بهجای استفاده از یکی از این هر کدام از این مدارها است. بنابراین در این پروژه جیتر rms، جیتر peak-to-peak و مصرف توان نیز مورد بررسی قرار گرفت. حداکثر توان مصرفی مدار حلقه قفل تاخیر، mW $3/4$ در فرکانس $1GHz$ است.حداکثر و حداقل جیتر rms بهترتیب $5/98ps$ و $0/771ps$ و حداکثر و حداقل جیتر peak-to-peak بهترتیب $102/08ps$ و $18/13ps$ میباشد.
از طرف دیگر، یک مدار تقریبا مشابه نیز در تکنولوژی $0/13\mu m$ بههمراه ولتاژ منبع تغذیه V $1/2$ شبیهسازی شده است. بازه فرکانسی این مدار نیز بین $750MHz$ الی $1GHz$ است. زمان قفل این مدار کمتر از $60ns$ در تمام بازه فرکانسی ذکر شده است. حداکثر توان مصرفی این مدار $3/1mW$ در فرکانس $1GHz$ است.حداکثر و حداقل جیتر بهترتیب $17/5ps$ و $2/5ps$ و حداکثر و حداقل جیتر peak-to-peak بهترتیب $125/3ps$ و $19/7ps$ میباشد. خطای چرخه-کار برای حلقه قفل تاخیر با دو لبه سنکرون شونده پیشنهادی $1\%\pm50$ میباشد. نتایج شبیه-سازیهای صورت گرفته حاکی از آن است که استفاده از روش حلقههای قفل تاخیر با دو لبه سنکرون شونده میتواند بدون ایجاد مشکل در جیتر و یا مصرف توان صورت گیرد. همچنین این نتایج نشان میدهند که نهتنها زمان قفل، بلکه تمامی پارامترهای مهم در حلقههای قفل تاخیر ارتقاء پیدا نمودند. این امر زمانی بهوقوع میپیوندد که ساختارهای مداری مناسبی انتخاب شده باشند. در نتیجه، زمانی که نیاز به استفاده از یک حلقه قفل تاخیر با دو لبه سنکرون شونده بهجای یک لبه سنکرون شونده داریم، هیچگونه نگرانی در مورد پارامترهای ذکر شده نخواهیم داشت.
کلمات کلیدی: آشکارساز فاز ، حلقه قفل تاخیر، خط تاخیر، جیتر، کلاک بافر چند طبقه

فصل اول: مقدمه

1 ـ1 ـ مقدمه:

در دهههای گذشته، تولید و توزیع پالس ساعت در طراحی سیستمهای VLSI یک بحران اساسی محسوب میشد. امروزه برای تولید و زمانبندی کلاک از مفهومی بهنام حلقه قفل فاز [1] و حلقه قفل تاخیر [2] استفاده میشود. ابتدا طراحان برای کنترل دقیق فاز یک سیگنال، حلقههای قفل فاز را معرفی نمودند. مفهوم قفل فاز در دهه 1930 ابداع شد و بلافاصله کاربرد گستردهای در الکترونیک و مخابرات پیدا کرد. اما در عمل حلقه قفل فاز، نخستین بار در سال 1970 به-صورت تراشه ساخته شد. اگرچه حلقه قفل فاز اصلی بهمان صورت باقی مانده است ولی پیاده-سازی آن در فناوریهای متفاوت برای کاربردهای مختلف هنوز هم جزو مشکلات طراحان است. یک حلقه قفل فاز که برای تولید پالس ساعت در ریزپردازنده بهکار میرود، کاملا شبیه سنتز کننده فرکانسی است که در تلفن سلولی استفاده میشود ولی مدارهای واقعی آنها بهصورتی کاملا متفاوت از هم طراحی میشوند. نوع دیگری از حلقههای قفل فاز که در ده سال گذشته مورد توجه واقع شده است، حلقههای قفل تاخیر هستند [1]. حلقههای قفل تاخیر نیز نخستین بار بهعنوان جایگزین مناسب حلقههای قفل فاز قدیمی بر پایه نوسانساز مطرح و در اوایل دهه 1990 بهصورت مجتمع در یک ضربکننده پالس ساعت استفاده شدند [2]، سپس در محصولات FPGAها مشهور شدند و امروزه بهصورت گسترده برای تولید پالس ساعت با کیفیت بالا استفاده میشوند. در علم الکترونیک، حلقه قفل تاخیر را میتوان مشابه مدار حلقه قفل فاز در حالت دیجیتال درنظر گرفت. حلقه قفل تاخیر، درحقیقت یک گیت تاخیرمنفی است که در مسیر کلاک مدارهای مجتمع قرار میگیرد. کار اصلی حلقه قفل تاخیر تنظیم فاز متناسب بین کلاک ورودی و سیگنال خروجی است و در کاربردهای بازیافت داده و تولید کلاک، برای جبران آثار منفی جیتر [3] و انحراف ساعت [4]، رایج است. میتوان عنوان نمود که حلقههای قفل تاخیر در کاربردهایی که کلاک مرجع با نویز کمتری باشد، عملکرد بسیار خوبی دارد. بهطور کلی اهدافی که طراحان مدارهای حلقه قفل تاخیر در نظر دارند، رسیدن به قفل سریع و پایدار با دوره کارکرد 50% برای پالس خروجی، جیتر و انحراف کم، حداقل توان تلفاتی و سطح مصرفی و حداکثر بازه فرکانسی است. بهطور کلی در حلقه قفل تاخیر سعی بر این است که اولا موقعیت فاز دقیق باشد یا بهعبارتی اثر فاز استاتیکی کم باشد، ثانیا جیتر یا نویز فازی کم باشد . بنابراین با استفاده از حلقه قفل تاخیر میتوان همزمانی دقیق بین سیگنالهای پالس ساعت داخلی و خارجی

[1] Phase locked loop
[2] Delay locked loop
[3] Jitter
[4] Clock Distortion

ایجاد کرد. کیفیت پالس ساعت توسط چندین عامل از جمله فرکانس، فاز، دوره کارکرد، جیتر و انحراف پالس ساعت تعیین میشود. حلقه قفل تاخیر یک مدار تشخیصدهنده فاز (آشکارساز فاز) دارد که میتواند اختلاف فاز میان پالس ساعت ورودی و خروجی را تشخیص دهد و تاخیر اعمال شده برای تولید سیگنال خروجی برپایه اختلاف فاز تشخیص داده شده را تنظیم نماید. در واقع مدار کنترلی حلقه قفل تاخیر، میزان تاخیر را کنترل میکند و لبه کلاک برگشت داده شده با سیگنال ساعت ورودی در تشخیصدهنده فاز مقایسه میشوند. با تنظیم لبه کلاک حلقه قفل می شود و تاخیر بافر ورودی و انحراف سیگنال ساعت به صفر میرسد.

وظیفه اصلی حلقههای قفل فاز و تاخیر همزمان سازی کلاک است که بهطور گسترده در مدارهای VLSI استفاده میشوند و هدف استفاده از آنها کاهش انحراف کلاک در شبکههای مبتنی بر کلاک است. این حلقهها بهطور گسترده، در کاربردهایی که نیاز به سرعت بالا دارند، مورد استفاده قرار میگیرند. از جمله این کاربردها میتوان به میکروپروسسورها، پردازندههای شبکه، تراشههای حافظه و ارتباطی که نیاز به فرکانس کلاک بالا در طراحیهای خود دارند، اشاره نمود [3]. از کاربردهای رایج دیگر حلقه قفل فاز میتوان به ضرب و سنتزکننده فرکانس، کاهش جابجایی یا تاخیر و کاهش اعوجاج اشاره نمود. اما حلقه قفل تاخیر، بیشتر در مولد پالس کلاک، بازیابی کلاک و داده، توزیع کلاک، انتقال داده و مدارهای رابط حافظه و فرستنده-گیرندههای انتقال سریال مورد استفاده قرار میگیرند.

با توجه به جدیدتر و کاربردیتر بودن موضوع حلقههای قفل تاخیر، قصد داریم در این پروژه به بررسی این نوع حلقهها بپردازیم. در ادامه، جهت آشنایی و درک بهتر از حلقه قفل تاخیر، در فصل دوم مروری بر حلقههای قفل فاز و تاخیر خواهیم داشت. سپس در فصل سوم ساختار و عملکرد یک حلقه قفل تاخیر آنالوگ بررسی میشود. در فصل چهارم، به پیشینه کارهای انجام شده در مورد حلقههای قفل تاخیر و همچنین به بررسی مقاله مرجع مربوط به حلقه قفل تاخیر با دو لبه سنکرون شونده (DLL-DES)[5] تحت تکنولوژیهای $1/2\mu m$ پرداخته میشود و در ادامه این فصل طرحهای بهبود ساختار حلقه قفل تاخیر پیشنهادی را بررسی خواهیم نمود. در فصل پنجم که طرحهای پیشنهادی نام دارد، با طراحی دو ساختار نسبتا مشابه و شبیهسازی آنها تحت تکنولوژیهای $0/18\mu m$ و $0/13\mu m$ سعی داریم تا تمامی پارامترهای مهم بررسی شده در حلقههای قفل تاخیر بهخصوص زمان قفل مدار را بهبود بخشیم. در فصل ششم، نتایج شبیه-سازی ساختارهای مرتبط با سه تکنولوژی ذکر شده مورد بررسی قرار میگیرند و با نتایج شبیه-سازی دیگر مقالات مورد مقایسه قرار خواهند گرفت. نتایج بهدست آمده، نشان میدهند که حلقه قفل تاخیر با دو لبه سنکرون شونده پیشنهادی این پروژه، دارای سرعت قفل بالا، بازه فرکانسی وسیع، ولتاژ مصرفی پایین و تکنولوژی برتر است. این امر حاکی از این مطلب است که بهبود قابل توجه پارامترهای مهم در ساختار پیشنهادی بهوجود آمده است. در نهایت میتوان نتیجه گیری و پیشنهادات برای ادامه کار را در فصل هفتم مشاهده نمود.

[5] Delay Locked Loop with Double Edge Synchronization

فصل دوم: مروری بر حلقه قفل فاز و حلقه قفل تاخیر

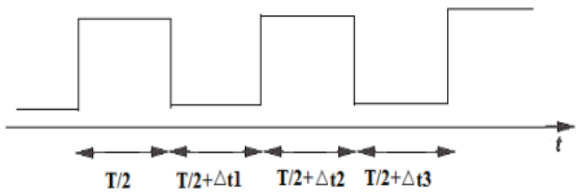
2-1- مقدمه:

در این فصل ابتدا به فواید استفاده از حلقههای قفل فاز و تاخیر در مدارهای مجتمع میپردازیم. سپس با توجه به تفاوتهای ساختاری بین این دو حلقه، مزایا و معایب آنان را بررسی مینماییم. در ادامه فصل بهدلیل مزایا و کاربردهای بیشتر حلقههای قفل تاخیر به بررسی بیشتر این حلقهها میپردازیم. بدین ترتیب ابتدا انواع مختلف حلقههای قفل تاخیر را از لحاظ ساختاری و کاربردی بررسی مینماییم تا بتوانیم بهترین نوع این حلقهها را برای ادامه این پروژه انتخاب نماییم. سپس به کاربردهایی که حلقههای قفل تاخیر در آنها بهصورت بارز استفاده میشود، اشاره خواهیم نمود.

2-2- کارآیی حلقه قفل فاز و حلقه قفل تاخیر در مدارهای مجتمع

در این بخش به فواید مهمی که استفاده از حلقههای قفل فاز و تاخیر در مدارهای مجتمع دارد، اشاره مینماییم [4].

2-2-1- کاهش جیتر: سیگنالها معمولا بههنگام عبور از کانال ارتباطی و همچنین در اثر وجود طبقات ذخیرهسازی دچار جیتر زمانی میشوند. همانطور که در شکل 2-1 نشان داده شده است جیتر خود را بهصورت تغییرات در پریود شکل موج نشان میدهد. نوعی بههم خوردگی که با تعقیب سیگنال دریافتی برش سیگنال قابل حذف نیست و این مشکل در سیگنالهای دیجیتالی نیز به قوت خود باقی است. ساختار حلقه قفل فاز و یا حلقه قفل تاخیر میتواند برای کاهش جیتر مفید واقع شود.



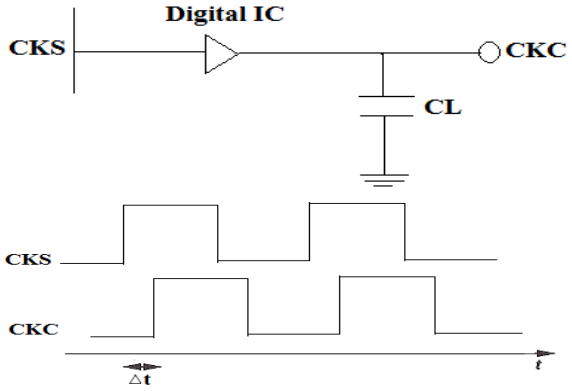
شکل 2-1. وجود جیتر در شکل موج کلاک

2-2-2- جلوگیری از کجی[6] در سیگنال:

شکل 2-2 یک مشکل اساسی را در مدارهای دیجیتالی مرجع نشان میدهد. در اینجا یک سیگنال پالس ساعت بهنام CKS از میان یک بورد مدار چاپی (PCB)[7] عبور کرده و در چندین طبقه بافر میشود تا لبههای آن تیز شوند و بتواند یکبار خازنی را با کمترین مقدار تاخیر تغذیه

[6] Skew
[7] Printed Circuit Board

کند. دلیل اصلی ایجاد کجی بهخاطر تاخیر بین کلاکهای داخل و بیرون یک مدار مجتمع است. کلاک داخل تراشه که CKC نام دارد، خازنهای پارازیتی زیادی را تغذیه میکند و نتیجه دچار تاخیر قابل ملاحظه نسبت به CKS میشود.

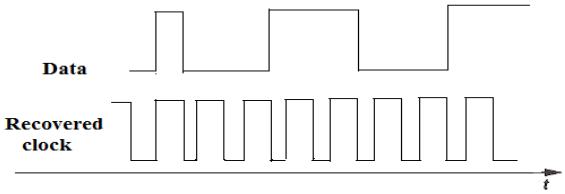


شکل 2-2: بهوجود آمدن کجی در مدارهای دیجیتال

کجی ایجاد شده باعث بههم خوردن هماهنگی زمانی بین داخل تراشه و بیرون آن میشود. برای کاهش کجی، بافر کلاک میتواند داخل یک حلقه قفل فاز و یا بهطور مشابه داخل یک حلقه قفل تاخیر قرار گیرد تا CKC با CKS منطبق گردد.

2-2-3- سنتز فرکانسی: در کاربردهای زیادی ضرب فرکانسی یک سیگنال پریودیک مورد نیاز است. بهعنوان مثال در سیستم دیجیتالی شکل 2-2 محدودیت پهنای باند بوردهای چاپی حداکثر فرکانس CKS را تعیین میکند، در حالیکه در داخل تراشه ممکن است نیاز به فرکانس بزرگتری وجود داشته باشد. فرستنده-گیرندههای بی سیم از یک اسیلاتور محلی استفاده میکنند که فرکانس آن باید با پلههای کوچک و دقیق تغییر کند. بهعنوان مثال 900 MHz تا 925 MHz و با پلههای 200 KHz. مراجع [5,6] مشکل سنتز فرکانسی را که با استفاده از حلقههای قفل فاز و قفل تاخیر قابل حل است، بیان کردهاند.

2-2-4- بازسازی پالس ساعت: در بسیاری از سیستمها اطلاعات بدون سیگنال سنکرونکننده (پالس ساعت) ارسال میشوند. بهعنوان مثال در ارتباطات نوری یک رشته اطلاعات از طریق فیبر نوری و بدون پالس ساعت ارسال میشود. این در حالی است که گیرنده باید اطلاعات را به-صورت سنکرون پردازش کند. بنابراین اطلاعات زمانی باید بازسازی شوند. در اکثر مدارهای بازسازی پالس ساعت از حلقه قفل فاز یا حلقه قفل تاخیر استفاده میشود.



شکل 2-3. بازسازی پالس ساعت با استفاده از CRC

2 3 –مقایسه حلقه قفل فاز و حلقه قفل تاخیر

در گذشته بیشتر مدارهای حلقه قفل فاز مورد استفاده بودند. اما حلقههای قفل فاز معایبی دارند که استفاده از آنها را بهویژه در کاربردهای با سرعت بالا، با مشکلاتی مواجه میکند. حلقه قفل فاز یک سیستم مرتبه بالا است و طراحی آن مشکل است. پهنای باند حلقه که برای پایدار بودن حلقه قفل فاز یک پارامتر بحرانی است، میتواند با تغییر فرآیند ساخت، تغییر ولتاژ و دما تغییر کند. عمده مشکلات آن ناشی از واحد نوسانساز کنترل شده با ولتاژ (VCO)[8] بوده که کارآیی-اش تحت تاثیر تغییرات دما قرار میگیرد. همچنین در بیشتر موارد حلقه قفل فاز برای اطمینان از پایداری و عملکرد بهتر نیاز به فیلترهای مرتبه بالا دارند که سطح بزرگتری را اشغال می-کنند و برخی مواقع برای اطمینان از عملکرد آن به خازن بیرون تراشه نیاز میباشد. در حلقه قفل فاز مقدار جیتر خروجی در هر سیکل، برای چندین سیکل متوالی بر روی مقادیر بعدی اضافه میشود و این امر با پاسخ زمانی حلقه قفل فاز محدود میشود. از طرف دیگر، مدارهایی که از پالس ساعت استفاده میکنند معمولا در شرایط با نویز بالا کار میکنند و نویز حاصل از تغییر ولتاژ منبع تغذیه و نیز نویز زیر لایه باعث ایجاد مشکلاتی مانند تغییر مقدار تاخیر در پالس ساعت می شوند. این تغییرات بهصورت لحظههای قابل اصلاح توسط حلقه قفل فاز نیست. در عوض ضرب کننده فرکانسی بر اساس حلقه قفل تاخیر مزیتهای زیادی نسبت به حلقههای

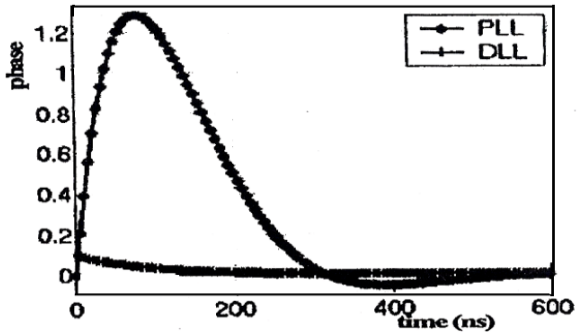
[8] Voltag Contrlled Oscillator

قفل فاز مرسوم دارد. حلقههای قفل تاخیر از بسیاری معایب حلقههای قفل فاز مصون هستند. با توجه به ویژگی حلقه مرتبه اول بودن حلقههای قفل تاخیر، پایداری آنها آسانتر است و انباشت جیتر در آنها رخ نمیدهد. حلقه قفل تاخیر بهجای استفاده از نوسانساز کنترل شده با ولتاژ، از خط تاخیر قابل کنترل با ولتاژ استفاده میکند و به سیگنال مرجع وابستهتر از حلقه قفل فاز است. همچنین حلقه قفل تاخیر در کاربردهایی که کلاک مرجع با نویز کمتری باشد، عملکرد بهتری دارد. بهجز در مواردی که نیاز به ضرب فرکانسی میباشد و فرکانس ورودی و خروجی متفاوت است بهویژه در کاربردهای با کارآیی بالا مانند میکروپروسسورها، مدارهای حافظه و مدارهای مجتمع مخابرات بیسیم، استفاده از حلقه قفل تاخیر ترجیح دارد. البته بعدها ساختارهای مختلفی معرفی شدند که ضرب فرکانسی را با استفاده از خطوط تاخیر ممکن ساخته و استفاده از حلقه قفل تاخیر را در تولید کلاک و سنتز فرکانسی گسترش دادند. از آنجا که در حلقههای قفل تاخیر سطح و توان مصرفی کمتر است، برای ساخت روی تراشههای دیجیتال مناسبتر می-باشند. مشخصههای حلقه در حلقه قفل تاخیر بهطور چشمگیری سادهتر از حلقه قفل فاز است. یک حلقه قفل فاز دست کم شامل دو متغیر حالت برای ذخیره اطلاعات و فرکانس میباشد و بهمنظور حفظ پایداری حلقه، یک صفر اضافی نیاز دارد. در حالیکه حلقه قفل تاخیر با داشتن فقط یک قطب با محدودیت کمتری مواجه است. بهره حلقه مستقیما پهنای باند مطلوب را تعیین میکند. تنها زمانی لازم است به پایداری توجه شود که پهنای باند حلقه نزدیک به فرکانس مرجع باشد. مزیت دیگر حلقه قفل تاخیر مربوط به کاربردهای بازیافت کلاک و داده است. یک راه کارساز برای دریافت زمانبندی برای نمونهبرداری داده ورودی، استفاده از یک گیرنده داده بهعنوان واحد تشخیصدهنده فاز است که از کلاک انتقال داده شده به اندازه 180 درجه برای نمونهبرداری انتقال داده، علاوه بر نمونهبرداری از مقادیر داده، استفاده میکند. انتقال فاز تاخیر ناشی از زمان راهاندازی گیرنده را جبران میکند و حاشیه امنیت خطای نمونهبرداری داده را افزایش میدهد. اگرچه حلقه قفل فاز مرتبه بالاتر نیز در این کاربرد قابل استفاده است، اما فاز حاصل در انتقال با سیکل محدود دارای جیتر خواهد بود که میزان آن به پارامترهای حلقه بستگی دارد و برای حلقه-های با پهنای باند بزرگ میتواند قابل توجه باشد. با یک حلقه قفل تاخیر نیز فاز کلاک خروجی نوسان خواهد کرد. اما از آنجا که پایداری حلقه فقط به تاخیر حلقه بستگی دارد، ارتعاش فقط برای چند دوره تناوب خواهد بود و مقدار آن خیلی کمتر از حلقه قفل فاز میباشد. بهطور خلاصه در مورد مزیتهای حلقه قفل تاخیر میتوان بهدقت خوب، پایداری، مدیریت توان بهتر، حساسیت نویز و کارآیی جیتر بالا اشاره کرد. در جدول 2-1 مقایسه بین حلقه قفل فاز و حلقه قفل تاخیر آورده شده است.

جدول 2-1. مقایسه خصوصیات بین حلقه قفل تاخیر و حلقه قفل فاز [7]

حلقه قفل تاخیر	حلقه قفل فاز
از خط کنترل با ولتاژ در آن استفاده میشود	از نوسانساز کنترل شده با ولتاژ در آن استفاده میشود
عدم انباشته شدن جیتر	انباشته شدن جیتر
سیستم مرتبه اول	سیستم مرتبه بالا
همیشه پایدار است	میتواند ناپایدار باشد
طراحی آن آسان است	طراحی آن سخت است
هزینه پیادهسازی برای حلقه فیلتر پایین میباشد	هزینه مجتمعسازی برای حلقه فیلتر بالا می-باشد
به سیگنال مرجع وابسته است	به سیگنال مرجع کمتر وابسته است
عمل ضرب فرکانسی در آن مشکل است	عمل ضرب فرکانسی در آن ساده است
به قطعات سختافزاری اضافی نیاز دارد	به قطعات سختافزاری اضافی نیاز ندارد
بازه قفل حلقه محدود است	بازه قفل حلقه وسیع است

شکل 2-4 پاسخ حلقه قفل فاز و حلقه قفل تاخیر به تابع پله نویز اعمال شده به ولتاژ کنترلی را نشان میدهد. حلقه قفل فاز از خطای فاز بزرگتر رنج میبرد که ناشی از انباشت فاز است، در واقع حلقه قفل فاز حلقهای مرتبه دو با ضریب میرایی یک است که خطای فاز ناشی از حلقه مرتبه بالای خود را جمع میکند و در پاسخ به خطای فاز، ولتاژ کنترلی فرکانس نوسانساز را تغییر میدهد. فاز خروجی در حلقه قفل فاز، انتگرال تغییر فرکانس میباشد. در پاسخ به اختلال نویزی، حلقه خطای فاز را قبل از تصحیح انباشت میکند. در مقابل، حلقه قفل تاخیر خطای فاز را با ثابت زمانی حلقه کاهش میدهد. نمودار شکل 2-4 با این فرض است که هر دو حلقه با پهنای باند 3db- و عناصر تاخیر یکسان طراحی شدهاند.



شکل 2-4. پاسخ پله حلقه قفل تاخیر و حلقه قفل فاز [8]

با توجه به مقایسه صورت گرفته بین حلقه قفل فاز و حلقه قفل تاخیر، نتیجه میگیریم که حلقههای قفل تاخیر، مزایا و کاربردهای بسیار زیادی در مقایسه با حلقههای قفل فاز دارند. از اینرو، از این پس فقط به بررسی حلقههای قفل تاخیر میپردازیم.