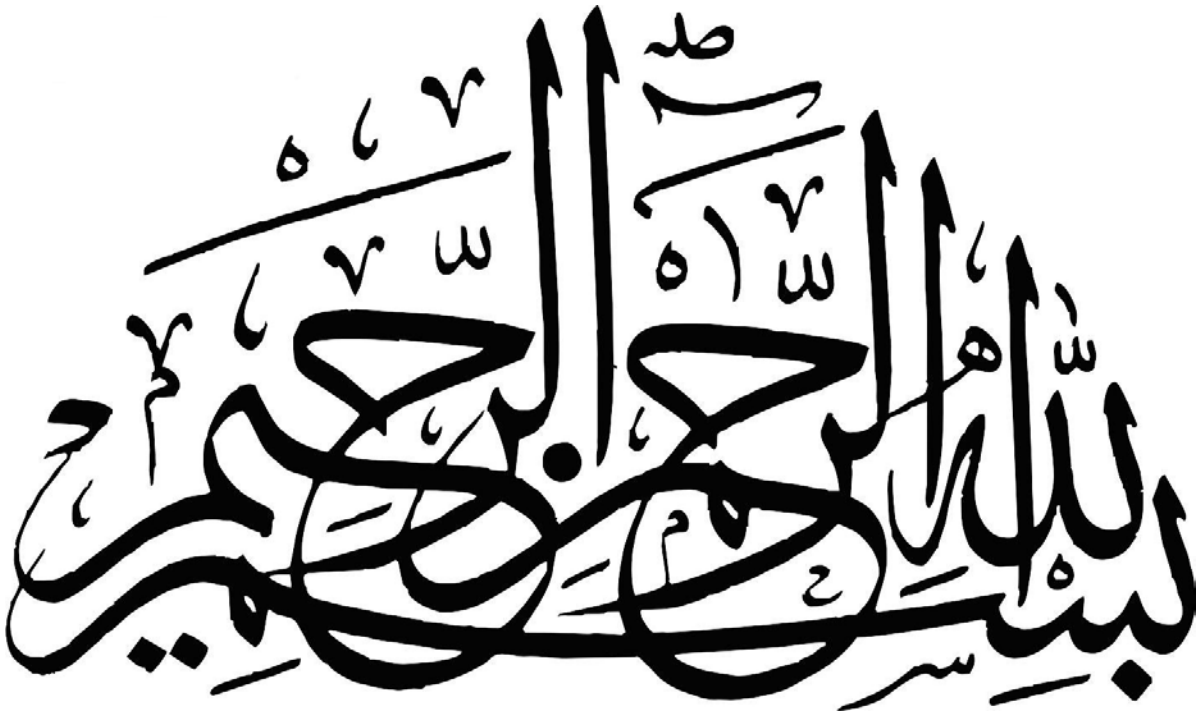

بسم الله الرحمن الرحيم

دانشگاه کاشان

دانشکده مهندسی برق و کامپیوتر

گروه الکترونیک

پایان‌نامه

جهت اخذ درجه کارشناسی ارشد

در رشته الکترونیک

عنوان:

بررسی و مدل‌سازی تغییرات آماری در طراحی مدارات آنالوگ

استاد راهنما:

دکتر داریوش دیدبان

توسط:

حمیدرضا شکوه فر

شهریور ماه ۹۳

تقدیم به:

ماحصل آموخته‌هایم را تقدیم می‌کنم به آنان که مهر آسمانی‌شان آرام بخش آلام زمینی‌ام است.

به استوارترین تکیه گاهم، دستان پرمهر **پدرم**

به سبزترین نگاه زندگیم، چشمان سبز **مادرم**

که هرچه آموختم در مکتب عشق شما آموختم و هرچه بکوشم قطره ای از دریای بی‌کران مهربانیتان را سپاس نتوانم بگویم.

امروز هستی‌ام به امید شماست و فردا کلید باغ بهشتم رضای شما.

ره‌آوردی گران سنگ‌تر از این ارزان نداشتم تا به خاک پایتان نثار کنم، باشد که حاصل تلاشم نسیم گونه غبار خستگیتان را بزداید.

بوسه بر دستان پرمهرتان.

تقدیر و تشکر:

با سپاس فراوان از استاد راهنمای فرهیخته‌ام جناب آقای دکتر **داریوش دیدبان** که در طول انجام این پایان‌نامه از رهنمودهای عملی و اخلاقی ایشان بهره‌مند شدم و درگاه خداوند بزرگ را شاکرم که افتخار شاگردی ایشان را نصیبم نمود. همچنین از اساتید داور، جناب آقای دکتر **محمود نیکوفرد** و آقای دکتر **کریمیان** به خاطر رهنمودهای علمی و ارزنده‌شان در جلسه دفاع سپاسگزارم.

چکیده

با پیشرفت تکنولوژی در صنعت نیمه‌هادی و کوچک شدن ابعاد ترانزیستورها به سمت ناحیه نانومتری، تغییرات آماری افزاره‌ها به خاطر مشکلات موجود در حین مراحل تولید و تغییرات تصادفی از نوسانات اتم‌های ناخالصی شده، تبدیل به یک نگرانی بحرانی شده است. همچنین یافتن راهی برای کاهش اثرات مشکلات این تغییرات برای تکنولوژهای نسل بعدی، مستلزم شناخت دقیق منابع این تغییرات در افزاره‌ها می‌باشد. این منابع تغییرات باعث تغییر در عملکرد مدارات و کاهش قابلیت اطمینان در پارامترهای مدار و درنتیجه تاثیر جدی در هزینه تولید مدارات امروزی شده است.

تغییراتی که فرآیند ساخت باعث ایجاد آنها می‌شود بعنوان یکی از موانع اصلی در طراحی مدارات مجتمع شناخته شده است. بزرگی تغییرات، بسیار به تکنولوژی مدارات مجتمع مربوطه وابسته است. تحقیقات و بررسی‌های زیادی برای مدل‌سازی تغییرات آماری افزاره صورت گرفته است تا اثر آنها را بر روی رفتار مدار تخمین بزنند. برای نسل‌های جدید تکنولوژی، بررسی و مدل‌سازی این تغییرات امر حیاتی برای رسیدن به عملکرد صحیح و دقیق مدارات به حساب می‌آید. با کوچک‌تر شدن ابعاد ترانزیستورها، بزرگی منابع تغییرات تصادفی موجود ممکن است افزایش پیدا کند یا ممکن است منابع تغییرات جدید ظاهر شوند. بنابراین مدل‌سازی تغییرات هم برای تکنولوژی‌های موجود و هم برای نسل تکولوژی‌های جدید یک امر اجباری به حساب می‌آید.

تاکنون مدل‌سازی‌های بسیاری در ارتباط با تغییرات آماری افزاره‌ها توسط محققان صورت گرفته است که بیشتر مدل‌سازی‌ها یک رابطه تحلیلی بر اساس رابطه حاکم بر جریان درین ترانزیستور می‌باشد. در این پایان‌نامه با بررسی تغییرات آماری برای مدارات آنالوگ به ویژه برای تقویت‌کننده‌های تک طبقه، یک روش مدل‌سازی جدید با استفاده از الگوریتم پیشنهادی ارئه شده است. در روش پیشنهادی، پارامترهای مهم یک تقویت‌کننده اعم از پارامترهای مدل DC مانند جریان درین و ولتاژ خروجی و همچنین پارامترهای مدل AC که شامل ترارسانایی ترانزیستور، مقاومت خروجی و بهره ولتاژ یک تقویت‌کننده را خطای کمتر از ۱۰ درصد مدل‌سازی می‌کند که در مقایسه با مدل‌سازی‌های پیشین که تنها پارامترهای مدل DC را پیش‌بینی و مدل‌سازی می‌کردند روش پیشنهادی دارای عملکرد بهتر با دقت بالاتری می‌باشد.

کلمات کلیدی: تغییرات آماری، ترانزیستورهای ماسفت، انحراف معیار، تغییرات تصادفی و عدم-تطابق.

فهرست مطالب

عنوان **صفحه**

فصل اول: مقدمه ۱
۱-۱- پیشگفتار ۱
۱-۲- ترتیب ارائه مطالب ٤
فصل دوم: معرفی منابع عدم‌تطابق و اثرات آن بر روی افزاره و مدارات ٦
۲-۱- مقدمه ٦
۲-۲- تغییرات فرآیند ۷
۲-۲-۱- تغییرات خارجی قالب ۹
۲-۲-۲- تغییرات درونی قالب ۱۱
۲-۲-۳- تغییرات سیستماتیک ۱۲
۲-۲-٤- تغییرات تصادفی ۱۳
۲-۲-٤-۱- ناخالصی‌های پراکنده تصادفی ۱٤
۲-۲-٤-۲- ناهمواری‌های لبه خطوط ۱٦
۲-۲-٤-۳- نوسانات ضخامت اکسید ۱۷
۲-۲-٤-٤- دانه‌ای شدن گیت پلی سیلیکون ۱۸
۲-۳- اثرات تغییرات آماری ۱۹
۲-۳-۱- اثرات تغییرات آماری بر روی پارامترهای ترانزیستور ۱۹
۲-۳-۱-۱- قابلیت تحرک حامل‌ها ۲۱
۲-۳-۱-۲- ولتاژ آستانه ۲۲
۲-۳-۱-۳- ابعاد ترانزیستور ۲٤
۲-۳-۲- اثرات تغییرات آماری بر روی عملکرد مدار ۲۵
۲-٤- نتیجه‌گیری ۲۸
فصل سوم: مدل‌سازی عدم‌تطابق در مدارات ۲۹
۳-۱- مقدمه ۲۹
۳-۲- تاریخچه مدل‌سازی افزاره ۳۰
۳-۳- بررسی تغییرات در سطح ترانزیستور ۳۳
۳-۳-۱- بررسی عدم‌تطابق بر روی ترانزیستورهای نامی یکسان ۳۵
۳-۳-۲- روش شبیه‌سازی اتمیستیک ۳۹
۳-٤- مدل‌سازی عدم‌تطابق برای ترانزیستورهای کانال کوتاه ٤۱
۳-٤-۱- ناحیه اشباع ٤۱

۳-٤-۲- ناحیه اهمی ٤٤
۳-٤-۳- کاهش جریان درین بخاطر کاهش تحرک ٤٦
۳-٤-٤- نتایج شبیه‌سازی مدل‌سازی تحلیلی عدم‌تطابق ٤۹
۳-٥- مدل‌سازی ولتاژ آفست یک زوج دیفرانسیلی ٥۱
۳-٥-۱- تخمین ولتاژ آفست ارجاع داده شده به ورودی ٥۱
۳-٥-۱-۱- نتایج شبیه‌سازی مدل‌سازی عدم‌تطابق زوج دیفرانسیلی ٥٤
۳-٦- نتیجه‌گیری ٥۷
فصل چهارم: مدل‌سازی نوین برای تغییرات آماری تقویت‌کننده‌های تک طبقه ٥۸
٤-۱- مقدمه ٥۸
٤-۲- بررسی و مدل‌سازی تغییرات آماری تقویت‌کننده سورس مشترک ٥۹
٤-۳- الگوریتم جدید برای مدل‌سازی عدم‌تطابق ٦٥
٤-٤- مدل‌سازی تغییرات آماری تقویت‌کننده‌ها با استفاده از روش پیشنهادی ٦۹
٤-٤-۱- تقویت‌کننده سورس مشترک ٦۹
٤-٤-۲- تقویت‌کننده دنبال‌کننده سورس ۷٤
٤-٤-۲-۱- بررسی تغییرات آماری مدار و مدل‌سازی آن ۷٦
٤-٤-۳- تقویت‌کننده گیت مشترک ۸۰
٤-٤-۳-۱- بررسی تغییرات آماری مدار و مدل‌سازی آن ۸۱
٤-٥- نتیجه‌گیری ۸٥
فصل پنجم: نتیجه‌گیری و پیشنهادات ۸۷
٥-۱- نتیجه‌گیری ۸۷
٥-۲- پیشنهادات ۸۹
منابع و مآخذ ۹۰

فهرست جدول‌ها

عنوان **صفحه**

جدول ۲-۱: اثرات تغییرات آماری فرآیند تولید به روی ولتاژ آستانه برای تکنولوژی‌های متفاوت [۳۰]. ۹

جدول ۲-۲: پارامترهای ماسفت و وابستگی آنها با مراحل تولید [۵۹]. ۲۱

جدول ٤-۱: مقادیر پارامترها و المانهای مدار. ٦۰

جدول ٤-۲: نتایج شبیه‌سازی اتمیستیک. ٦۱

جدول ٤-۳: مقایسه مدل‌سازی تحلیلی با شبیه‌سازی اتمیستیک برای تقویت‌کننده سورس مشترک در حالت ذاتی. ٦٤

جدول ٤-٤: نتایج شبیه‌سازی مونت کارلو با استفاده از الگوریتم پیشنهادی. ۷۰

جدول ٤-۵: مقادیر پارامترها و المان‌های مدار تقویت‌کننده دنبال‌کننده سورس. ۷٦

جدول ٤-٦: تغییرات پارامترهای تقویت‌کننده دنبال‌کننده سورس از شبیه‌سازی اتمیستیک و مقایسه آن با مدل-سازی بر اساس الگوریتم پیشنهادی. ۷۸

جدول ٤-۷: مقادیر پارامترها و المان‌های مدار تقویت‌کننده گیت مشترک. ۸۱

جدول ٤-۸: تغییرات پارامترهای تقویت‌کننده گیت مشترک از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی بر اساس الگوریتم پیشنهادی. ۸۳

فهرست شکل‌ها

عنوان **صفحه**

شکل ۱-۱: تغییرات فرکانس و جریان نشتی [۱۲]. ۳

شکل ۱-۲: نمایش طول موج در برابر روند تکنولوژی [۱۳]. ٤

شکل ۲-۱: نمایش اثرات فرآیند ساخت و عوامل محیطی بر روی افزاره، مدار و سیستم بر روی تراشه [۲۸]. ۸

شکل ۲-۲: نمایش تغییرات خارجی قالب و درونی قالب [۲۸]. ۱۰

شکل ۲-۳: مثالی از توزیع قالب به قالب برای تغییرات جریان یک ماسفت (مولفه سیستماتیک) [۳۳]. ۱۱

شکل ۲-٤: نمودار پتانسیل (الف) برای یک افزاره با ناخالصی یکنواخت (ب) برای یک افزاره اتمیستیک [٤۹]. ۱۵

شکل ۲-۵: (الف)توزیع ناخالصی‌های یک ترانزیستور ماسفت با ابعاد nm^2 ۳۰*۵۰ وضخامت لایه اکسید t_{ox}=3 nm وچگالی اتم‌های ناخالصی cm^{-3} ۱۰^۱۸ * ۵ =N_D و (ب) توزیع پتانسیل [٤۵]. ۱۵

شکل ۲-٦: نمونه LER در یک ماسفت 50nm * 200nm. رنگ قرمز پتانسیل بالای ناحیه سورس و درین را نشان می‌دهد، رنگ آبی پتانسیل کم بالک و رنگ زرد پتانسیل ناحیه کانال و ناحیه تخلیه را نشان می‌دهد [۵۱]. ۱٦

شکل ۲-۷: اطلاعات واقعی مربوط به ناهمواری طول کانال که توسط آزمایشگاهای مختلف در طول فرآیند ساخت بدست آمده است و نشان می‌دهد که منبع تغییرات LER با مقیاس شدن طول افزاره مقیاس نمی‌شود[۲۰]. ۱۷

شکل ۲-۸: (الف) نمودارتصادفی سطح Si/SiO_2 یک ترانزیستور ماسفت nm^2 ۳۰*۳۰، در زیر آن (ب) حد فاصل تراکم معادل به دست آمده از شبیه‌سازی چگالی شیب و (ج) توزیع پتانسیل [۵۵]. ۱۸

شکل ۲-۹: پتانسیل الکتروستاتیکی یک ماسفت ۳۰*۳۰ که اثرات پتانسل کانال از سطح فرمی تضعیف شده در مرزهای دانه‌های گیت پلی سیلیکون را نشان می‌دهد [٤٤]. ۲۰

شکل ۲-۱۰: (الف) گیت پلی سیلیکون، (ب) گیت فلزی [۵۸]. ۲۰

شکل ۲-۱۱: تحرک الکترون و حفره در برابر تراکم اتم‌های ناخالصی شده در سیلیکون [۵۵]. ۲۲

شکل ۲-۱۲: نمودار پتانسیل برای افزاره با طول گیت ۳۵ نانومتر با RDD، LER و PGG [٦۵]. ۲٦

شکل ۲-۱۳: مشخصه I_D-V_G ۱۰۰۰ نمونه ماسفت با طول گیت ۳۵ نانومتر. استخراج شده توسط شبیه‌ساز اتمیستیک دانشگاه گلاسکو [٦۵]. ۲٦

شکل ۲-۱٤: مدار یک اینورتر پایه. ۲۷

شکل ۲-۱۵: تغییرات مشخصه انتقالی اینورتر پایه [٦٥]..... ۲۷
شکل ۲-۱٦: توزیع تغییرات (الف) آستانه سوئیچ‌زنی و (ب) بهره [٦٥]..... ۲۸
۳-۱: فرآیند ارزیابی تغییرات تصادفی [٦٨]..... ۳۳
شکل ۳-۲: توپولوژی ترانزیستورها برای بدست آوردن عدم‌تطابق جریان درین در شرایط بایاس یکسان..... ۳۷
شکل ۳-۳: توپولوژی ترانزیستورها برای بدست آوردن عدم‌تطابق ولتاژ گیت- سورس با یکسان بودن جریان درین ترانزیستورها..... ۳۷
شکل ۳-٤: مشخصه ولتاژ گیت- سورس و جریان درین برای تمام مدل‌های بسته استفاده شده در شکل ۳-۱. در داخل نمودار هیستوگرام ΔI_{DS} نشان داده شده است [۷۰]..... ۳۸
شکل ۳-۵: مشخصه ولتاژ گیت- سورس و جریان درین موقعی که ولتاژ گیت- سورس آفست در MN2 برای یکسان کردن جریان درین استفاده می‌شود. در داخل نمودار هیستوگرام ΔV_{GS} می‌باشد [۷۰]. ۳۹
شکل ۳-٦: فرآیند ارزیابی تغییرات تصادفی [۷۰]..... ٤۰
شکل ۳-۷: نمودار انحراف معیار عدمتطابق ولتاژ گیت سورس برای یک تزانزیستور ماسفت نوع n در تکنولوژی ۳۵ نانومتر که از شبیه‌سازی اتمیستیک بدست آمده است [۷۰]..... ٤۹
شکل ۳-۸: نمودار انحراف معیار عدم‌تطابق ولتاژ گیت- سورس برای یک تزانزیستور ماسفت نوع n در ناحیه اهمی با مدل‌سازی تحلیلی ارائه شده و مقایسه آن با شبیه‌سازی اتمیستیک برای ۰/۱ =V_{DS}ولت [۷۰]. ۵۰
شکل ۳-۹: نمودار انحراف معیار عدم‌تطابق ولتاژ گیت- سورس برای یک تزانزیستور ماسفت نوع n در ناحیه اشباع با مدل‌سازی تحلیلی ارائه شده و مقایسه آن با شبیه‌سازی اتمیستیک برای ۱ =V_{DS}ولت [۷۰]... ۵۱
شکل ۳-۱۰: مدار تست برای محاسبه ولتاژ آفست..... ۵۳
شکل ۳-۱۱: سهم MN2–MN1 و MP2–MP1 از ولتاژ آفست [۷۰]..... ۵۵
شکل ۳-۱۲: ولتاژ خروجی از یک فایل نت‌لیست تصادفی به‌ازای ولتاژ آفست ورودی [۷۰]..... ۵٦
شکل ۳-۱۳: مقایسه بین شبیه‌سازی اتمیستیک و مدل‌سازی تحلیلی برای انحراف معیار ولتاژ آفست خرجی در یک تقویت‌کننده زوج دیفرانسیلی برای ابعاد مختلف مدار [۷۰]..... ۵٦
شکل٤-۱: مدار تقویت‌کننده سورس مشترک تست..... ٦۰
شکل ٤-۲: مدل سیگنال کوچک تقویت‌کننده سورس مشترک تست در حالت ذاتی..... ٦۰
شکل ٤-۳: نتایج بدست آمده از شبیه‌سازی اتمیستیک تقویت‌کننده سورس مشترک. (الف) جریان درین، (ب) ترارسانایی ترانزیستور، (ج) مقاومت خروجی و (د) بهره ولتاژ..... ٦۲
شکل ٤-٤: همبستگی بین ترارسانایی و مقاومت درین_سورس. ٦۳
شکل ٤-۵: مدار مورد استفاده برای مدل‌سازی عدم‌تطابق تقویت‌کننده سورس مشترک ٦۳

شکل ٤-٦: نمودار هیستوگرام جریان درین. نمودار آبی رنگ مربوط به مدل‌سازی تحلیلی و نمودار قرمز رنگ مربوط به شبیه‌سازی اتمیستیک. ٦٤
شکل ٤-٧: بلوک دیاگرام مربوط به مدل‌سازی عدم‌تطابق پیشنهادی ٦٥
شکل ٤-٨: الگوریتم پیشنهادی برای مدل‌سازی تغییرات آماری عدم‌تطابق تقویت‌کننده‌ها. ٦٧
شکل ٤-٩: نمودار مدل‌سازی منبع تغییرات جریان درین برای تقویت‌کننده سورس مشترک. ٦٩
شکل ٤-١٠: (الف) مدار تقویت‌کننده سورس مشترک، (ب) مدل سیگنال کوچک آن. ٧١
شکل ٤-١١: توزیع وابستگی بین ترارسانایی و مقاومت خروجی برای تقویت‌کننده سورس مشترک شکل ٤-١٠ بازای مقاومت بار ١٠٠ اهم تا ١٠ مگا اهم به ترتیب شماره داخل هر نمودار نشان داده شده است. ٧٢
شکل ٤-١٢: مقدار وابستگی بین ترارسانایی و مقاومت خروجی برای تقویت‌کننده سورس مشترک شکل ٤-١٠ در شبیه‌سازی اتمیستک به‌ازای مقاومت بار ١٠٠ اهم تا ١٠ مگا اهم. ٧٣
شکل ٤-١٣: انحراف معیار بهره در برابر مقادیر مختلف R_D. ٧٣
شکل ٤-١٤: انحراف معیار مقاومت خروجی در برابر مقادیر مختلف R_D. ٧٤
شکل ٤-١٥: تقویت‌کننده دنبالکننده سورس. ٧٥
شکل ٤-١٦: مدل سیگنال کوچک تقویت‌کننده دنبال‌کننده سورس شکل ٤-١٥. ٧٥
شکل ٤-١٧: مدار استفاده شده برای مدل‌سازی تقویت‌کننده دنبال‌کننده سورس. ٧٧
شکل ٤-١٨: نمودار هیستوگرام تغییرات ترارسانایی تقویت‌کننده دنبال‌کننده سورس از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی انجام شده بر اساس الگوریتم پیشنهادی. ٧٨
شکل ٤-١٩: نمودار هیستوگرام تغییرات مقاومت خروجی تقویت‌کننده دنبال‌کننده سورس از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی انجام شده بر اساس الگوریتم پیشنهادی. ٧٩
شکل ٤-٢٠: نمودار هیستوگرام تغییرات بهره ولتاژ تقویت‌کننده دنبال‌کننده سورس از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی انجام شده بر اساس الگوریتم پیشنهادی. ٧٩
شکل ٤-٢١:مدار نمونه تقویت‌کننده گیت مشترک. ٨٠
شکل ٤-٢٢: مدل سیگنال کوچک تقویت‌کننده گیت مشترک نمونه. ٨٠
شکل ٤-٢٣: مدار استفاده شده برای مدل‌سازی تقویت‌کننده گیت مشترک. ٨٢
شکل ٤-٢٤: نمودار هیستوگرام تغییرات جریان درین تقویت‌کننده گیت مشترک از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی انجام شده بر اساس الگوریتم پیشنهادی. ٨٣

شکل ٤-٢٥: نمودار هیستوگرام تغییرات ترارسانایی تقویت‌کننده گیت مشترک از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی انجام شده بر اساس الگوریتم پیشنهادی..... ٨٤
شکل ٤-٢٦: نمودار هیستوگرام تغییرات مقاومت خروجی تقویت‌کننده گیت مشترک از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی انجام شده بر اساس الگوریتم پیشنهادی..... ٨٤
شکل ٤-٢٧: نمودار هیستوگرام تغییرات بهره ولتاژ تقویت‌کننده گیت مشترک از شبیه‌سازی اتمیستیک و مقایسه آن با مدل‌سازی انجام شده بر اساس الگوریتم پیشنهادی..... ٨٥

فهرست علائم و اختصارات

CMOS	Complementary Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
UDSM	Ultra-deep Submicron
RDD	Random Discrete Dopant
LER	Length Edge Roughness
PGG	Poly-Gate Granularity
OTF	Oxide Thickness Fluctuation
ADC	Analogue-to-Digital Converter
IC	Integrated Circuit
ITRS	International Technology Roadmap for Semiconductor
SOI	Silicon On Isolator
IPF	Intrinsic Parameter Fluctuation
MC	Monte Carlo
L	Gate Length
W	Gate Width
V_{GS}	Gate-Source Voltage
V_{DS}	Drain-Source Voltage
V_{BS}	Bulk-Source Voltage
V_{TH}	Threshold Voltage
I_{DS}	Drain-Source Current
β	Current Factor
γ	Body Effect Coefficient
λ	Channel Length Modulation Coefficient
θ	Mobility Degradation Factor
Vsat	Saturated Velocity
E_C	Critical Field Strength
μ	Carrier Mobility
μ_{eff}	Effective Mobility
C_{OX}	Gate Oxide Capacitance per Unit Area
gm	Transistor Transconductance
r_{ds}	Output Resistance
Av	Voltage Gain
σ	Standard Deviation

فصل اول: مقدمه

۱–۱– پیشگفتار

کاهش ابعاد ترانزیستورهای ماسفت[1] مزیت‌های زیادی در صنعت در نیم قرن اخیر داشته است. نرخ افزایش تعداد ترانزیستورهایی که می‌تواند با هزینه‌ای پایین به صورت مجتمع برروی تراشه قرار بگیرد برای اولین بار توسط آقای گاردن مور[2] در سال ۱۹٦۵ بیان شد[۱]. اگر چه قانون مور برای ۳ دفعه تجدید نظر شد، اما در نهایت موفق شد روند پیشرفت مدارهای مجتمع[3] را با موفقیت در ۵ دهه گذشته را پیش بینی کند [۱–۳]. علاوه بر این، از سال ۱۹۹۳، یک گروه از متخصصان صنعت نیمه هادی از ایالات متحده آمریکا، اروپا، ژاپن و کره شروع به ارزیابی و گزارش پارامترهای دقیق و نوآوری‌های فن آوری جدید به منظور ادامه قانون مور انجام دادند. گزارشات سالانه آنها که به‌عنوان نقشه‌راه فن‌آوری‌های بین المللی برای نیمه هادی‌ها[4]، به صورت گسترده‌ای تبدیل به راهنمایی مورد تایید برای طراحان و تولیدکننده-ها در صنعت IC شده است [٤]. در گزارشات به روز شده در سال ۲۰۱۰، ITRS پیش بینی

[1] CMOS
[2] Garden Moore
[3] Integrated Circuit(IC)
[4] International Technology Roadmap for Semiconductor (ITRS)

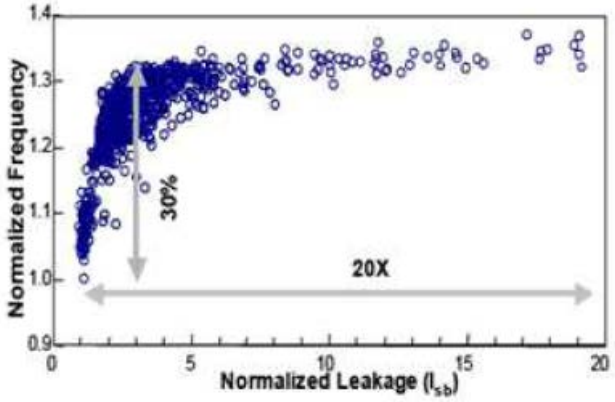
کرده است که آخرین نسل از ماسفت‌های بالک مورد استفاده، در سال ۲۰۱۵ دارای طول گیت ۱۶نانومتر خواهند بود. بعد از آن از یک ساختار جایگزین، مواد و فن‌آوری‌های جدید مثل افزاره‌های چند گیتی [۵]، FIN–FET [۶]، مواد III-V [۷] و سیلیکون بر روی عایق[1] [۸] استفاده خواهد شد که به‌عنوان جایگیزینی برای ماسفت‌های سیلیکون بالک مرسوم خواهد بود. در همان حال، ترانزیستورهای ماسفت همچنان به‌عنوان افزاره‌های اصلی در صنعت مورد استفاده قرار خواهند گرفت.

اگرچه تغییر مقیاس افزاره‌های ماسفت مزایای زیادی از جمله افزایش تراکم مجتمع سازی، کاهش هزینه و افزایش سرعت را به همراه داشته است اما با این وجود اثرات جانبی نامطلوب همچون توان استاتیک، تغییرپذیری در فرآیند ساخت و تغییرپذیری مربوط به خطاهای نرم را نیز به همراه دارد. در این میان تغییرپذیری در فرآیند ساخت یکی از مهم‌ترین معضلات تغییر مقیاس ترانزیستورهای ماسفت می‌باشد که باعث تغییرات در پارامترهای کلیدی افزاره و اتصالات داخلی آن مانند ولتاژ آستانه افزاره، ضخامت اکسید، پهنای سیم‌ها و ارتفاع سیم‌ها می‌شود [۹–۱۱]. درنتیجه عملکرد تراشه‌های مختلف بر روی یک ویفر دارای تفاوت-های گسترده‌ای می‌باشد که باعث از دست دادن قابلیت اطمینان در عملکرد تراشه و در پی آن باعث افزایش هزینه برای تولیدکنندگان مدارات مجتمع خواهد شد.

برای نشان دادن اثرات تغییرات در فرآیند ساخت بر روی تولیدات نیمه‌هادی واقعی، شکل ۱–۱ توزیع نرمالیزه شده از فرکانس پالس ساعت و جریان نشتی استاتیکی از میکروپروسسورهای اینتل[2] را نشان می‌دهد[۱۲]. در شکل ۱–۱ می‌توان مشاهده کرد که تغییرات در پارامترهای افزاره برای فرکانس پالس ساعت دارای بیش از ۳۰ درصد نوسان و تغییرات برای جریان نشتی استاتیکی در حدود ۲۰ برابر می‌باشد. همانطور که در شکل مشاهده می‌کنید بیشترین فرکانس کاری تراشه دارای توزیع گسترده‌ای از جریان نشتی می‌باشد.

[1] Silicon-On-Insulator (SOI)
[2] Intel Microprocessors

با وجود این گستردگی در توزیع فرکانس کاری تراشه‌ها، لازم است قبل از این که برای فروش به بازار عرضه شود حتما تک تک تراشه‌ها مورد تست و ارزیابی قرار بگیرند تا ماکزیمم سرعت و توان آنها آزمایش و ثبت شود. برای شرکت‌های سازنده این عمل بسیار هزینه‌بر و زمان‌بر می‌باشد.



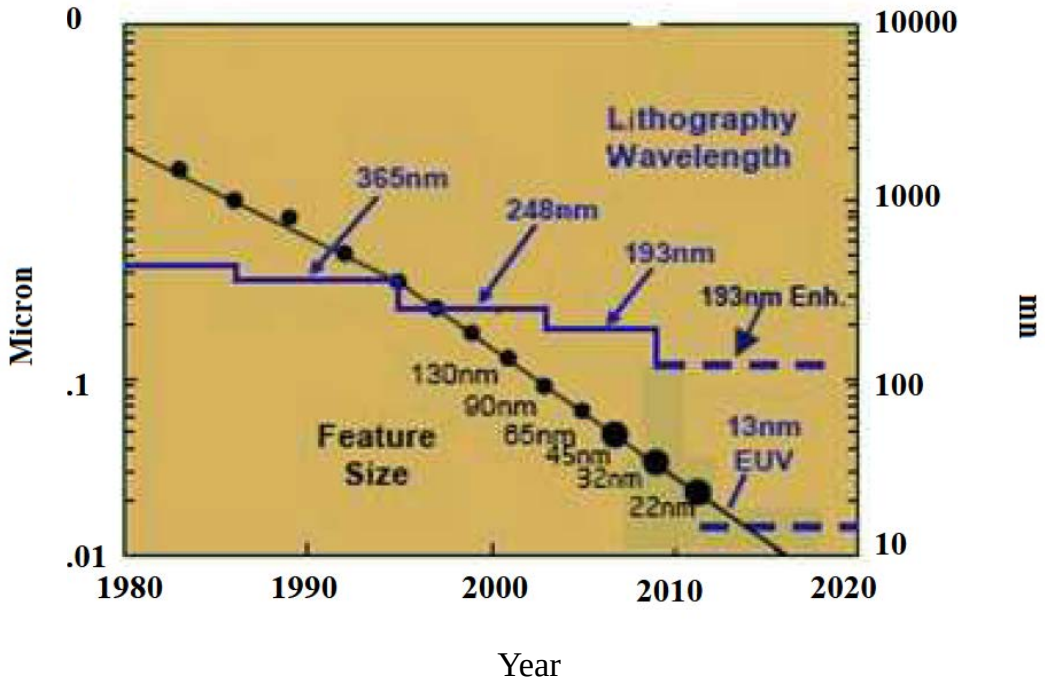
شکل ۱-۱: تغییرات فرکانس و جریان نشتی [۱۲].

در حالت کلی، تغییرات در پارامترهای افزاره به طور عمده به ۲ دسته می‌توان طبقه بندی کرد:

الف) محدودیت در کنترل فرآیند ساخت(علل خارجی تغییرات)

ب) نوسانات اساسی در مقیاس اتمی ماسفت‌ها(علل ذاتی تغییرات)

مدیریت تغییراتی که درنتیجه محدودیت در کنترل‌پذیری فرآیند تولید ایجاد می‌شود، کار بسیار دشواری است و این امر به دلیل ناتوانی صنعت نیمه‌هادی می‌باشد که در بهبود تلورانس فرآیند تولید هنگامی که ابعاد افزاره‌ها بسیار مقیاس شده‌اند [۹]. به عنوان مثال، طول موج استفاده شده در دستگاه لیتوگرافی(۱۹۳= λ نانومتر) که برای تکنولوژی ۱۳۰ نانومتر پذیرفته شده است، هنوز برای تکنولوژی ٦٥ نانومتر و حتی پایین‌تر از آن مورد استفاده قرار می‌گیرد که نمودار نرخ پیشرفت تکنولوژی و طول موج استفاده شده را در شکل ۱-۲ می‌توان مشاهده نمود. همانطور که گفته شد می‌توان نتیجه گرفت که کنترل طول کانال ترانزیستورهای مقیاس شده بسیار مشکل می‌باشد [۱۳].



شکل ۱-۲: نمایش طول موج در برابر روند تکنولوژی [۱۳].

علت ذاتی تغییرات، به مشکل اصلی تغییرات در تکنولوژی‌های آینده که ابعاد ترانزیستورها به مقیاس‌های اتمی نزدیک شوند تبدیل شده است. بنابراین تغییرات میکروسکوپی در ساختار سیلیکون، تاثیر به‌سزایی در عملکرد افزاره بوجود می‌آورد [۱٤]. به عنوان مثال، ولتاژ آستانه یک ترانزیستور ماسفت به شدت به توزیع و چگالی ناخالصی در ناحیه کانال وابسته است. درنتیجه ولتاژ آستانه ترانزیستورها دارای تغییرات تصادفی می‌باشد [15][۱۵].

۱-۲- ترتیب ارائه مطالب

ادامه این پایان‌نامه به صورت زیر سازماندهی شده است. در فصل دوم ابتدا به معرفی تغییرات آماری و منابع اصلی آن می‌پردازیم که شامل منابع تغییرات خارجی قالب و درونی قالب و همچنین تغییرات سیستماتیک و تغییرات تصادفی می‌باشد. سپس اثرات عدم‌تطابق بر روی عملکرد افزاره و مدارات آنالوگ و دیجیتال مورد بررسی قرار می‌گیرد. یک مدار اینورتر پایه برای نمونه مورد ارزیابی قرار گرفته است و تاثیر عدم‌تطابق بر روی پارامترهای مهم آن

نشان داده شده است. در فصل سوم به بررسی مدل‌سازی تغییرات آماری در ترانزیستورها و مدارات که توسط محققان از گذشته تا به امروز صورت گرفته است پرداخته شده است. در نهایت یک مدل‌سازی تحلیلی برای افزاره‌های کانال کوتاه در ناحیه اشباع و ناحیه اهمی ارائه شده است. سپس با استفاده از آن به مدل‌سازی یک تقویت‌کننده زوج دیفرانسیلی پرداخته شده است. در فصل بعدی، یک مدل‌سازی جدید از تغییرات آماری برای تقویت‌کننده‌ها پیشنهاد شده است که با استفاده از الگوریتم پیشنهادی، مدل‌سازی تقویت‌کننده‌های سورس مشترک[1]، دنبال‌کننده سورس[2] و گیت مشترک[3] انجام شده است. در این مدل‌سازی، پارامترهای مهم یک تقویت‌کننده مثل بهره ولتاژ، جریان درین، ترارسانایی و مقاومت خروجی مدار مورد بحث و بررسی قرار گرفته است و نتایج مدل‌سازی با شبیه‌سازی معادلات نفوذی و رانشی که از مدل-های بسته ۳۵ نانومتر از دانشگاه گلاسکو بدست آمده مقایسه شده است و در فصل آخر، خلاصه‌ای از نتایج بدست آمده بیان گردیده است و در نهایت، پیشنهاداتی در ادامه برای بهبود مدل‌سازی آماری در تقویت‌کننده‌ها ارئه شده است.

[1] Common Source
[2] Source Follower
[3] Common Gate

فصل دوم: معرفی منابع عدم‌تطابق و اثرات آن بر روی افزاره و مدارات

۲-۱- مقدمه

در این فصل ابتدا به بررسی دقیق منابع و انواع مختلف تغییرات فرآیند ساخت پرداخته می‌شود که شامل تغییرات خارجی قالب و درونی قالب می‌باشد. با پیشرفت در تغییر مقیاس MOSFETها به سمت رسیدن به ناحیه کانال کوتاه، تغییرات آماری افزاره که به صورت نوسانات پارامترهای ذاتی[1] معرفی شدند، یک مشکل اساسی و اصلی برای تولیدکنندگان و طراحان مدار قرار گرفت. بعنوان مثال اینتل، موقعی که افزاره‌ها به تکنولوژی کمتر از ۱۰۰ نانومتر مقیاس شدند گزارشی از مشکلات فرآیند ساخت انتشار کرد [۱۶-۱۸]. منابع اصلی و غالب IPF شامل ناخالصی‌های تصادفی پراکنده [۱۹]، ناهمواری‌های لبه خطوط [۲۰]، تغییرات ضخامت اکسید [۲۱] و دانه‌ای شدن پلی سیلیکون گیت [۲۲] هستند که در مورد این منابع در بخش ۲-۲-٤ به اجمال توضیح داده خواهد شد. در بخش بعدی به بررسی اثرات این منابع تغییرات بر روی پارامترهای افزاره و مدارات پرداخته می‌شود. در این بخش تغییرات

[1] Intrinsic Parameter Fluctuations (IPF)

پارامترهای همچون قابلیت تحرک حامل‌ها، ولتاژ آستانه و ابعاد یک ترانزیستور به عنوان پارامترهای اصلی یک افزاره، مورد بررسی قرار می‌گیرد و در ادامه اثرات منابع تغییرات بر روی یک مدار اینورتر پایه نشان داده شده است.

۲-۲- تغییرات فرآیند

اگرچه موضوع تغییرات آماری در تکنولوژی‌های امروزی به عنوان یک معضل جدید مورد توجه قرار گرفته است اما مشکل تغییرات به بیش از ۵۰ سال قبل برمی‌گردد. در سال ۱۹۶۱، آقای شاکلی[1] بر روی نوسانات در محل اتصال دیود بررسی و مطالعه داشته است [۲۳]. آقای شمرت[2] و زیمر[3] شماری از پارامترهای فرآیند تولید را که قابل تنظیم بوده‌اند برای به حداقل رساندن حساسیت ولتاژ آستانه ترانزیستورها، با توجه به تغییرات سیستماتیک در ولتاژ آستانه ترانزیستورها بهینه سازی کردند [۲٤].

با پیشرفت تکنولوژی و حرکت آن به سمت ناحیه نانومتری، تغییرات آماری افزاره به خاطر مشکلات مراحل تولید و تغییرات تصادفی از نوسانات اتم‌های ناخالصی شده، تبدیل به یک نگرانی بحرانی شده است [۲۵-۲۷]. پیدا کردن راهی برای کاهش اثرات مشکلات این تغییرات برای تکنولوژهای نسل بعدی تبدیل به یک معضل اساسی شده است. تغییراتی که در حین فرآیند تولید ایجاد می‌شود بیشتر بر روی پارامترهای فیزیکی افزاره اثر می‌گذارد، مانند عملیات اکسیداسیون، کاشت یونی و لیتوگرافی. بعلاوه اثرات تغییرات تصادفی در شرایط کاری مدار مثل دما و ولتاژ منبع تغذیه به شدت افزایش یافته است [۲۷]. این منابع تغییرات باعث تغییر در عملکرد مدارات و کاهش قابلیت اطمینان در پارامترهای مدار و درنتیجه تاثیر جدی در هزینه تولید مدارات امروزی شده است. شکل ۲-۱ نشان‌دهنده سطوح انتزاعی در طراحی سیستم و عوامل تغییرات مربوط به آن می‌باشد که درنتیجه آن معیارهای عملکرد

1 Shockley
2 Schemmert
3 Zimmer