بسم الله الرحمن الرحيم

دانشکده فنی و مهندسی

پایانامه دوره کارشناسی ارشد مهندسی برق-الکترونیک

پیاده سازی و بهبود طرح‌های محاسباتی کم توان در ناحیه‌ی زیر آستانه و ابعاد زیر ۱۰۰ نانومتر

مهناز مقدم

استاد راهنما:

دکتر محمدباقر غزنوی قوشچی

تابستان ۱۳۹۰

تقدیم به پدر و مادر عزیزم

تشکر و قدردانی

هم اکنون که در سایه ی لطف و عنایت پروردگار متعال توانستم مراحل این پایان‌نامه را به اتمام برسانم. بر خود لازم می‌دانم از زحمات خالصانه‌ی استاد گرانقدرم، جناب آقای دکتر غزنوی قوشچی و پدر و مادر عزیزم قدردانی نمایم.

تأییدیّه هیات داوران

اعضای هیئت داوران، نسخه نهائی پایان نامه خانم: مهناز مقدم

را با عنوان: پیاده سازی و بهبود طرح‌های محاسباتی کم توان در ناحیه‌ی زیر آستانه و ابعاد زیر ۱۰۰ نانومتر

از نظر فرم و محتوی بررسی نموده و پذیرش آن را برای تکمیل درجه کارشناسی تأیید می‌کند.

اعضای هیئت داوران	نام و نام خانوادگی	رتبه علمی	امضاء
۱- استاد راهنما			
۲- استاد مشاور			
۳- استاد مشاور			
۴- استاد ممتحن			
۵- استاد ممتحن			
۶- نماینده گروه			

چکیده

افزایش تقاضا برای سیستم‌های قابل حمل و با بسته بندی کم هزینه منجر به توجه ویژه‌ی صنعت الکترونیک به مصرف توان به عنوان معیار حیاتی طراحی شده است. جمع‌کننده‌ها عناصر مهمی بسیاری از سیستم‌های دیجیتال هستند. از بین ساختارهای مختلف جمع‌کننده‌ها، ساختارهای Parallel Prefix Adders (PPA) برای کاربردهای با سرعت بالاو طرح‌های VLSI مناسب هستند. اگر Power-Delay-Product (PDP) یک سیستم پر سرعتی مانند جمع‌کننده‌ی PPA کاهش یابد، درنتیجه یک سیستم با عملکرد بالا به دست می‌آید. در این پایان‌نامه جمع‌کننده‌های PPA برای مطالعه‌ی عملیات کم مصرف انتخاب شده‌اند. در این پژوهش روش جدیدی برای تخمین مصرف توان جمع‌کننده‌های PPA ارائه شده که بر اساس خازن بار و چگالی گذار گره‌ها و تعریف پارامتری به نام توان نرمالیزه می‌باشد. با استفاده از این روش مصرف توان جمع‌کننده‌های ۴ و ۸ بیتی Kogge-Stone محاسبه شده است که نتایج آن رابطه‌ی خطی مصرف توان با تعداد گره‌ها و اتصالات ساختارهای PPA را نشان می‌دهد. در جمع‌کننده‌های PPA یکی از روش‌های کاهش تعداد اتصالات و گره‌های محاسباتی و در نتیجه کاهش توان، محدود کردن حداکثر گام بازگشتی می‌باشد. سه نوع مختلف از جمع‌کننده‌های PPA با حداکثر گام‌های بازگشتی محدود، ارائه شده است که مصرف توان و سرعت آن‌ها به ترتیب با استفاده از توان نرمالیزه و عمق منطقی مورد بررسی قرار گرفته است. نتایج بررسی‌ها نشان می‌دهد که برای جمع‌کننده‌های ۳۲ بیتی حداکثر گام بازگشتی ۸، دارای tradeoff مناسبی بین مصرف توان و عمق منطقی است. همچنین نتایج شبیه سازی جمع‌کننده‌ی ۳۲ بیتی پیشنهادی با سایر جمع‌کننده‌های کلاسیک، نشان می‌دهد که جمع‌کننده پیشنهادی دارای کم-ترین مقدار PDP به میزان 141.14fJ است که در مقایسه با جمع کننده‌ی Ramanathan، ۱۱ درصد بهبود یافته است.

برای گسترش کاربرد جمع‌کننده‌ی پیشنهادی، یک ALU ۳۲ بیتی با استفاده ازاین جمع کننده طراحی شده است. نتایج شبیه سازی ما نشان می‌دهد که کمترین PDP این ALU در مد حسابی و منطقی به ترتیب برابر 199.49fJ و 20.16fJ همچنین بیشترین مقدار آن برای این دو مد برابر 437.75fJ و 71.39fJ است.

کلید واژه: جمع‌کننده‌های Parallel Prefix Adder، طراحی کم مصرف، حداکثر گام بازگشتی، اتصالات، گره‌های محاسباتی، طراحی زیر آستانه.

فهرست مطالب

عنوان **صفحه**

فهرست جدول‌ها ..... ذ
فهرست شکل‌ها ..... ر

فصل ۱- مقدمه ۱
۱-۱- ضرورت کار ۱
۱-۲- هدف از انجام تحقیق ۱
۱-۳- نو آوری تحقیق ۲
۱-۴- نمای کلی پایان‌نامه ۲

فصل ۲- اصول و ساختار جمع‌کننده‌ها ۳
۲-۱- مدارات نیم جمع‌کننده و جمع‌کننده کامل ۳
۲-۱-۱- توپولوژی‌های مختلف جمع‌کننده کامل ۵
۲-۲- جمع کننده ریپل- سرریز ۱۰
۲-۳- جمع کننده پرش سرریز ۱۲
۲-۳-۱- مکانیزم پرش سرریز ۱۲
۲-۳-۲- زنجیره پرش سرریز ۱۲
۲-۴- جمع‌کننده‌ی با بلوک‌های متغیر ۱۴
۲-۵- جمع‌کننده CLA ۱۴
۲-۶- جمع‌کننده Ling Adder ۱۶
۲-۷- جمع‌کننده انتخاب سرریز ۱۶
۲-۸- جمع‌کننده‌های با چندین عملوند ۱۸
۲-۸-۱- جمع‌کننده‌های آرایه‌ای ۱۹
۲-۸-۲- فشرده‌سازه‌ها (m,2) ۲۰
۲-۹- الگوریتم‌های پیشوندی ۲۱
۲-۹-۱- مسائل پیشوندی ۲۱
۲-۹-۲- جمع باینری به صورت یک مساله پیشوندی ۲۳
۲-۱۰- جمع‌کننده‌های PPA ۲۴
۲-۱۰-۱- مراحل انجام عملیات جمع در ساختارهای PPA ۲۴
۲-۱۰-۲- بررسی معیارهای مورد استفاده برای مقایسه PPA ها ۲۵
۲-۱۱- نتیجه گیری ۲۸

فصل ۳- طراحی جمع‌کننده‌ی ۳۲ بیتی با کارآیی بالا ۲۹
۳-۱- مصرف توان جمع‌کننده های PPA ۲۹

۳-۱-۱- مصرف توان مدارات دیجیتالی ۲۹
۳-۲- جمع‌کننده‌های PPA با حداکثر گام بازگشتی محدود شده ۳۷
۳-۲-۱- بررسی عملکرد جمع‌کننده‌های با حداکثر گام بازگشتی محدود شده ۳۹
۳-۳- معیار انرژی گراف برای مقایسه مصرف توان جمع‌کننده‌های PPA ۴۳
۳-۳-۱- ماتریس مجاورت ۴۴
۳-۳-۲- انرژی گراف ۴۵
۳-۳-۳- بررسی انرژی گراف جمع‌کننده پیشنهادی ۴۶
۳-۴- بهینه سازی ساختار جمع‌کننده ۳۲ بیتی پیشنهادی ۴۷
۳-۵- نتایج شبیه سازی ۴۹
۳-۵-۱- بررسی تغییرات فرآیند بر جمع کننده‌ی پیشنهادی ۵۳
۳-۶- طراحی ALU با استفاده از جمع‌کننده پیشنهادی ۵۴
۳-۶-۱- نحوی کارکرد ALU ۵۵
۳-۶-۲- ساختار ALU های متداول ۵۵
۳-۶-۳- پیاده سازی ALU با جمع کننده‌ی پیشنهادی ۵۸
۳-۶-۴- نتایج شبیه سازی ALUهای بحث شده ۵۹
۳-۷- طراحی در ناحیه زیر آستانه ۶۰
۳-۷-۱- شبیه سازی جمع‌کننده پیشنهادی در ناحیه‌ی زیر آستانه با استفاده از ماسفت ۶۰
۳-۷-۲- استفاده از DTMOS برای پیاده‌سازی جمع‌کننده‌های PPA در ناحیه‌ی زیر آستانه ۶۴
۳-۸- نتیجه گیری ۶۵

فصل ۴- نتیجه گیری و پیشنهادات ۶۶
۴-۱- نتیجه گیری ۶۶
۴-۲- پیشنهادات ۶۶

مراجع ۶۷

فهرست جدول‌ها

عنوان **صفحه**

جدول ۲-أ: جدول درستی نیم جمع‌کننده ۳
جدول ۲-ب: جدول درستی جمع‌کننده کامل ۴
جدول ۳-أ: مشخصات گراف و مصرف توان الکتریکی ۳ جمع‌کننده ۱۶ بیتی PP A در ولتاژ 1.8V ۳۵
جدول ۳-ب- مقایسه عملکرد جمع‌کننده‌های PPA، ۸، ۱۶ و ۳۲ بیتی با حداکثر ۴۱
جدول ۳-ت: انرژی گراف جمع‌کننده‌های ۱۶ بیتی PPA ۴۵
جدول ۳-ث: مشخصات ساختاری و انرژی گراف جمع‌کننده‌های ۳۲ بیتی PPA ۴۶
جدول ۳-ج مصرف توان متوسط، تأخیر و PDP جمع‌کننده‌ی پیشنهادی برای W_p/W_n مختلف .. ۵۰
۳جدول ۳-ح: مشخصات ساختاری جمع‌کننده‌ی پیشنهادی به همراه سایر جمع‌کننده‌های مورد ارزیابی ۵۲
جدول ۳-خ: مقایسه عملکرد جمع‌کننده پیشنهادی با سایر جمع‌کننده‌های PPA ۵۲
جدول ۳-د: عملیات مد منطقی [۳۴] ۵۶
جدول ۳-ذ: عملیات مد حسابی با بیت سرریز وردی صفر[۳۴] ۵۷
جدول ۳-ر: عملیات مد حسابی با بیت سرریز وردی یک [۳۴] ۵۷
جدول ۳-ز: عملکرد ALU ۳۲ بیتی طراحی شده با جمع‌کننده‌ی RCA در ولتاژ 1.8V ۵۹
جدول ۳-س: عملکرد ALU ۳۲ بیتی طراحی شده با جمع‌کننده‌ی پیشنهادی در RCA در ولتاژ 1.8V ۶۰
جدول ۳-ش: مصرف توان متوسط، تأخیر و PDP جمع‌کننده‌ی پیشنهادی برای W_p/W_n ۶۱
جدول ۳-ص: بررسی تغییرات ولتاژ تغذیه بر عملکرد جمع‌کننده پیشنهادی در ناحیه زیر آستانه .. ۶۳
جدول ۳-ض: مقایسه نتایج شبیه سازی جمع کننده پیشنهادی با سایر جمع‌کننده‌ها در ناحیه‌ی زیر آستانه در ولتاژ تغذیه ۰/۲۷ ولت ۶۴
جدول ۳-ط: نتایج شبیه سازی جمع‌کننده‌های PPA با استفاده از DTMOS در ناحیه‌ی زیر آستانه در ولتاژ تغذیه ۰/۲۷ ولت ۶۵

فهرست شکل‌ها

عنوان **صفحه**

شکل ۲-۱: نماد منطقی و شماتیک نیم جمع‌کننده [۶] ۴
شکل ۲-۲: نماد منطقی و شماتیک نیم جمع کننده [۶] ۵
شکل ۲-۳: جمعکننده CMOS ۲۸ ترانزیستوری [۸] ۶
شکل ۲-۴: جمع‌کننده کامل آینه‌ای [۸] ۶
شکل ۲-۵: جمع‌کننده کامل CPL [۹] ۷
شکل ۲-۶: جمع کننده کامل DPL [۹] ۸
شکل ۲-۷: جمع‌کننده کامل هایبرید [۹] ۹
شکل ۲-۸: جمع‌کننده کامل TG [۹] ۹
شکل ۲-۹: جمع کننده کامل ۱۰ ترانزیستوری [۹] ۱۰
شکل ۲-۱۰: جمع‌کننده ۴ بیتی RCA [۴] ۱۱
شکل ۲-۱۱: جمع‌کننده ۳۷ بیتی RCA [۴] ۱۱
شکل ۲-۱۲: نحوی عملکرد زنجیره‌ی سرریز [۴] ۱۳
شکل ۲-۱۳: فرایند انتخاب یا تولید سرریز در جمع‌کننده پرش سرریز ۴ بیتی [۴] ۱۳
شکل ۲-۱۴: جمع کننده VBA [۱۰] ۱۴
شکل ۲-۱۵: بخش تولید سیگنال‌های P و G [۴] ۱۵
شکل ۲-۱۶: بخش تولید سیگنال‌های سرریز [۱] ۱۶
شکل ۲-۱۷: جمع‌کننده انتخاب سرریز هشت بیتی [۴] ۱۷
شکل ۲-۱۸: جمع‌کننده انتخاب سرریز غیر خطی ۳۲ بیتی [۴] ۱۸
شکل ۲-۱۹: بخش چهار بیتی جمع‌کننده انتخاب سرریز [۴] ۱۸
شکل ۲-۲۰: یک آرایه جمع‌کننده با ۴ عملوند با جمع‌کننده انتشار سرریز [۱] ۱۹
شکل ۲-۲۱: یک آرایه جمع‌کننده با ۴ عملوند با جمع‌کننده حفظ سرریز [۱] ۲۰
شکل ۲-۲۲: یک ساختار عملی برای جمع‌کننده‌ها با چندین عملوند [۱] ۲۰
شکل ۲-۲۳: نمایش اپراتورهای باینری درگراف [۱] ۲۲
شکل ۲-۲۴- مراحل انجام عمل جمع در PPA ها ۲۵
شکل ۲-۲۵: گراف جمع‌کننده ۱۶ بیتی Sklansky [۱] ۲۶
شکل ۲-۲۶: گراف جمع‌کننده ۱۶ بیتی kogg-Stone [۱] ۲۶
شکل ۲-۲۸: جمع کننده‌ی ۱۶ بیتی Ladner-Fischer [۱۹] ۲۷
شکل ۲-۲۷: گراف جمع‌کننده ۱۶ بیتی Brent-Kung [۱] ۲۷
شکل ۲-۲۹: جمع‌کننده‌ی ۳۲ بیتی پیشنهادی در مرجع [۲۰] ۲۸
شکل ۳-۱: الف) جمع‌کننده ۴ بیتی Kogge-Stone ب)شماره گذاری گره‌های این جمع کننده... ۳۱

شکل ۳-۲: گراف جمع کننده ۸ بیتی Kogge-Stone ۳۴
شکل ۳-۳: تغییرات توان متوسط جمع کننده‌های ۱۶ بیتی PPA بر حسب تعداد اتصالات در ولتاژ 1.8V ۳۶
شکل ۳-۴: تغییرات توان متوسط جمع کننده‌های ۱۶ بیتی PPA بر حسب تعداد گره‌ها در ولتاژ 1.8V ۳۶
شکل ۳-۵: جمع‌کننده PPA ۳۲ بیتی با حداکثر گام بازگشتی ۲ ..... ۳۷
شکل ۳-۶: جمع‌کننده PPA ۳۲ بیتی با حداکثر گام بازگشتی ۴ ..... ۳۸
شکل ۳-۷: جمع‌کننده PPA ۳۲ بیتی با حداکثر گام بازگشتی ۸ ..... ۳۸
شکل ۳-۸: جمع‌کننده PPA ۳۲ بیتی با حداکثر گام بازگشتی ۱۶ ..... ۳۹
شکل ۳-۹: تغییرات عمق منطقی بر حسب طول بیت‌های جمع کننده‌های ۴۲
شکل ۳-۱۰: تغییرات توان نرمالیزه بر حسب طول بیت‌های جمع‌کننده‌های ۴۲
شکل ۳-۱۱: تغییرات حاصل ضرب عمق منطقی در توان نرمالیزه بر حسب طول بیت‌های جمع کننده‌های ۴۳
شکل ۳-۱۲: مصرف توان الکتریکی بر حسب انرژی گراف جمع‌کننده‌های ۱۶ بیتی PPA ۴۶
شکل ۳-۱۳: نمودار تغییرات حاصل ضرب انرژی گراف در عمق منطقی برای جمع‌کننده‌های ۳۲ بیتی PPA ۴۷
شکل ۳-۱۴: ساختار نهایی جمع‌کننده‌ی پیشنهادی ۴۸
شکل ۳-۱۵: نحوی پیاده سازی سلول‌های odd-dot و even-dot ۴۹
شکل ۳-۱۶: PDP جمع کننده‌ی پیشنهادی بر حسب W_p/W_n و برای W_p+W_n مختلف ۵۰
شکل ۳-۱۷: نمونه‌ای از شکل موج خروجی جمع‌کننده پیشنهادی ۵۱
شکل ۳-۱۸: تغییرات PDP جمع کننده‌های PPA ۵۳
شکل ۳-۱۹: تغییرات مصرف توان و تأخیر جمع‌کننده‌ی پیشنهادی در فرآیندهای FF، TT و SS ۵۴
شکل ۳-۲۰: مدار ALU یک بیتی ۵۶
شکل ۳-۲۱: ساختار ALU ۳۲ بیتی پیاده سازی با جمع کننده RCA ۵۸
شکل ۳-۲۲: PDP جمع کننده‌ی پیشنهادی بر حسب W_p/W_n و برای W_p+W_n مختلف ۶۱
شکل ۳-۲۳: شکل موج‌های خروجی و ورودی بیت پانزدهم جمع کننده‌ی پیشنهادی ۶۲
شکل ۳-۲۴: ولتاژ تغذیه بر حسب سال [۳۵] ۶۳
شکل ۳-۲۵: ترانزیستورهای Dynamic Threshold MOS ۶۴

فصل ۱- مقدمه

/ +/ + ضرورت کار

اهمیت و ضرورت کاهش توان مصرفی در یک تراشه با چگالی بالا[1] در ناحیه نانومتر به سرعت افزایش یافته است. سیستم‌های قابل حمل از قبیل کامپیوتر کتابی[2]، وسایل ارتباطی (موبایل) و وسایل شخصی دیجیتالی[3] نیاز به توان مصرفی پایین و کارآیی بالایی دارند. علاوه بر این، حتی در مواردی که مشکل توان وجود ندارد، توان کم یکی از نیازهای اصلی است. زیرا در سیستم‌های نظیر میکروپروسسورها، سیستم‌های پردازش سیگنال‌های[4] دیجیتال که حجم عملیات بسیار بالاست، مشکلات خنک سازی چیپ، گران بودن سیستم‌های خنک کننده و مشکلات بسته بندی مطرح می‌گردد.

مسئله‌ی قابلیت اعتماد به خصوص در مدارات ULSI، طراحی‌های کم توان را می‌طلبد. زیرا ارتباط محکمی میان پیک توان تلفاتی در مدارات دیجیتال و مسایل قابلیت اطمینان نظیر electromigration و کاهش حامل‌های داغ در قطعه وجود دارد. از مزیت‌های مهم کاهش توان مصرفی افزایش طول عمر قطعه می‌باشد .

در بسیاری از طراحی‌های مهندسی یک تعامل[5] بین دو یا چند کمیت (مانند توان و سرعت در مدارات) وجود دارد. حال آن که ، هرگز نمی‌توان ادعا کرد که طرح‌های ارائه شده بهترین بوده و بهبود یک پارامتر در مدار باعث افت پارامتر دیگر نخواهد شد. بنابراین با ارائه طرح‌های نوین چه از لحاظ ساختاری و چه در سطح سیستم، می‌توان مدارات را از لحاظ سرعت و توان بهبود داد.

جمع‌کننده‌ها عناصر مهمی در کاربردهای مانند سیستم‌های پردازش دیجیتال و میکروپروسسورها هستند و علاوه بر وظیفه اصلی آن‌ها که جمع دو عدد می‌باشد در عملیات مفید بسیاری مانند تفریق، ضرب، تقسیم و محاسبه آدرس نیز مشارکت دارند. در بیشتر این سیستم‌ها جمع‌کننده‌ها در مسیر بحرانی قرار دارند، که سرعت سیستم را تعیین می‌کنند و همچنین تقاضای روز افزون برای مدارات کم مصرف VLSI روش‌های طراحی جمع‌کننده‌ها را به سوی کاهش مصرف توان برده است.

/ +0+ هدف از انجام تحقیق

همان طور که اشاره شد، جمع‌کننده‌ها از عناصر بسیار مهم در سیستم‌های دیجیتالی هستند که در واقع بازده این سیستم‌ها را مشخص می‌کنند. با پیشرفت تکنولوژی بررسی جمع کننده‌های کم توان و پرسرعت بسیار اهمیت یافته است. جمع‌کننده‌ها به صورت‌های مختلفی پیاده‌سازی می‌شوند و از بین ساختارهای مختلف آن‌ها، آرایش‌های Parallel Prefix Adder (PPA) به دلیل ساختارهای منظم و طرح‌های کارآ در مقایسه با ساختارهای دیگر بسیار مورد توجه هستند و برای جمع‌های با طول بیت‌های بالا بسیار مناسب

[1] VLSI , ULSI
[2] Notebook Computer
[3] Personal Digital Assistants(PDA)
[4] Digital Signal Processing (DSP)
[5] Trade Off

هستند. بنابراین در این تحقیق، ساختار این جمع‌کننده‌ها با هدف بهبود مصرف توان و کارایی آن‌ها مورد ارزیابی قرار گرفته‌است.

/ +1+ نو آوری تحقیق

در این پایانامه یک جمع‌کننده ۳۲ بیتی جدید PPA با حداکثر گام بازگشتی ۸ مرحله‌ای و استفاده‌ی ترکیبی از سلول‌های active low و active high ارائه شده است. نتایج شبیه سازی‌ها نشان می‌دهد که این جمع‌کننده در مقایسه با سایر جمع‌کننده‌های PPA کلاسیک دارای کم‌ترین مقدار PDP می‌باشد.

/ +2+ نمای کلی پایان‌نامه

این پایان‌نامه درچهار فصل تنظیم و نگارش شده است. ساختار و فصل‌های این پایان‌نامه به صورت زیر است. در فصل دوم، انواع آرایش‌های جمع‌کننده‌ها و مزایا و معایب هر یک به صورت خلاصه مورد بررسی قرار گرفته است. در فصل سوم، ابتدا مصرف توان ساختارهای PPA با استفاده از چگالی گذار[1] و خازن بار گره‌ها مورد بررسی قرار گرفته است و مدلی برای محاسبه‌ی مصرف توان بر اساس این دو پارامتر پیشنهاد شده است. در ادامه ساختار جدیدی از جمع‌کننده‌های PPA با PDP مناسب با محدود کردن حداکثر گام بازگشتی به ۸ مرحله ارائه شده است. نتایج شبیه سازی و مقایسه جمع‌کننده‌ی پیشنهادی با جمع کننده‌های کلاسیک PPA در بخش بعدی این فصل ذکر شده است و در بخش پایانی این فصل، دو نمونه از کاربرد این جمع کننده یکی در ناحیه وارونگی شدید[2] و دیگری در ناحیه زیر آستانه[3] با نتایج شبیه سازی ذکر شده است. نهایتاً در فصل ۴ نتایج و پیشنهادات این کار ارائه شده است.

[1] Transition Density
[2] Strong Inversion
[3] Subthreshold

فصل ۲- اصول و ساختار جمع‌کننده‌ها

در این بخش انواع ساختارها و آرایش‌های مختلف جمع‌کننده و و مزایا و معایب هر یک به اختصار معرفی شده است. جهت بررسی کامل این جمع‌کننده‌ها می‌توان به مراجع [۱]، [۲]، [۳]، [۴]، [۵]، [۶]، [۷] مراجعه نمود.

۲-۱ مدارات نیم جمع‌کننده[1] و جمع‌کننده کامل[2]

یک نیم جمع‌کننده برای جمع دورقم باینری a_i و b_i استفاده می‌شود و بیت‌های جمع (S_i) و سرریز خروجی[3] (C_{i+1}) را تولید می‌کند. هر چند نیم جمع‌کننده به تنهای خیلی مفید نیست ولی می‌توان از آن به عنوان بلوک پایه برای مدارات جمع بزرگ تر (FA) استفاده کرد. جدول ۲-أ، جدول درستی[4] نیم جمع کننده را نشان می‌دهد.

جدول ۲-أ: جدول درستی نیم جمع‌کننده

b_i	a_i	C_{i+1}	S_i
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

معادلات منطقی برای بیت‌های S_i و C_{i+1} به صورت زیر هستند [۴]، [۶] .

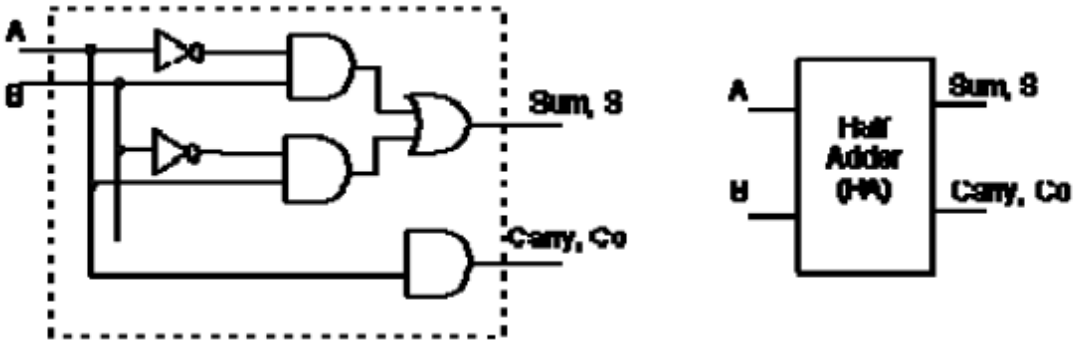
$$S_i=a_i \oplus b_i \qquad (۱-۲)$$
$$C_{i+1}= a_i . b_i$$

اگر A و T مساحت و تأخیر یک گیت پایه باشند، آنگاه تأخیر و مساحت نیم جمع‌کننده به صورت زیر تعریف می‌شود[۱] :

$$T_{HA}(a,b \rightarrow c_{i+1}) = 1$$
$$T_{HA}(a,b \rightarrow s) = 2 \qquad (۲-۲)$$
$$A_{HA} = 3$$

در شکل ۳-۱ نماد منطقی و شماتیکی HA نشان داده شده است. درست مشابه C_{i+1} که در موقعیت بیتی i تولید می‌شود و به موقعیت بیتی i+1 منتقل می‌شود ، هر بیتی با موقعیت i نیز سرریز تولید شده در موقعیت پایین‌تر از خودش را دریافت می‌کند. اگر سرریز ورودی با موقعیت بیتی i، C_i فرض شود، علاوه بر ورودی‌های a_i و b_i یک ورودی سوم یعنی C_i نیز باید در نظر گرفته شود. یک جمع کننده‌ای که سه بیت را با هم جمع می‌کند، جمع‌کننده کامل (FA) نامیده می‌شود. جدول درستی FA در جدول ۲-ب نشان داده شده است [۴]، [۶] .

[1] Half-Adder (HA)
[2] Full-Adder (FA)
[3] Carry-Out
[4] Truth Table



شکل ۲-۱: نماد منطقی و شماتیک نیم جمع‌کننده [۶]

معادلات منطقی برای بیت S_i و C_{i+1} در FA به صورت زیر تعریف می‌شود[۱] :

$$S_i = a_i \oplus b_i \oplus C_i$$
$$C_{i+1} = a.b_i.C_i \qquad (۳-۲)$$

جدول ۲-ب: جدول درستی جمع‌کننده کامل

a_i	b_i	C_i	C_{i+1}	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

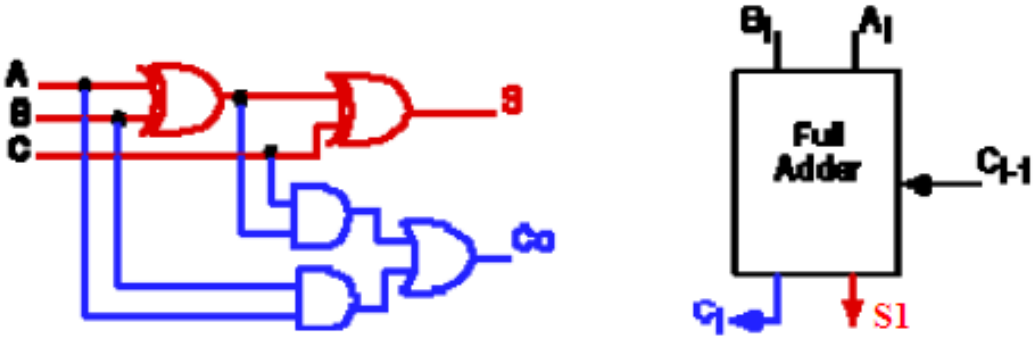
سیگنال‌های مهم داخلی یک جمع‌کننده کامل، سیگنال‌های تولید[۱] و انتشار[۲] هستند. سیگنال تولید، AND منطقی دو ورودی است و صفر یا یک بودن سرریز تولید شده را مشخص می‌کند و سیگنال انتشار، XOR منطقی دو ورودی است و مشخص می‌کند که آیا سرریز ورودی بدون تغییر به بیت نقلی خروجی منتقل می‌شود یا نه؟ در حقیقت خروجی را می‌توا ن به عنوان یک عدد دو بیتی که تعداد ورودی‌های یک را می‌شمارد در نظر گرفت. یعنی اگر ورودی فقط یک بیت، یک داشته باشد $C_{i+1}S_i$ برابر۰۱ و اگر دو بیت یک

[1] Generate
[2] Propagate

داشته باشد برابر ۱۰ و اگر در ورودی سه بیت یک موجود باشد برابر ۱۱ خواهد بود[۴]، [۶] . مساحت و تأخیر جمع‌کننده کامل نیز توسط معادله‌ی (۲-۴) محاسبه می‌شود[۱] .

$$\begin{aligned} &T_{FA}(a,b \rightarrow c_{i+1}) = 4(2) \\ &T_{FA}(a,b \rightarrow s) = 4 \\ &T_{FA}(c_i \rightarrow c_{i+1}) = 2 \\ &A_{FA} = 3 \end{aligned} \qquad (۴-۲)$$

در شکل ۲-۲ نماد منطقی و شماتیکی FA نشان داده شده است.



شکل ۲-۲: نماد منطقی و شماتیک نیم جمع کننده [۶]

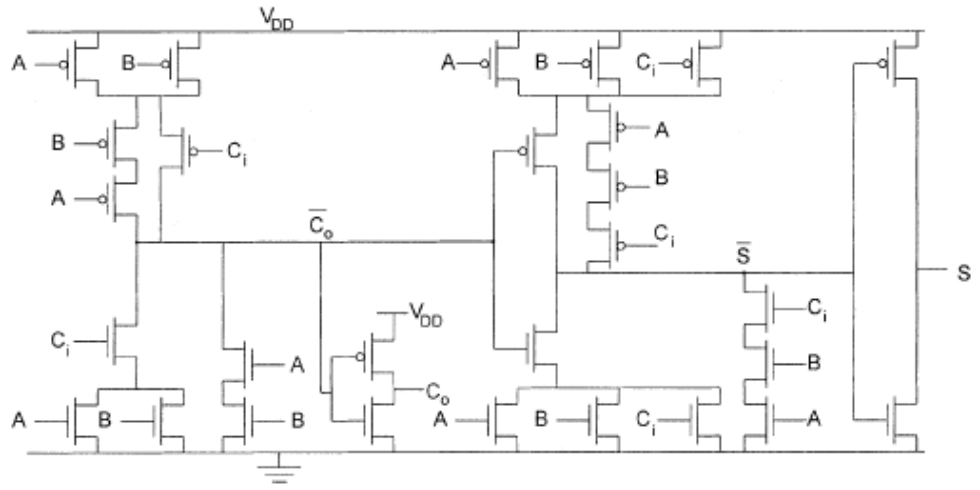
۲-۱-۱- توپولوژی‌های مختلف جمع‌کننده کامل

۲-۱-۱-۱- جمع‌کننده CMOS

جمع‌کننده‌ی کامل ۲۸ ترانزیستوری CMOS در مدارات جمع‌کننده‌ی ابتدایی خیلی مورد استفاده قرار می‌گرفت. شماتیک این جمع‌کننده در شکل ۲-۳ نشان داده شده است. این سلول جمع‌کننده تعداد ترانزیستورهای NMOS و PMOS یکسانی دارد و برای تحقق FA از معادله‌ی (۲-۵) استفاده می‌کند.

$$\begin{aligned} &C_{OUT} = AB + BC_{in} + AC_{in} \\ &SUM = AB_{in} + (A + B + C_{in})\overline{C_{OUT}} \end{aligned} \qquad (۵-۲)$$

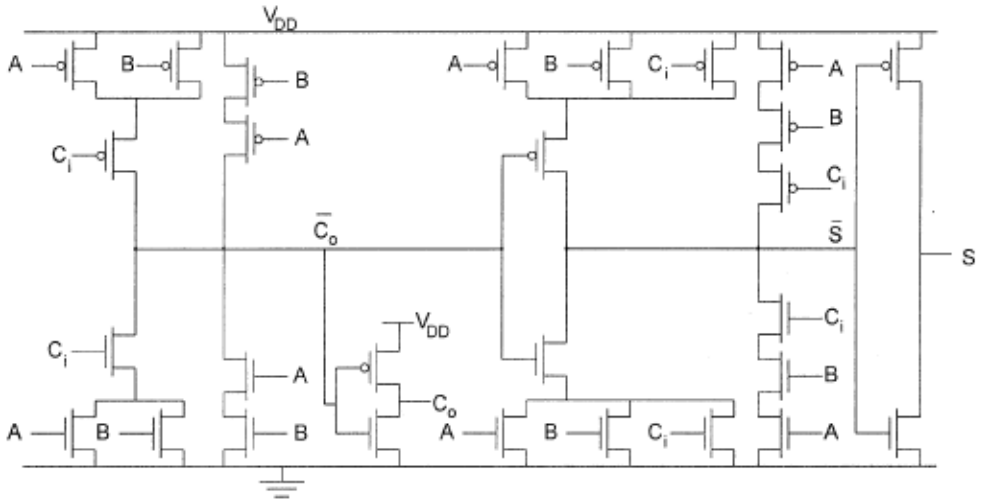
در این توپولوژی ۱۲ ترانزیستور اول برای تولید سرریز خروجی و بقیه ترانزیستورها برای تولید سیگنال جمع هستند، بنابراین تأخیر محاسبه‌ی $\overline{C_{OUT}}$ به تأخیر تولید سیگنال جمع اضافه می‌شود. ساختار این جمع‌کننده بسیار بزرگ است و فضای زیادی را اشغال می‌کند [۸].



شکل ۲-۳: جمع‌کننده CMOS ۲۸ ترانزیستوری [۸]

۲-۱-۱-۲- جمع‌کننده آینه‌ای[1]

این نوع جمع‌کننده‌ی کامل به سادگی از توپولوژی CMOS، با اتصال مستقیم ترانزیستورهای PMOS به منبع تغذیه در هر دو مدار سرریز و جمع به دست می‌آید. زمانی که A=B=0 باشد، ترانزیستورهای PMOS به V_{dd} وصل می‌شوند. این جمع‌کننده که ساختار آن در شکل ۲-۴ نشان داده شده است، دارای مصرف توان پایینی است که تعامل مناسبی با تأخیر آن دارد[۸] .

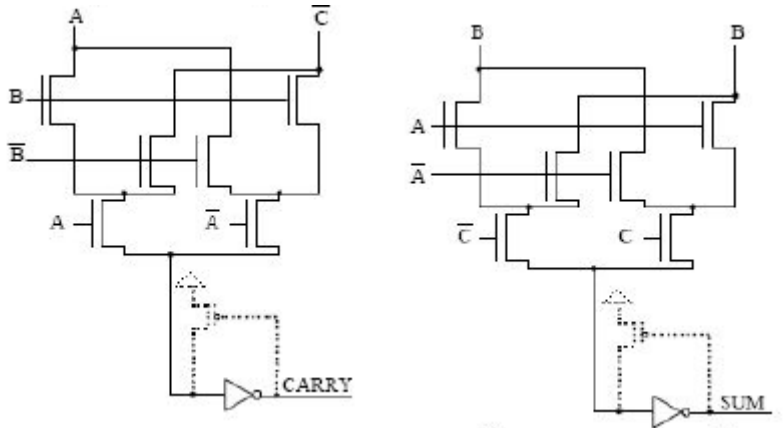


شکل ۲-۴: جمع‌کننده کامل آینه‌ای [۸]

[1] Mirror Adder

۲-۱-۱-۳- جمع‌کننده کامل CPL

جمع‌کننده CPL که در شکل۲-۵ نشان داده شده است، دارای ۱۸ ترانزیستور و بر پایه یک شبکه‌ای از Pass ترانزیستور[1]های NMOS است و خازن ورودی کوچک و سرعت بالای دارد. به دلیل سوئینگ کم خروجی، CPL توان کمتری نسبت به مدارات استاتیکی CMOS مصرف می‌کند. بهرحال با کاهش سوئینگ خروجی حاشیه نویز[2] کاهش می‌یابد و باعث مشکلات جدی در Cascade کردن مخصوصاً در ولتاژهای پایین می‌شود. بنابراین برای بازسازی سطح ولتاژ و اطمینان از قابلیت درایوینگ، در خروجی از معکوس کننده‌های CMOS استفاده می‌شود. همچنین برای حداقل کردن جریان استاتیکی ناشی از خاموش نشدن کامل ترانزیستور PMOS معکوس کننده، از ترانزیستورهای PMOS ضعیف استفاده می‌شود [۹].

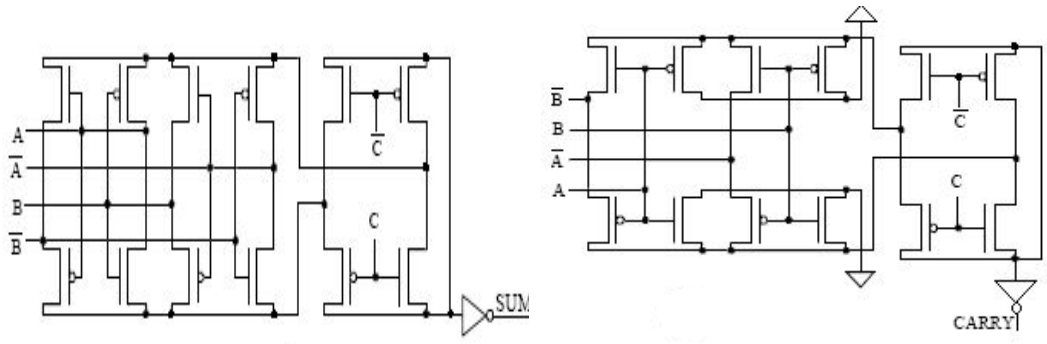


شکل ۲-۵: جمع‌کننده کامل CPL [۹]

۲-۱-۱-۴- جمع‌کننده DPL

جمع‌کننده‌ی کامل DPL که در شکل ۲-۶ نشان داده شده است، یک مدل تغییر یافته‌ای از CPL می‌باشد و ۲۴ ترانزیستور دارد. در این توپولوژی سوئینگ کامل خروجی، به سادگی با افزودن ترانزیستورهای PMOS موازی با ترانزیستورهای NMOS به دست می‌آید. بنابراین مسائل حاشیه نویز کوچک و کاهش عملکرد در ولتاژهای پایین که در مدارات CPL به دلیل افت ولتاژ خروجی رخ می‌دهد، در این مدل قابل اجتناب می‌باشد. بهر حال افزودن ترانزیستورهای PMOS خازن ورودی را افزایش و عملکرد را کاهش می‌دهد[۹].

[1] Pass transistor (PT)
[2] Noise margine



شکل ۲-۶: جمع کننده کامل DPL [۹]

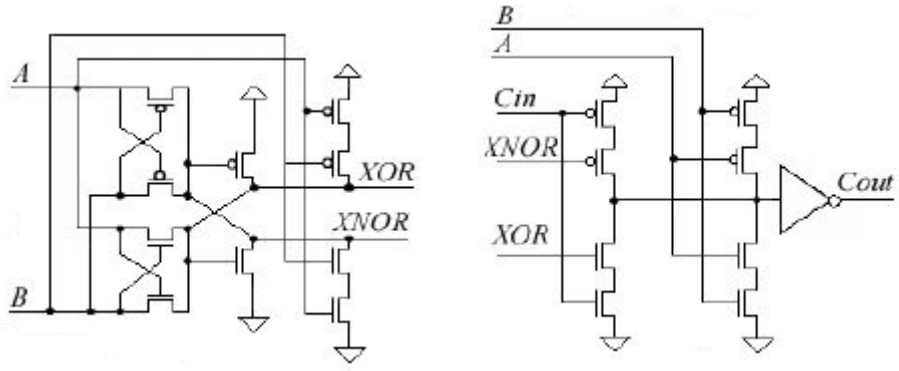
۲-۱-۱-۵- جمع‌کننده هایبرید[1]

جمع‌کننده‌ی کامل هایبرید که در شکل ۲-۷ نشان داده شده است بر پایه مدارات کم مصرف XOR/XNOR است و از ۲۶ ترانزیستورتشکیل شده است. در این مدار بدترین حالت تأخیر مسئله انتقال از حالت ۰۱ به ۰۰ و از ۱۰ به ۱۱ می‌باشد که با افزودن دو ترانزیستور PMOS و دو ترانزیستور NMOS به ترتیب قابل حل است. هر چند این نوع تغییر یافته، سرعت XOR/XNOR را بهبود می‌بخشد ولی ترانزیستورهای که اضافه شده‌اند مصرف توان سلول جمع‌کننده را افزایش می‌دهند. برای تولید حاصل جمع، مدل هایبرید از مدار XOR که با PT پیاده شده است، استفاده می‌کند و بخش تولید سرریز نیز بر پایه مالتی پلکسر منطق CMOS بنا نهاده شده است. در این توپولوژی معکوس کننده‌های خروجی سطح ولتاژ خروجی را بازسازی می‌کنند و قدرت درایوینگ را برای Cascade کردن افزایش می‌دهند[۹] .

۲-۱-۱-۶- جمع‌کننده کامل TG[2]

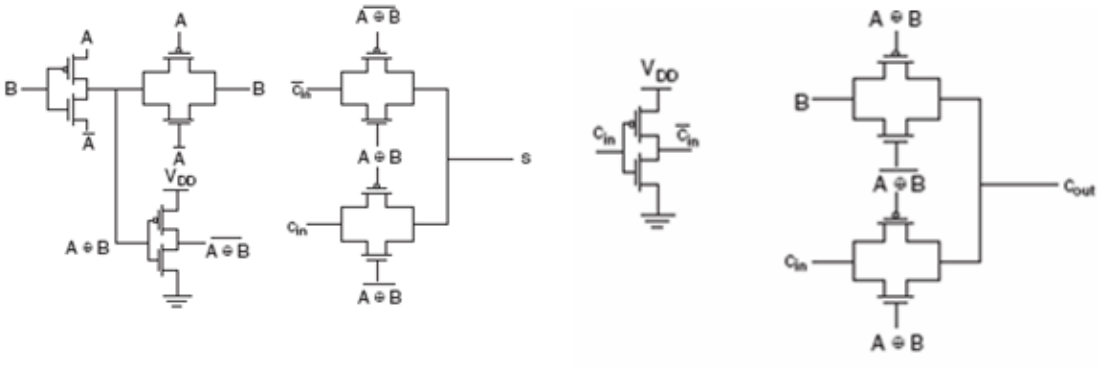
منطق TG بر اساس خاصیت مکملی ترانزیستورهای PMOS و NMOS و یک سوئیچ قوی با مقاومت و خازن کوچک است. اندازه ترانزیستورها در این منطق مهم نیست، زیرا با افزایش نسبت W/L مقاومت و خازن به ترتیب کاهش و افزایش می‌یابد. جمع‌کننده‌ی کامل این منطق که در شکل ۲-۸ نشان داده شده است، بدون توجه به قابلیت درایوینگ نسبت به بقیه توپولوژی‌های که ذکرشد، سریع‌تر و مصرف توان پایین‌تری دارد. اما سرعت با Cascade کردن جمع‌کننده‌ها کاهش می‌یابد. زیرا تأخیر m جمع‌کننده کامل که Cascade شده اند با m^2 افزایش می‌یابد. بنابراین تأخیر جمع‌کننده‌های کامل TG، Cascade شده معمولاً خیلی بزرگ‌تر از بقیه توپولوژی‌ها است[۹] .

[1] Hybrid
[2] Transmition Gate



S

شکل ۲-۷: جمع‌کننده کامل هایبرید [۹]



شکل ۲-۸: جمع‌کننده کامل TG [۹]

۲-۱-۱-۷- جمع‌کننده کامل ۱۰ ترانزیستوری (SERF)

آخرین توپولوژی که بررسی می‌شود، جمع‌کننده کامل ۱۰ ترانزیستوری می‌باشد که در شکل ۲-۹ نشان داده شده است. کاهش تعداد ترانزیستورها از مزایایی این سلول می‌باشد که باعث بهبود عملکرد و کاهش مساحت می‌شود. با این وجود قدرت درایوینگ ضعیف و سوئینگ ناقص گره‌ها از مشکلات اساسی در این جمع‌کننده هستند. افت آستانه در گره‌های مدار منجر به مسائل جدی مخصوصاً در ولتاژهای پایین مانند کاهش شدید حاشیه نویز، توان نشتی بالا و مشکلات جدی در Cascade کردن می‌شود[۹] .