پایان نامه کارشناسی ارشد الکترونیک

طراحی یک مبدل آنالوگ‌به‌دیجیتال پایپ‌لاین 8Bit، 10MS/s در تکنولوژی 0.18μm CMOS

A 8Bit 10MS/s Pipelined ADC in 0.18μm CMOS

ارائه دهنده: داود داعی نژاد

استاد راهنما: دکتر هومن نبوتی

اساتید دفاع: دکتر عباس گلمکانی

دکتر غزاله سربیشه‌ای

موسسه آموزش عالی سجاد

مشهد، بلوار امامت، امامت٦٤

تقدیم به همسرم

بپاس شکیبایی و مهربانی‌اش

فهرست مطالب

فهرست اشکال ---------- II

فهرست جداول ---------- III

چکیده ---------- IV

فصل اول مسیر تکنولوژی ---------- ۱

۱.۱ مقدمه ---------- ۱

۱.۲ تکنیک‌های جدید طراحی و مبدل‌های پیشرفته ---------- ۲

۱.۳ طراحی مبدل‌های مبتنی بر تقویت‌کننده عملیاتی ---------- ۲

۱.٤ طراحی مبدل‌های مبتنی بر مقایسه‌کننده ---------- ٤

فصل دوم توان مصرفی در مبدل‌های آنالوگ‌به‌دیجیتال ---------- ٦

۲.۱ مقدمه ---------- ٦

۲.۲ مسیر توان مصرفی و سرعت ---------- ۸

۲.۳ اثر کاهش ابعاد ترانزیستور بر توان مصرفی مبدل ---------- ۸

۲.٤ طراحی مدارت ساده شده ---------- ۱۰

۲.۵ پردازش‌های دیجیتالی در مبدل‌های آنالوگ‌به‌دیجیتال ---------- ۱۱

فصل سوم مشخصه‌های مبدل‌های آنالوگ‌به‌دیجیتال ---------- ۱۲

۳.۱ مقدمه ---------- ۱۲

۳.۲ مشخصه‌های DC ---------- ۱٤

۳.۳ دقت مطلق ---------- ۱٤

۳.٤ دقت نسبی ---------- ۱٤

۳.۵ غیرخطی بودن تفاضلی ---------- ۱٦

۳.٦ افست ---------- ۱۸

۳.۷ وابستگی دمایی ---------- ۱۸

۳.۸ ولتاژ تغذیه ---------- ۱۹

۳.۹ مشخصه‌های دینامیکی ---------- ۱۹
۳.۱۰ نسبت سیگنال‌به‌نویز ---------- ۱۹
۳.۱۱ محدوده دینامیکی ---------- ۲۱
۳.۱۲ تعداد مؤثر بیت‌ها (ENOB) ---------- ۲۲
۳.۱۳ اعوجاج هارمونیکی (HD) ---------- ۲۲
۳.۱٤ اعوجاج کاذب کل (TSD) ---------- ۲٤
۳.۱۵ محدوده دینامیکی غیرکاذب(SFDR) ---------- ۲٤
۳.۱٦ شاخص شایستگی(FOM) ---------- ۲٦

فصل چهارم مبدل آنالوگ‌به‌دیجیتال پایپ‌لاین ---------- ۲۷

٤.۱ مقدمه ---------- ۲۷
٤.۲ معماری $1.5b/stage$ ---------- ۳۱

فصل پنجم طراحی یک مبدل آنالوگ‌به‌دیجیتال پایپ‌لاین ---------- ۳۳

۵.۱ مقدمه ---------- ۳۳
۵.۲ معماری مبدل ---------- ۳٤
۵.۳ معماری طبقه ---------- ۳۵
۵.٤ مدار نمونه‌برداری ---------- ۳۷
۵.۵ مقایسه‌کننده ---------- ۳۸
۵.٦ مبدل دیجیتال‌به‌آنالوگ (DAC) ---------- ٤۰
۵.۷ تقویت‌کننده عملیاتی ---------- ٤۰
۵.۸ شبیه‌سازی کل طبقه ---------- ٤۲
۵.۹ نتیجه‌گیری و پیشنهاد ---------- ٤٦
مراجع ---------- ٤۸

فهرست اشکال

شکل ۲-۱. مفهوم تقویت‌کننده‌دینامیکی به جای تقویت‌کننده‌عملیاتی ---------- ۱۰
شکل ۳-۱. یک مبدل ایده‌آل ---------- ۱۳
شکل ۳-۲. یک مبدل غیر ایده‌آل ---------- ۱٤
شکل ۳-۳. تعریف INL برای یک مبدل دیجیتال‌به‌آنالوگ ---------- ۱۵
شکل ۳-٤. منحنی انتقال یک مبدل A/D چهار بیتی ---------- ۱۷
شکل ۳-۵. نسبت سیگنال‌به‌نویز یک مبدل به عنوان تابعی از فرکانس ---------- ۲۱

شکل ۳-٦. نسبت سیگنال‌به‌نویز به عنوان تابعی از دامنه ---------- ۲۱
شکل ۳-۷. SNR بر حسب دامنه ورودی، برای یک مبدل A/D سیگما–دلتا ---------- ۲۲
شکل ۳-۸. هارمونیک‌های یک کلاک $100MHz$ فرضی برای یک ADC 12بیتی ---------- ۲۳
شکل ۳-۹. طیف یک کانال کوچک، که توسط یک سیگنال ناخواسته بزرگ،ناشی از یک کانال بزرگ، آسیب دیده است ------- ۲۵
شکل ۳-۱۰. هارمونیک‌های یک کلاک $100MHz$ فرضی برای یک ADC 12بیتی ---------- ۲۵
شکل ٤-۱. مبدل داده پایپ‌لاین ---------- ۲۸
شکل ٤-۲. کنترل زمانبندی یک پایپ‌لاین ۱۰ بیتی، ۵ طبقه، دو بیت بر هر طبقه ---------- ۳۰
شکل ٤-۳. بلوک‌دیاگرام یک طبقه پایپ‌لاین ---------- ۳۰
شکل ٤-٤: منحنی مشخصه انتقالی ورودی– خروجی یک مولد باقیمانده ---------- ۳۱
.شکل ٤-۵ منحنی مشخصه انتقالی ورودی– خروجی معماری $1.5b/stage$ ---------- ۳۲
شکل ۵-۱: معماری مبدل ---------- ۳٤
شکل ۵-۲: طرح زمان بندی کلاک هر طبقه ---------- ۳۵
شکل ۵-۳: معماری هر طبقه مبدل آنالوگ‌به‌دیجیتال ---------- ۳٦
شکل ۵-٤: نحوه تولید سیگنال باقیمانده و تقویت سیگنال باقیمانده با بهره‌ی ۲ ---------- ۳٦
شکل ۵-۵: ولتاژ ذخیره شده در خازن C1 ---------- ۳۸
شکل ۵-٦: مدار مقایسه‌کننده ---------- ۳۹
شکل ۵-۷: تأخیر انتشار مقایسه‌کننده ---------- ۳۹
شکل ۵-۸: مدار مبدل دیجیتال‌به‌آنالوگ ۱/۵ بیتی ---------- ٤۰
شکل ۵-۹: مدار تقویت‌کننده عملیاتی ---------- ٤۱
شکل ۵-۱۰: پاسخ فرکانسی OpAmp ---------- ٤۱
شکل ۵-۱۱: پاسخ پله در حالت فیدبک ---------- ٤۲
شکل ۵-۱۲: مشخصه انتقالی ورودی–خروجی یک طبقه مبدل پایپ‌لاین ۱/۵ بیتی ---------- ٤۳
شکل ۵-۱۳: ورودی و خروجی یک طبقه مبدل پایپ‌لاین ۱/۵ بیتی به ازای $V_{in} < -V_{ref}/4$ ---------- ٤٤
شکل ۵-۱٤: ورودی و خروجی یک طبقه مبدل پایپ‌لاین ۱/۵ بیتی به ازای $-V_{ref}/4 < V_{in} < +V_{ref}/4$ ---------- ٤۵
شکل ۵-۱۵: ورودی و خروجی یک طبقه مبدل پایپ‌لاین ۱/۵ بیتی به ازای $V_{in} > +V_{ref}/4$ ---------- ٤٦

فهرست جداول

جدول ۲–۱. انرژی مبدل‌های امروزی نسبت به انرژی یک گیت NAND در 90-nm ---------- ۱۱
جدول ۵–۱. مقایسه کارهای انجام‌شده پیشین و این کار ---------- ٤۸

چکیده

مبدل‌های آنالوگ‌به‌دیجیتال پایپ‌لاین که از رایج‌ترین مبدل‌های امروزی می‌باشند برای کاربردهای پر سرعت و وضوح متوسط قابل استفاده می‌باشند ولی توان مصرفی این مبدل‌ها چالش اصلی طراحی آن‌ها می‌باشند. خصوصا کاربردهای قابل‌حمل و مبتنی بر باتری، اهمیت توان مصرفی را افزایش می‌دهد. در این پایان‌نامه یک مبدل آنالوگ-به‌دیجیتال پایپ‌لاین ۸ بیتی با سرعت 1MS/s و توان مصرفی 2mW در تکنولوژی $0.18\mu m$ $CMOS$ طراحی و شبیه‌سازی شده است. فرکانس نمونه‌برداری تا 10MS/s قابل افزایش می‌باشد که امکان تبدیل سیگنال‌های با فرکانس 5MHz را فراهم می‌کند و بیانگر یک FoM مناسب معادل $0.78\frac{pJ}{cs}$ بوده که شایستگی مبدل را از نظر توان مصرفی نشان می‌دهد. از معماری $1.5b/stage$ در طراحی طبقات استفاده شده است که اصلاح دیجیتال خروجی‌ها و در نتیجه افزایش خطسانی را فراهم می‌سازد. از یک تقویت‌کننده عملیاتی دو طبقه تک سر برای تقویت سیگنال باقی‌مانده استفاده شده است که با یک روش جدید جبران‌سازی شده است. حذف مدار SHA ورودی و تغییر در طرح زمان‌بندی سیگنال کلاک سبب بهبود توان مصرفی مبدل شده است.

فصل اول

مسیر تکنولوژی

۱.۱ مقدمه

امروزه مبدل‌های آنالوگ‌به‌دیجیتال نقش بسزایی در عملکرد کلی سیستم‌های دیجیتال دارند، بطوریکه نیاز است تا این مبدل‌ها بر روی تراشه اصلی جاسازی[۱] شوند. مشخصه‌های یک سیستم دیجیتال بشدت تحت تاثیر عملکرد مبدل آنالوگ‌به‌دیجیتال می‌باشد؛ به‌عنوان مثال مشخصه‌هایی همچون نرخ داده[۲]، حساسیت[۳]، محدوده دینامیکی سیگنال[۴]، نرخ خطای بیت[۵] و توان مصرفی[۶][۱]. پیشرفت‌های تکنولوژی CMOS با کاهش ابعاد ترانزیستور، مزایا و معایب زیر را برای عملکرد سیستم‌های آنالوگ به همراه دارد.

مزایا:

افزایش چگالی گیت منطقی

افزایش فرکانس قطع

کاهش انرژی انتقال گیت‌های منطقی

مشکلات:

کاهش نسبتا کم ولتاژعملیاتی

کاهش مقاومت درین و بهره ذاتی

افزایش هزینه در واحد سطح

مساحت ثابت عناصر پسیو

---

1 SoC(System-on-Chip)
2 Data-Rate
3 Sensitivity
4 Signal Dynamic Range
5 Bit Error Rate
6 Power Consumption

۱.۲ تکنیک‌های جدید طراحی و مبدل‌های پیشرفته

پیشرفت تکنولوژی CMOS و کاهش ابعاد ترانزیستور در تکنولوژی‌های جدیدتر سبب افزایش نرخ تبدیل در مبدل‌های آنالوگ‌به‌دیجیتال شده است؛ البته تکنولوژی‌های جدیدتر نیز با چالش‌های طراحی جدیدتری مواجه هستند که عملکرد مبدل را تحت‌تاثیر قرار می‌دهد. افزایش توان مصرفی از جمله مشکلاتی است که مسیر تکامل مبدل‌های آنالوگ‌به‌دیجیتال را تحت‌تاثیر قرار می‌دهد. یکی از جدیدترین و پیشرفته‌ترین مسیرهای تکامل مبدل‌ها، حذف تقویت‌کننده‌های عملیاتی از مدار و جایگزین کردن تقویت‌کننده‌های ساده‌تر و مختصرتر با توان مصرفی کمتر می‌باشد. این تکنیک در مبدل‌های پایپ‌لاین[۷] بشدت بکار گرفته می‌شود تا ضریب شایستگی مبدل را بهبود بخشد؛ بطوریکه استفاده از تقویت‌کننده‌های تک-ترانزیستوری در [۲] بجای تقویت‌کننده عملیاتی دیده می‌شود که می‌تواند خطسانی قابل‌قبولی تا وضوح ۹ بیت ایجاد کند. البته این تکنیک هنوز به بلوغ کافی نرسیده است و از مشکلاتی رنج می‌برد. از طرف دیگر مبدل‌های مبتنی بر مقایسه کننده، مانند معماری تقریب‌های متوالی[۸] در مبدل آنالوگ‌به-دیجیتال کم‌مصرف در تکنولوژی‌های جدید، بشدت جالب توجه و مورداستفاده قرار گرفته است. در ادامه، طراحی-های مبتنی‌بر تقویت‌کننده‌های‌عملیاتی و همچنین طراحی‌های مبتنی‌بر مقایسه‌کننده را بررسی خواهیم کرد.

۱.۳ طراحی مبدل‌های مبتنی‌بر تقویت‌کننده‌عملیاتی

این تکنیک که حدود ۲۰ سال است در مبدل‌هایی همچون پایپ‌لاین و سیگما-دلتا بکار گرفته می‌شود، مزایای خود را در تکنولوژی‌های جدید از دست داده است. رفته‌رفته مبدل‌های آنالوگ‌به‌دیجیتال مدرن، با حذف تقویت‌کننده-های‌عملیاتی و جایگزین کردن روش‌های مختلف تقویت‌کنندگی، جایگزین مبدل‌های کلاسیک شده‌اند. از آنجایی که برای دسترسی به وضوح بالاتر می‌بایست بهره مدار-باز[۹] تقویت‌کننده‌عملیاتی افزایش یابد و اینکه دسترسی به بهره بالا در تکنولوژی‌های جدید سخت‌تر می‌باشد می‌توان نتیجه گرفت که تقویت‌کننده‌های‌عملیاتی برای تکنولوژی‌های جدید مفید نیستند. طبق رابطه زیر که در آن N وضوح مبدل و $G_{DC}(dB)$ بهره مدار-باز تقویت-کننده عملیاتی برحسب دسی‌بل می‌باشد، بهره ۹۴ دسی‌بل برای وضوح ۱۴ بیت مورد نیاز است.

$$G_{DC}(dB) > 6N + 10 \qquad (۱-۱)$$

[7] Pipelined
[8] Successive Approximation
[9] DC Gain

از طرفی بهره ولتاژ ذاتی[10] ترانزیستور، طبق رابطه زیر تعریف می‌شود.

$$Gi = g_m . r_{ds} = \frac{2V_A}{V_{eff}} \qquad (۲-۱)$$

که V_A ولتاژ ارلی و V_{eff} ولتاژ موثر گیت می‌باشند. با توجه با اینکه در تکنولوژی‌های جدید V_A کوچک‌تر می‌شود، دسترسی به بهره‌های بالا در تکنولوژی‌های جدید سخت‌تر می‌شود. بطوریکه بیشترین بهره ولتاژ ذاتی یک ترانزیستور NMOS با طول گیت 90nm تقریبا ۱۰ می‌باشد، که این عدد در مقایسه با ترانزیستور 350nm سه برابر کوچکتر است[۳]. از روابط فوق می‌توان دریافت که تقویت‌کننده‌های‌عملیاتی، که با آرایش‌های دو طبقه و تکنیک-های افزایش مقاومت خروجی به سختی به بهره مدار–باز 100 dB می‌رسند، برای تکنولوژی‌های جدید مناسب نیستند.

حال به بررسی پهنای باند مورد نیاز یک تقویت‌کننده‌عملیاتی در یک مبدل آنالوگ‌به‌دیجیتال می‌پردازیم.

رابطه زیر حاصلضرب بهره مدار بسته در پهنای باند[11]را برای یک تقویت کننده عملیاتی نشان می‌دهد.

$$GBW_{close} = \frac{N}{3} f_c \qquad (۳-۱)$$

در رابطه فوق f_c فرکانس تبدیل مبدل و N وضوح مبدل می‌باشد. طبق رابطه بالا از نظر پیاده سازی تقویت‌کننده عملیاتی، به ازای یک FoM مشخص، افزایش N و کاهش f_c آسان‌تر از کاهش N و افزایش f_c می‌باشد. به عنوان مثال، طبق رابطه فوق برای یک مبدل ۱٤ بیتی با فرکانس تبدیل 100 MSPS می‌بایست تقویت‌کننده عملیاتی با GBW حدود 500MHz داشته باشیم. از طرفی در تکنولوژی‌های جدید برای حفظ سیگنال به نویز مطلوب، می-بایست ظرفیت خازن سیگنال (خازنی که سیگنال در آن نمونه‌برداری می‌شود) را افزایش دهیم تا اثر کاهش سوئینگ سیگنال (ناشی از کاهش ولتاژ تغذیه) را جبران کرده باشیم. این کار تضمین می‌کند که نویز حرارتی کوچکتر از خطای کوانتیزاسیون باشد. نویز حرارتی در یک طبقه مبدل پایپ‌لاین را می‌توان طبق رابطه زیر محاسبه کرد.

$$N \approx \frac{kT}{C} \qquad (٤-۱)$$

[10] Intrinsic Voltage Gain
[11] Closed Loop Gain Bandwidth Product

که در آن k ثابت بولتزمن، T دمای مطلق و C ظرفیت خازن سیگنال می‌باشد. از رابطه بالا دیده می‌شود که افزایش خازن سیگنال به کاهش نویز حرارتی کمک می‌کند.

از طرفی می‌توان رابطه زیر را برای یک طبقه مبدل پایپ‌لاین نوشت[۱].

$$GBW_{close} \approx \frac{I_{ds}}{2\pi C V_{eff}} \times \frac{1}{3} \qquad (۵-۱)$$

که I_{ds} جریان نقطه کار طبقه می‌باشد. مطابق رابطه بالا می‌توان نتیجه گرفت که با افزایش خازن سیگنال، برای حفظ GBW_{close} به ناچار می‌بایست جریان نقطه کار را افزایش داد. این کار به منزله افزایش توان مصرفی مبدل می‌باشد. از آنچه که گفته شد می‌توان نتیجه گرفت که محدودیت‌های تقویت‌کننده‌های‌عملیاتی در دسترسی به بهره‌های بالا منجر به محدودیت‌هایی در پهنای باند می‌شود. از طرفی برای حفظ سیگنال به نویز، مجبوریم که خازن سیگنال را افزایش دهیم، که اینکار مجددا پهنای باند را محدود می‌کند. در این حالت افزایش توان مصرفی مبدل تنها راه‌حل باقیمانده برای حل مشکل پهنای باند می‌باشد. چون در تکنولوژی‌های جدیدتر دسترسی به بهره‌های بالاتر، برای معماری‌های مبتنی بر تقویت‌کننده‌عملیاتی، پیچیده‌تر می‌شود، مشکل پهنای باند و به دنبال آن افزایش توان مصرفی در این تکنولوژی‌ها به چالش اصلی طراحی تبدیل می‌شود. از این رو اساس طراحی مبدل‌های مدرن امروزی بر مبنای حذف تقویت‌کننده‌عملیاتی از معماری مبدل می‌باشد.

۱.٤ طراحی مبدل‌های مبتنی بر مقایسه‌کننده

همانگونه که از اسم این مبدل‌ها پیداست، مشکلات مربوط به تقویت‌کننده‌های‌عملیاتی در این مبدل‌ها وجود ندارد. از جمله این مبدل‌ها می‌توان مبدل تقریب‌های متوالی را مثال زد. این مبدل‌ها در کاربردهای کم مصرف و در تکنولوژی‌های با ابعاد کوچکتر مفید می‌باشند. در این معماری عملیات آنالوگ تبدیل سیگنال تنها با چند سوئیچ، خازن و تعداد کمی مقایسه کننده انجام می‌گیرد. جریان سکون مقایسه‌کننده را می‌توان تا نزدیک صفر کاهش داد. در نتیجه توان مصرفی این معماری مانند مدارات دیجیتال فقط با جریان‌های دینامیکی تعیین می‌شود.

از طرفی بدلیل اینکه بیشترین سوئینگ برای سیگنال امکان پذیر است، خازن‌های کوچکتری در این معماری مورد نیاز است. به علاوه نویز حرارتی کمتر این معماری به کوچک کردن خازن‌ها کمک بیشتری می‌کند. یک مبدل پایپ-لاین با تقویت‌کننده‌عملیاتی کسکود در مقایسه با یک مبدل تقریب‌های متوالی، ۹ برابر نویز حرارتی بیشتر تولید می-

کند. بنابراین خازن‌های کوچکتر و حذف تقویت‌کننده‌عملیاتی در این معماری، منجر به ساخت مبدل‌های بسیار کم مصرفی با ضریب شایستگی حدود ده برابر بهتر در مقایسه با مبدل‌های پایپ‌لاین شده است.

بزرگترین مشکل این مبدل‌ها سرعت عملیاتی پائین آن‌هاست. استفاده از طرح‌های موازی می‌تواند به رفع این مشکل کمک می‌کند. تکنیک دیگری که بکار می‌رود عملیات تبدیل غیر همزمان است. زمان نشست مورد نیاز برای هر مرحله تبدیل متفاوت است. بطور معمول بیت‌های پرارزش زمان بیشتری نیاز دارند. معماری‌های همزمان از کلاک‌هایی با زمان نشست مورد نیاز برای بیت پرارزش استفاده می‌کنند که این کار سبب فرکانس تبدیل غیر بهینه می‌شود. معماری‌های غیر همزمان با پریودهای بهینه شده برای هر مرحله، منجر به افزایش نرخ تبدیل و کاهش توان مصرفی می‌شود[۱].

فصل دوم

توان مصرفی در مبدل‌های آنالوگ‌به‌دیجیتال

۲.۱ مقدمه

مبدل‌های آنالوگ‌به‌دیجیتال بخش جدایی‌ناپذیر سیستم‌های پردازش دیجیتالی کمیت‌های محیطی می‌باشند. علاوه بر آن در کاربردهای RF نیز نقش مهمی در عملکرد کلی سیستم دارند. با افزایش سرعت و وضوح مبدل‌های آنالوگ-به‌دیجیتال، توان مصرفی نیز افزایش می‌یابد. به عنوان مثال مبدل آنالوگ‌به‌دیجیتال در [٤] با نرخ تبدیل نزدیک به 24GS/s و وضوح 6Bit توان مصرفی در حدود 1.2W دارد. افزایش توان مصرفی یک مبدل آنالوگ‌به‌دیجیتال باعث می‌شود که کل سیستم برای کاربردهای دستی با تغذیه باتری مناسب نباشد. این محدودیت‌ها توان مصرفی یک مبدل را به یکی از مهمترین فاکتورهای طراحی مبدل در کاربردهای RF و سیگنال–مختلط[۱۲] تبدیل کرده است.

مهمترین عوامل پیشرفت و بهبود توان مصرفی در مبدل‌های آنالوگ‌به‌دیجیتال کاهش ابعاد ترانزیستور[۱۳] و استفاده از مدارات آنالوگ ساده شده به همراه اصلاح دیجیتال[۱٤] می‌باشند. در این فصل به بررسی این عوامل خواهیم پرداخت.

ضریب شایستگی[۱۵]

ضریب شایستگی یک مبدل آنالوگ‌به‌دیجیتال طبق رابطه (۲–۱) تعریف می‌شود.

$$FoM = \frac{P}{f_s 2^{ENOB}} \qquad (۱–۲)$$

در رابطه فوق P توان مصرفی مبدل، f_s فرکانس نمونه برداری و $ENOB$ تعداد موثر بیت‌ها یا وضوح موثر مبدل بوده و طبق رابطه زیر تعریف می‌شود.

$$ENOB = \frac{SNDR(dB) - 1.76}{6.02} \qquad (۲–۲)$$

[12] Mixed-Signal
[13] Scaling
[14] Digital Correction
[15] Figure of Merit (FoM)

ضریب شایستگی یک مبدل معیاری برای بررسی شایستگی مبدل از نظر توان مصرفی مبدل می‌باشد. مطابق رابطه (۲-۱) افزایش یک بیت به وضوح موثر مبدل معادل دو برابر کردن توان مصرفی مبدل برای ضریب شابستگی یکسان می‌باشد. ولی با بررسی مبدل‌های با وضوح بالا در [۵] می‌توان نتیجه گرفت که افزایش یک بیت به وضوح موثر این مبدل‌ها منجر به ٤ برابر شدن توان مصرفی مبدل می‌شود. به همین دلیل در سال‌های اخیر بر روی مبدل-های با وضوح بالا کار کمتری صورت گرفته است. بطور کلی طراحی مبدل‌های با وضوح بالا (SNDR>75dB) و توان مصرفی پائین بسیار پیچیده می‌باشد. می‌توان نتیجه گرفت که رابطه (۲-۱) برای بررسی شایستگی مبدل‌های با وضوح بالا مناسب نمی‌باشد. این افزایش توان بدلیل این می‌باشد که این مبدل‌ها از نظر نویز حرارتی بسیار محدود شده‌اند، بطوریکه برای افزایش وضوح (یا به عبارتی نسبت سیگنال به نویز) و غلبه بر محدودیت‌های غیر قابل چشم‌پوشی نویز حرارتی، می‌بایست خازن ورودی مبدل و به ناچار توان مصرفی آن را افزایش داد. در [۵] مرز بین مبدل‌های محدود شده توسط نویز حرارتی و مبدل‌های با وضوح پائین، SNDR=75dB بدست آمده است.پس اگر ضریب شایستگی معادل $100\frac{fJ}{c.s}$ را برای مبدل‌های با وضوح پائین به عنوان شاخص در نظر بگیریم، می‌بایست برای مبدل‌های با نسبت سیگنال به نویز بالاتر از 75dB مقدار $200\frac{fJ}{c.s}$ را در نظر گرفت.

با بررسی مجدد رابطه (۲-۱) می‌توان دریافت که از نظر شایستگی یک مبدل و با ثابت نگه داشتن توان، افزایش یک بیت در وضوح موثر مبدل معادل نصف کردن فرکانس نمونه‌برداری مبدل می‌باشد. این به این خاطر است که به ازای یک اختلال زمانی نمونه‌برداری[16] مشخص در سیگنال کلاک، با افزایش یک بیت در وضوح موثر ناچاریم که فرکانس نمونه‌برداری را نصف کنیم تا عملکرد کلی سیستم و نسبت سیگنال به نویز حفظ شود. رابطه زیر به وضوح بیانگر وجود این چنین مصالحه‌ای بین فرکانس نمونه‌برداری و وضوح مبدل می‌باشد.

$$\Delta t_{\max} \propto \frac{1}{f_{sig}.2^n} \qquad (۳-۲)$$

در رابطه فوق $\Delta t_{\max}$ بیشترین مقدار مجاز اختلال زمانی نمونه‌برداری و n تعداد بیت‌های مبدل می‌باشند. f_{sig} فرکانس سیگنال ورودی است که برای یک مبدل نرخ نایکوئیست نصف فرکانس نمونه‌برداری می‌باشد.

طبق رابطه (۲-۳) برای افزایش وضوح یک مبدل با وضوح بالا و فرکانس بالا برای حفظ نسبت سیگنال به نویز می‌بایست اختلال زمانی نمونه‌برداری را کاهش داد. بیشتر مبدل‌های با عملکرد بالا دارای اختلال زمانی کلاک معادل $1ps_{rms}$ می‌باشند. روشن است که برای طراحی و ساخت مبدل‌های با عملکرد بهتر نیازمند نمونه‌برداری‌های دقیق-

[16] Sampling Clock Jitter

تری می‌باشیم، بطوریکه طراحی مبدل‌های با وضوح و فرکانس بالا نیازمند کلاک‌های نمونه‌برداری با اختلال در حدود $100\,f_s$ یا بهتر می‌باشد. از طرفی بهبود اختلال زمانی سبب می‌شود که بتوان بودجه بیشتری برای دیگر عوامل غیر ایده‌آلی که *SNDR* را کاهش می‌دهند، در نظر گرفت. از جمله این غیر ایده‌آلی‌ها می‌توان نویز کوانتیزاسیون، نویز حرارتی، اعوجاج هارمونیکی و غیر خطسانی تفاضلی[17] را نام برد.

۲.۲ مسیر توان مصرفی و سرعت

با بررسی مبدل‌های ساخته شده در سال‌های اخیر می‌توان دریافت که توان مصرفی مبدل‌ها در هر دو سال نصف می‌شود ولی حاصل سرعت در وضوح مبدل‌ها هر ٤ سال دو برابر می‌شود[۵] که نشان دهنده نرخ پائین در بهبود سرعت مبدل‌ها به ازای یک وضوح مشخص می‌باشد. این خود نشان دهنده این است که بیشتر کارهای صورت گرفته در سال‌های اخیر بر روی بهبود توان مصرفی مبدل‌های آنالوگ‌به‌دیجیتال متمرکز شده‌اند.

۲.۳ اثر کاهش ابعاد ترانزیستور بر توان مصرفی مبدل

بررسی دقیق اثرات کاهش ابعاد در تکنولوژی‌های جدید بر روی مبدل‌ها مقداری پیچیده می‌باشد. چون معماری‌های مختلف رفتارهای مختلفی در تکنولوژی‌های جدیدتر خواهند داشت و همچنین مبدل‌های نویز–محدود شده[18] رفتار متفاوتی نسبت به مبدل‌های با وضوح پائین از خود نشان می‌دهند.

در یک ترانزیستور نویز–محدود شده رابطه زیر برقرار است[۵].

$$\frac{P}{f_s} \propto \frac{1}{\alpha^2}\frac{1}{V_{DD}}\frac{1}{\frac{g_m}{I_D}}kT.SNR \qquad (٤-٢)$$

طبق رابطه فوق با افزایش ٦ دسی‌بل به SNR (چهار برابر کردن SNR) توان مصرفی به ازای یک فرکانس ثابت چهار برابر خواهد شد. از طرفی با فرض ثابت بودن بقیه پارامترها در رابطه فوق می‌توان نتیجه گرفت که کاهش V_{DD} سبب افزایش توان مصرفی خواهد شد. در تکنولوژی‌های جدید با کوچک شدن سایز ترانزیستور به ناچار می‌بایست V_{DD} را کاهش داد تا میدان‌های الکتریکی گیت به کانال برای اکسید گیت قابل تحمل باشد. بطور کلی در

[17] Differential Nonlinearity
[18] Noise-Limited

تکنولوژی‌های جدید با کاهش V_{DD} نسبت سیگنال به نویز کم می‌شود که برای حفظ آن می‌بایست نویز را کم کنیم و کاهش نویز در ازای افزایش توان مصرفی امکان‌پذیر است.

پس کاهش ابعاد کمکی به بهبود توان مصرفی در مبدل‌های نویز-محدود شده نمی‌کند ولی می‌توان اثرات آن را برای یک معماری مشخص با وضوح متوسط یا پائین بررسی کرد، با توجه به بررسی‌های صورت گرفته در [۵] یک مبدل پایپ‌لاین با وضوح متوسط می‌تواند به خوبی از مزایای تکنولوژی‌های جدیدتر بهره‌مند شود. اولین فاکتور مفیدی که به بهبود عملکرد این مبدل کمک می‌کند امکان کوچکتر کردن خازن‌های گره‌های میانی است، به علاوه در تکنولوژی‌های جدید با یک V_{od} کمتر می‌تواند به f_T مورد نیاز دسترسی پیدا کرد. بعضی زیر مدارات مورد نیاز در مبدل‌ها نیازمند f_Tهای چند ده برابر فرکانس نمونه‌برداری می‌باشند که دسترسی به این f_Tهای بالا نیازمند این است که ترانزیستورها شدیدا در ناحیه Strong Inversion بایاس شوند. این کار نیازمند V_{od}های بیشتر از 200mV بوده و از نظر توان مصرفی بهینه نمی‌باشد. تکنولوژی‌های جدید این امکان را فراهم می‌سازد که ترانزیستور حتی در ناحیه Weak Inversion بایاس شود. از طرفی برای یک فرکانس نمونه‌برداری مشخص و در نتیجه یک f_T مطلوب مشخص، تکنولوژی‌های جدیدتر g_m/I_D بیشتری تحویل می‌دهند. این مزیت می‌تواند مشکل کاهش اجباری ولتاژ تغذیه در تکنولوژی‌های جدید را خنثی سازد. البته استفاده از قطعات ورودی/خروجی با اکسید گیت ضخیم[19] که در اغلب فرآیندهای استاندارد CMOS در دسترس می‌باشد، می‌تواند به رفع این مشکل کمک کند ولی این کار در طراحی مبدل‌های آنالوگ‌به‌دیجیتال رایج نمی‌باشد.

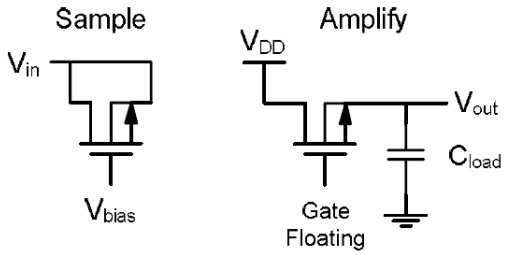
۲.٤ طراحی مدارت ساده شده

توان مصرفی در بخش آنالوگ یک مبدل آنالوگ‌به‌دیجیتال با افزایش پیچیدگی زیر مدارات، افزایش می‌یابد. هدف از طراحی‌های کمینه در مبدل آنالوگ‌به‌دیجیتال بهبود توان مصرفی و نیز امکان افزایش سرعت با استفاده از زیر مدارات آنالوگ ساده شده می‌باشد. نمونه‌های از این طراحی‌ها در [٦] تا [۱۰] بر اساس پیاده سازی مبدل بدون استفاده از تقویت‌کننده‌عملیاتی دیده می‌شود. حذف تقویت‌کننده‌عملیاتی خصوصا در مدارات سوئیچ خازنی شدیدا به بهبود توان مصرفی کمک می‌کند. چون اولا تقویت‌کننده‌های‌عملیاتی درمقایسه با طبقات بهره ساده نویز بیشتری ایجاد می‌کنند، ثانیا تنها بخش کوچکی از جریانی را که از تغذیه می‌کشند به بار تحویل می‌دهند. در [۱۱] دیده شده که بازدهی یک تقویت‌کننده‌عملیاتی کلاس A در یک مدار سوئیچ خازنی با تعداد ثابت زمان‌های نشست رابطه

[19] Thick-Oxid I/O Devices

عکس دارد. این خود ایده طراحی‌های مبتنی بر نشست ناقص[20] شد. نمونه بارزی از طراحی مدارات با نویز کمتر و پردازش موثرتر بار، مبدل‌های تقریب‌های متوالی مبتنی بر بار در [٤] و [١٢] می‌باشد. مشکل این مبدل‌ها این است که وقتی سرعت، وضوح و خازن ورودی را همزمان بررسی می‌کنیم مشاهده می‌شود که بهترین کارایی ممکن را ندارند[٥].

برای اینکه معماری پایپ‌لاین از نظر توان مصرفی قابل رقابت با معماری تقریب‌های متوالی باشد، تلاش‌های زیادی صورت گرفته است. شکل زیر مفهوم تقویت تک-ترانزیستوری سیگنال باقیمانده را نشان می‌دهد که در یک مبدل پایپ‌لاین کم مصرف در [٨] برای این منظور به کار رفته است.



شکل ٢-١. مفهوم تقویت‌کننده‌دینامیکی به جای تقویت‌کننده‌عملیاتی

[20] Incomplete Settling

تقویت‌کننده نشان داده شده در شکل بالا توزیع مجدد بار حول یک تقویت‌کننده‌عملیاتی را شبیه‌سازی می‌کند، در حالیکه نویز کمتری ایجاد کرده و بازدهی بار را از تغذیه به بار خازنی شدیدا افزایش می‌دهد. شکل عمومی اکثر طراحی‌های کمینه اینست که مقاوم بودن طراحی از نقطه نظر PSRR, CMRR و پایداری دمایی تحت الشعاع قرار می‌گیرد. مشکل دیگر این طراحی‌ها وضوح و خطسانی قابل دسترسی می‌باشد. یک تقویت‌کننده‌عملیاتی با بهره مدار باز بالا هرگز مشکل خطسانی نخواهد داشت، ولی تقویت‌کننده شکل فوق فقط تا نزدیکی ۹بیت خطسان خواهد بود[۵]. در این حالت که ساده‌سازی مدارها به قیمت از دست دادن دقت می‌باشد، استفاده از ابزارهای دیجیتالی برای بازیابی دقت مورد نظر، مطلوب بنظر می‌رسد.

۲.۵ پردازش‌های دیجیتالی در مبدل‌های آنالوگ‌به‌دیجیتال

همانگونه که در[۱۳] گفته شده است، کاهش ابعاد ترانزیستور به اندازه 0.7 برابر به همراه کاهش در ولتاژ تغذیه منجر به کاهش انرژی در هر گذر منطقی[۲۱] به اندازه 65% برای هر نسل تکنولوژی می‌شود. با توجه به[۱٤] یک گیت NAND دو–ورودی تقریبا 1.3pJ به ازای هر عملیات منطقی در یک فرآیند 0.5-µm CMOS تلف می‌کند، در صورتیکه همان گیت در یک فرآیند 90-nm فقط 4.5fJ تلف می‌کند. این بدین معناست که قیمت نسبی محاسبات دیجیتال بسرعت در حال کاهش می‌باشد. با توجه به جدول زیر از[۵] در می‌یابیم که برای مبدل‌های با وضوح بالا انرژی مصرفی توسط یک گیت NAND بیش از دو ملیون برابر در مقایسه با انرژی مصرفی مبدل کمتر است. می‌توان نتیجه گرفت که در مبدل‌های با وضوح بالا سپردن بخش زیادی از پردازش سیگنال به بخش دیجیتال می‌تواند از نظر توان مصرفی خیلی مفید واقع شود.

جدول (۲–۱): انرژی مبدل‌های امروزی نسبت به انرژی یک گیت NAND در 90-nm [5].

SNDR [dB]	E_{ADC}	E_{ADC}/E_{NAND}
30	21 nJ	4,700
50	168 nJ	38,000
70	1.35 µJ	300,000
90	10.8 µJ	2,400,000

[21] Logic Transition

یکی از تکنیک‌هایی که در این راستا سبب افزایش پردازش‌های دیجیتالی و بهبود توان مصرفی می‌شود تکنیک بیش نمونه‌برداری[۲۲] می‌باشد. از اینرو که در تکنولوژی‌های جدید f_T بزرگتری در دسترس می‌باشد سرعت مبدل‌های امروزی بالاتر رفته است. از طرفی مبدل‌های با سرعت بالا و توان مصرفی بالا در مقایسه با مبدل‌های با سرعت متوسط و توان مصرفی کم کاربرد کمتری دارند. با اینکه تکنیک بیش نمونه‌برداری به افزایش سرعت مبدل کمکی نمی‌کند ولی بکارگیری این تکنیک در مبدل‌های نایکوئیست کلاسیک سبب بهبود توان مصرفی می‌شود، بطوریکه طراحان مبدل‌ها در این روش سیگنال ورودی را با یک فاکتور بزرگ بیش نمونه‌برداری می‌کنند تا نویزهای خارج از باند(نویز حرارتی، نویز کوانتیزاسیون و اختلال زمانی کلاک) با استفاده از پس فیلتر دیجیتال حذف شوند. به عبارتی با بکارگیری این روش در تکنولوژی‌های جدید، از مزیت سرعت بالا در این تکنولوژی‌ها به نفع کم کردن توان مصرفی مبدل بهره برده‌ایم. یک نمونه از این مبدل‌ها در [۱۵] توضیح داده شده است. از تکنیک‌های دیگری که در این زمینه بکار می‌روند می‌توان به اصلاح عدم تطبیق[۲۳]، خطی‌سازی‌دیجیتالی‌تقویت‌کننده[۲۴] و اصلاح دیجیتالی خطاهای دینامیکی[۲۵] اشاره کرد.

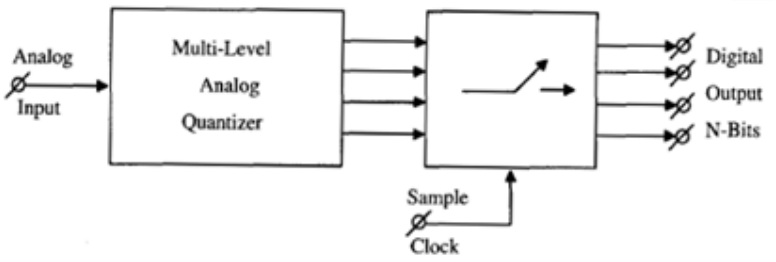
[22] Oversampling
[23] Mismatch Correction
[24] Digital Linearization of Amplifiers
[25] Digital Correction of Dynamic Errors

فصل سوم

مشخصه‌های مبدل‌های آنالوگ‌به‌دیجیتال

۳.۱ مقدمه

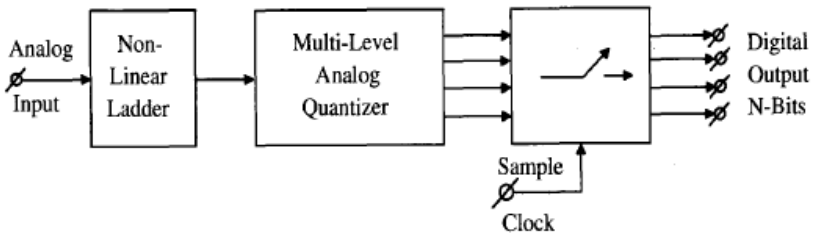
یک مبدل آنالوگ‌به‌دیجیتال اساساً متشکل از یک کوانتیزر دامنه بوده که با یک نمونه‌بردار دنبال می‌شود. به طور کلی ترتیب کوانتیزر و نمونه‌بردار می‌تواند تغییر کند (بدون اثر گذاشتن بر عملکرد یا عملیات سیستم). یک مبدل ایده‌آل در شکل (۳-۱) دیده می‌شود. مشخصه‌های یک مبدل ایده‌آل هیچ خطایی ناشی از مؤلفه‌های غیرایده‌آل یا اختلال زمانی کلاک را نشان نمی‌دهد و در نتیجه فقط از نظر تئوری حائز اهمیت می‌باشد. در مبدلهای تجربی، عناصر الکترونیک بکار رفته در ساختار مبدل، تطبیق محدودی را نشان می‌دهند. عناصر فعال مانند قطعات دوقطبی و CMOS وقتی در زوج‌های دیفرانسیل بکار روند افت نشان می‌دهند. نویز در عناصر فعال و غیرفعال محدوده دینامیکی ماکزیمم یک سیستم را کاهش می‌دهد. بویژه با ولتاژ تغذیه کوچک اثرات محدود کننده‌ی نویز در مبدل-های با تفکیک بالا و پهن باند، ظاهر می‌شود.



شکل ۳-۱. یک مبدل ایده‌آل،[۱۶]

برای سادگی و همچنین امکان داشتن مدلی از اثرات غیر ایده‌آل در یک مبدل، تمامی عدم تطبیق‌ها و افست‌ها در یک بخش مرجع جمع شده و یکی می‌شوند. در شکل (۳-۲) این مدل دیده می‌شود. غیرایده‌آلی‌های ناشی از عدم تطبیق مؤلفه‌ها، خطاهایی را در عملکرد مبدل معرفی می‌کند. عموماً یک مبدل طراحی شده، مشخصه خطسانی نزدیک به $\pm \frac{1}{2} LSB$ خواهد داشت.

همچین مشخصه‌ای، خطاهایی را بسیار مهمتر از خطاهای کوانتیزاسیون معرفی می‌کند. بنابرین نسبت دادن این خطاها به خطاهای کوانتیزاسیون مهم است. پس غیرایده‌آلی‌ها باعث کاهش ENOB می‌شوند. دقت شود که این مشخصه‌ها فقط برای مبدل‌ها می‌باشند.



شکل ۳-۲. یک مبدل غیر ایده‌آل،[۱۶]

۳.۲ مشخصه‌های DC

۳.۳ دقت مطلق[۲۶]

دقت مبدل‌ها نبایستی با خطسانی و وضوح اشتباه گرفته شود. دقت، شامل خطاهای کوانتیزاسیون، غیرخطی بودن، رانش کوتاه مدت[۲۷]، افست و نویز می‌باشد. دقت مطلق یک مبدل، سیگنال کاملا تمام‌مقیاس ورودی یا خروجی(برای ADC و DAC) است که می‌تواند ولتاژ، جریان و یا بار باشد که برگرفته از استاندارد مطلق دیوان ملی استانداردها[۲۸] می‌باشد. این دقت مطلق بیشتر مربوط به منابع مرجع[۲۹] بکار رفته در مبدل می‌باشد. در پاره‌ای از اوقات این منبع مرجع متشکل از دیود زنر جبران شده‌ی دمای ویژه[۳۰] می‌باشد. در مدارات مجتمع این دیود زنر با یک منبع قابل‌مجتمع‌سازی جایگزین می‌شود که در سیستم‌های پیشرفته بر مبنی ولتاژ شکاف باند سلیسیم می‌باشد. این منبع مرجع بایستی نویز کمی برای وضوح بهتر از خود نشان دهد. در حالت ایده‌آل ضریب دمایی بایستی بقدری کوچک باشد تا اینکه دقت منبع مرجع تحت محدوده‌ی دمایی مشخص‌شده بدون تغییر باقی بماند (1/2LSB در تمام محدوده دمایی).

[26] Absolute Accuracy
[27] Short Time Drift
[28] National Bureau of Standards
[29] Reference Sources
[30] Special Temperature-Compensated Zener Diode