پایان نامه کارشناسی ارشد مهندسی برق گرایش الکترونیک

عنوان:

طراحی مبدلهای آنالوگ به دیجیتال با ساختار تمام دیجیتال

نگارش : عباس بابائی

استاد راهنما : دکتر محمد میمندی نژاد

بهمن ماه ۸۸

بسم الله الرحمن الرحيم

تقدیم به پدر بزرگوار و مادر مهربانم

و تقدیم به برادر و خواهران عزیزم

چکیده

در تکنولوژی های جدید CMOS بلوکهای آنالوگ و سیگنال مرکب با مشکلاتی مواجه شده اند چون قابلیت عملکرد آنالوگ ترانزیستورها در تکنولوژی های جدید تنزل می یابد. برای مثال گین ذاتی ترانزیستورها ($g_m r_o$) کم شده است، کاهش ولتاژ تغذیه سوئینگ ولتاژ را کاهش می دهد اما نویز به این نسبت کم نمی شود و در نتیجه نسبت سیگنال به نویز که یکی از مشخصه های مهم می باشد، کاهش می یابد. به عبارت دیگر مدارات مجتمع آنالوگ به اندازه مدارات دیجیتال از رشد تکنولوژی منفعت نمی برند. مبدلهای آنالوگ به دیجیتال بخش اصلی بسیاری از بلوکهای سیگنال مرکب می باشند که ساختارهای متداول این مبدلها بصورت آنالوگ می باشد. اخیراً به منظور برخوردار شدن از مزایای رشد تکنولوژی و ایجاد بلوکهای کاملاً دیجیتال تمایل شدیدی به طراحی مبدلهای آنالوگ به دیجیتال با ساختار کاملاً دیجیتال بوجود آمده است. همچنین در تکنولوژی های جدید دقت زمان بهتر از دقت ولتاژ می باشد و در ساختارهای دیجیتال ارائه شده پردازش سیگنال در حوزه زمان انجام می شود و به همین دلیل مبدلهای زمان به دیجیتال (TDC[1]) به عنوان کوانتیزر زمان بیش از پیش مورد توجه قرار گرفته اند. در روند دیجیتال سازی، بعضی از مبدلهای آنالوگ به دیجیتال ارائه شده ساختار کاملاً دیجیتال دارند و بعضی دیگر ساختار آنالوگ دارند که سازگار با روند ساخت مدارات دیجیتال می باشد اما از میان ساختارهای متداول برای تبدیل آنالوگ به دیجیتال روش تک شیب (single-slope) ساختار ساده ای دارد و دارای کمترین اجزای آنالوگ می باشد.

در این پایان نامه یک ساختار جدید ADC پیشنهاد شده است که از ترکیب ساختارهای مبدلهای تک شیب و تقریب متوالی الگو برداری شده است. در داخل این مبدل پیشنهادی یک بلوک مبدل زمان به دیجیتال می باشد که ساختاری که برای آن پیشنهاد شده مخصوص استفاده در ADC ها می باشد که علی رغم داشتن دقت بالا، ساختار ساده و کم مصرفی دارد. عملکرد کل ADC در حوزه زمان می باشد. یک مبدل ٦ بیتی با این ساختار طراحی شده است که با سرعت 51MS/s، برای ورودی نرخ نایکوئیست دارای ENOB=4.79 و توان مصرفی آن817uW می باشد. همچنین مبدل زمان به دیجیتال هم بطور جداگانه مورد شبیه سازی قرار گرفته است و در یک نمونه ساختار طراحی شده که دارای دقت 5.4ps می باشد مقادیر DNL و INL به ترتیب 0.18LSB و 0.13LSB می باشند.

[1] Time to digital converter

تقدیر و تشکر

خدای متعال را سپاس می گزارم که نعمت سلامتی را به من ارزانی داشت و توفیق تحصیل تا سطح کارشناسی ارشد را عنایت نمود. در طی این مسیر از راهنمایی های ارزنده دکتر محمد میمندی نژاد بسیار متشکرم زیرا باعث می شد تا این دوره تحصیلی برایم لذت بخش باشد و با علاقه بیشتر و بصورت خستگی ناپذیر در انجام آن تلاش نمایم. همچنین از تمام اعضای خانواده ام متشکرم چرا که اگر تحملها، تشویقها و حمایتهای آنها نبود انجام پروژه میسر نمی شد. همچنین جا دارد که از تمام اساتید بخصوص از راهنمایی های دکتر رضا لطفی سپاسگزاری کنم.

خدایا توفیقم ده قدردان نعمات بی پایانت باشم.

فهرست مطالب

عنوان صفحه

فصل اول

مقدمه

۱-۱ انگیزه ۱

۱-۲ ساختار پایان نامه ۳

فصل دوم

مبدل های دیجیتال مبتنی بر عناصر تأخیر و VCO

۲-۱ مقدمه ٤

۲-۲ بررسی کارهای گذشته ٥

۲-۲-۱ ساختار Watanabe ٥

۲-۲-۲ ساختار Farahat ۹

۲-۲-۳ ساختار J. Kim ۱۲

۲-۲-٤ ساختار A. Tritschler ۱٥

۲-۲-٥ ساختار Farkhani ۱٦

۲-۲-٦ ساختار Watanabe برای پایداری ۱۹

۲-۲-۷ ساختار Watanabe برای افزایش دقت ۲۰

۲-۲-۸ افزایش سوئینگ ورودی ۲۲

۲-۲-۹ ساختار سرعت بالا مبتنی بر خط تأخیر ۲۳

۲-۳ نتیجه گیری ۲٦

فصل سوم

مبدل های دلتا سیگمای مبتنی بر VCO

۳-۱ مقدمه ۲۷

۳-۲ مبدلهای متداول دلتا سیگما با کوانتیزر مبتنی بر VCO ۲۷

۳-۲-۱ ساختار Atsushi Iwata ۲۷

۳-۲-۲ ساختار Straayer ۲۹

۳-۳ مبدلهای دلتا سیگمای کاملاً مبتنی بر VCO ۳٤

۳-۳-۱ ساختار Taillefer ۳٤
۳-۳-۲ ساختار Ulrik Wismar ۳۸
۳-۳-۳ ساختار Min Park ٤۱
۳-۳-٤ ساختار Y. Yoon ٤٤
۳-۳-۵ ساختار J. Kim ۵۰
۳-٤ نتیجه گیری ۵۵

فصل چهارم

انواع کوانتیزرهای زمان و ADC های مبتنی بر آن

٤-۱ مقدمه ۵٦
٤-۲ نگاهی به ساختارهای تبدیل زمان به دیجیتال ۵۸
٤-۲-۱ ساختارهای اولیه ۵۸
٤-۲-۲ روشهایی برای افزایش دقت ۵۹
٤-۲-۲-۱) روش مبتنی بر خط تأخیر درجه بندی ۵۹
٤-۲-۲-۲) روش مبتنی بر جمع شدن پالس ٦۰
٤-۲-۲-۳) استفاده از تقویت کننده زمان ٦۱
٤-۲-۲-٤) ساختاری با عناصر تأخیر چند ورودی ٦٤
٤-۳) مبدلهای آنالوگ به دیجیتال مبتنی بر TDC ٦۸
٤-۳-۱) ساختار S. Naraghi ٦۸
٤-۳-۲) ساختار M. Z. Straayer ۷۰
٤-٤) تنها ساختار مشابه ساختار پیشنهاد شده ۷۳
٤-۵) نتیجه ۷٤
٤-٦ معرفی ساختارهای پیشنهاد شده ۷٤
٤-٦-۱ معرفی ساختار TDC پیشنهاد شده ۷۵
٤-٦-۲ ساختار ADC پیشنهاد شده ۷۷
٤-٦-۳ نتایج شبیه سازی ۸۳

فصل پنجم

نتیجه گیری و پیشنهادات

۵-۱ نتیجه گیری ۸٦

۵-۲ پیشنهادها ۸۷
مراجع ۸۸

فصل ۱

مقدمه

۱-۱) انگیزه

در دهه های اخیر با وجود اینکه ساختارهای مختلف تبدیل آنالوگ به دیجیتال در حال رشد بوده است، اما در مقابل آن سرعت رشد تکنولوژی ساخت مدارات دیجیتال بسیار سریعتر بوده است و به عبارت دیگر مدارهای آنالوگ نسبت به تکنولوژی ساخت مدارات دیجیتال عقب مانده اند چون در این تکنولوژی های پیشرفته CMOS، مدارات آنالوگ گریبانگیر محدودیتهایی می شوند و این محدودیت ها سبب می شود که به اندازه ساختارهای دیجیتال از رشد تکنولوژی منفعت نبرند. برای مثال در مدارات دیجیتال توان مصرفی با مربع ولتاژ تغذیه متناسب است[۱]، به همین دلیل برای صرفه جویی در توان مصرفی، در تکنولوژی های جدید ولتاژ تغذیه کاهش داده می شود اما نویز با این نسبت کاهش نمی یابد و باعث کاهش SNR [1]می شود[۱]. همچنین در تکنولوژی های زیر ۱۰۰nm نسبت $\frac{g_m}{g_{ds}}$ بطور قابل ملاحظه ای کاهش می یابد و تکنیکهای مداری از قبیل کسکود در ولتاژهای تغذیه زیر یک ولت با محدودیت مواجه می شود. از طرف دیگر پروسه ساخت استاندارد مدارات دیجیتال دارای مراحل کمتری می باشد و ساخت آن راحت تر و سریعتر است، در نتیجه قیمت تمام شده آن نسبت به ساختارهای آنالوگ بسیار پایین می باشد.

در چند سال اخیر با توجه به این محدودیت ها و قیمت، یک گرایش بسیار شدید به دیجیتال کردن تمام یا بخشی از بلوکهای سیگنال مخلوط[2] بوجود آمده است که مبدل آنالوگ به دیجیتال معمولاً یک بخش پر چالش در این بلوکها می باشد. یک راه حل برای فائق آمدن بر این مشکلات این است که به جای روش متداول پردازش سیگنال در حوزه ولتاژ، از پردازش سیگنال در حوزه زمان استفاده کنیم. چون با کاهش ولتاژ تغذیه دقت در حوزه زمان افزایش می یابد. از میان کل ساختارهای موجود برای تبدیل آنالوگ به دیجیتال، مبدلهای تک شیب[3] نزدیکترین ساختار را به

[1] Signal to Noise Ratio
[2] Mixed signal
[3] Single slope

یک مبدل دیجیتال حوزه زمان دارد. زیرا در این مبدلها در بلوک اول با استفاده از اجزای آنالوگ شامل خازن نمونه بردار، منبع جریان و مقایسه کننده ولتاژ، ولتاژ ورودی بصورت خطی به زمان تبدیل می شود و از این قسمت به بعد توسط یک مبدل زمان به دیجیتال با ساختار دیجیتال، زمان ایجاد شده را کوانتیزه می شود، این نوع مبدلها معمولاً برای سرعتهای پایین مورد استفاده قرار می گیرند. اخیراً با استفاده از پیشرفتهای حاصله در TDC ها سرعت این مبدلها افزایش یافته است و می توانند یکی از گزینه های مطلوب برای ADC دیجیتال باشد.

تلاشهای انجام شده برای سازگار کردن ADC ها با پروسه ساخت دیجیتال را می توان به سه دسته تقسیم کرد؛

در دسته اول ولتاژ ورودی فرکانس نوسان یک اسیلاتور کنترل شده با ولتاژ(VCO[1]) را تغییر می دهد و در زمان نمونه برداری تعداد نوسانات اسیلاتور را می شمارد و شروع شمارش با شروع نوسان VCO سنکرون می باشد و بین هر دو نمونه برداری یک فاز ریست وجود دارد. این دسته از مبدلها در حوزه زمان کار می کنند. این ساختارها به عناصر تأخیری نیاز دارند که یک رفتار خطی در مشخصه فرکانس–ولتاژ اسیلاتور ایجاد کند اما در ابتدا به علت کوچک بودن بازه خطی در عناصر تأخیر، سوئینگ ورودی بسیار کوچک بوده و سرعت نمونه برداری با افزایش بیت کاهش می یابد در نوع اخیر آن این بازه خطی تا یک ولت افزایش یافته است.

مبدلهای دسته دوم هم مانند دسته اول مبتنی بر VCO می باشند اما چون شمارش نوسانات VCO نسبت به لبه کلاک نمونه برداری آسنکرون می باشد و بین نمونه برداری های متوالی، VCO ریست نمی شود، یک ویژگی خاصی در نویز کوانتیزاسیون بوجود می آید و آن ویژگی، شکل دهی نویز کوانتیزاسیون بصورت مرتبه اول می باشد که به این طریق می توان این ساختار ها را گونه ای از مبدلهای فرا نمونه بردار دلتا سیگما[2] دانست که در حوزه زمان کار می کنند. بعضی از این ساختارها برای رسیدن به مراتب بالاتر شکل دهی نویز از طبقات آنالوگ متداول دلتا سیگما هم استفاده کرده اند.

در دسته سوم که با انگیزه پایین آوردن توان و سازگار کردن ساختار آنالوگ با پروسه ساخت دیجیتال در مبدلهای فلش[3] ایجاد شده اند نردبان مقاومتی حذف شده و سطوح مرجع مقایسه در مقایسه کننده ها بصورت داخلی با تغییر سایز ترانزیستورهای ورودی ایجاد شده است. البته برای افزایش دقت نیاز به کالیبراسیون دارد و همچنین این نوع مبدلها مانند ساختارهای متداول مبتنی بر پردازش ولتاژ هستند که نمی توان آنها را دیجیتال خواند و این ساختارها در این پایان نامه مورد بررسی قرار نمی گیرند [٤٧]–[٤٥]. در نوع جدید این مبدلها با بکارگیری الگوریتم تقریب متوالی (SA[4]) سعی شده تا این گونه مبدلها علاوه بر مزیت سازگاری با پروسه دیجیتال، توان مصرفی و فضای اشغالی کمی داشته باند.

[1] Voltage controlled oscillator
[2] Delta sigma
[3] Flash ADC
[4] Successive Approximation

به موازات پیشرفت ADC های حوزه زمان و دیجیتال، انگیزه شدیدی برای تبدیل زمان به دیجیتال (TDC) هم بوجود آمده است که ساختارهای تمام دیجیتالی دارند. زیرا با افزایش ساختارهای پردازشگر حوزه زمان لزوم وجود چنین بلوکهایی احساس می شود. این ساختارها این قابلیت را دارند که برای ایجاد یک ADC دیجیتال بکار گرفته شوند به شرطی که بتوان سیگنال آنالوگ را با اجزای دیجیتال بصورت خطی به حوزه زمان انتقال داد.

۱-۲) ساختار پایان نامه

ظهور VCO به عنوان کوانتیزر ولتاژ ابتدا در مبدلهای دلتا سیگما بوده است و پس از آن به عنوان یک بلوک مستقل برای ADC مورد توجه قرار گرفته است. اما چون ساختارهای دلتا سیگما شامل اجزای آنالوگ نیز می باشند، ابتدا در فصل دوم انواع مبدلهای دیجیتال که مبتنی بر VCO یا عناصر تأخیر هستند، مورد بررسی قرار گرفته اند و سپس در فصل سوم با انگیزه های اولیه استفاده از VCO در مبدلهای دلتا سیگما (به عنوان کوانتیزر ولتاژ) آشنا می شویم. در فصل چهارم به علت اهمیت پردازش سیگنال در حوزه زمان بعضی از ساختارهای ارائه شده برای TDC مورد بررسی قرار گرفته اند و دو مبدل آنالوگ به دیجیتال که اخیراً با استفاده از تکنیکهای جدید TDC ساخته شده اند مورد بررسی قرار گرفته اند. در همین فصل یک ساختار جدید تبدیل زمان به دیجیتال پیشنهاد شده است و با استفاده از آن یک ساختار جدید ADC همراه با نتایج شبیه سازی ارائه شده است و در فصل پنجم نتیجه گیری و کارهای پیشنهادی آینده بیان شده اند و در آخر مراجع استفاده شده آمده اند.

فصل ۲

مبدلهای دیجیتال مبتنی بر عناصر تأخیر و نوسان کننده کنترل شونده با ولتاژ

۲-۱) مقدمه

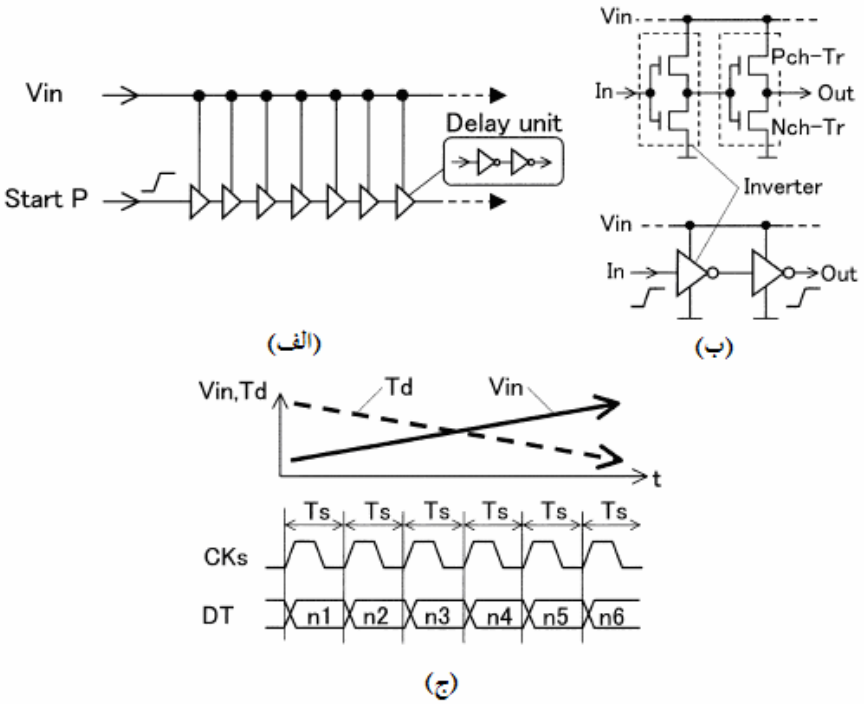
در دهه های اخیر با وجود اینکه ساختارهای مختلف تبدیل آنالوگ به دیجیتال در حال رشد بوده است، اما در مقابل آن سرعت رشد تکنولوژی ساخت مدارات دیجیتال بسیار سریعتر بوده است و به عبارت دیگر مدارهای آنالوگ نسبت به تکنولوژی ساخت مدارات دیجیتال عقب مانده اند چون در این تکنولوژی های پیشرفته CMOS، مدارات آنالوگ گریبانگیر محدودیتهایی می شوند و این محدودیت ها سبب می شود که به اندازه ساختارهای دیجیتال از رشد تکنولوژی منفعت نبرند. برای مثال در مدارات دیجیتال توان مصرفی با مربع ولتاژ تغذیه متناسب است، به همین دلیل برای صرفه جویی در توان مصرفی، در تکنولوژی های جدید ولتاژ تغذیه کاهش داده می شود اما نویز با این نسبت کاهش نمی یابد و باعث کاهش SNR می شود[۱]. همچنین در تکنولوژی های زیر ۱۰۰nm نسبت $\frac{g_m}{g_{ds}}$ بطور قابل ملاحظه ای کاهش می یابد و تکنیکهای مداری از قبیل کسکود در ولتاژهای تغذیه زیر یک ولت با محدودیت مواجه می شود. از طرف دیگر پروسه ساخت مدارات دیجیتال کوتاه تر بوده و قیمت تمام شده آن نسبت به ساختارهای آنالوگ بسیار پایین می باشد.

همانطور که در فصل قبل ذکر شد در ابتدا VCO به عنوان یک بلوک کوانتیزر در مبدل دلتا سیگما مورد توجه قرار گرفته است، اما با افزایش جذابیت های ساختار دیجیتال و رشد بیشتر تکنولوژی، از سال ۲۰۰۳ طراحان به این فکر افتادند که VCO را بصورت مستقل برای تبدیل آنالوگ به دیجیتال طراحی کنند و پس از آن ساختارهای کاملاً دیجیتال ارائه شده است.

۲-۲) بررسی کارهای گذشته

۲-۲-۱)ساختار Watanabe [۲]

در ابتدا اساس کار این مبدل را مورد بررسی قرار می دهیم. در این روش مطابق شکل۲-۱، قسمت اصلی این ساختار یک خط تأخیر می باشد که از معکوس کننده ها تشکیل شده است. به منظور کنترل تأخیر این عناصر تأخیر، ورودی آنالوگ به تغذیه عناصر تأخیر وصل شده است و باعث تغییر تأخیر آنها می شود. همانطور که در شکل ۲-۱ بصورت شماتیک نشان داده شده است با افزایش ولتاژ ورودی تأخیر عناصر تأخیر کاهش می یابد. با اعمال یک پالس به خط تأخیر، میزان پیشروی پالس در خط تأخیر در یک زمان ثابت، (تعداد عناصر تأخیر طی شده) بیانگر کد دیجیتال متناظر با آن ولتاژ ورودی می باشد چون با افزایش ولتاژ تأخیر کم شده و سرعت پیشروی پالس در خط تأخیر زیاد می شود و در نتیجه کد خروجی هم بزرگتر می شود. در این روش هیچ عنصر پسیوی شامل مقاومت یا خازن در مدار وجود ندارد.

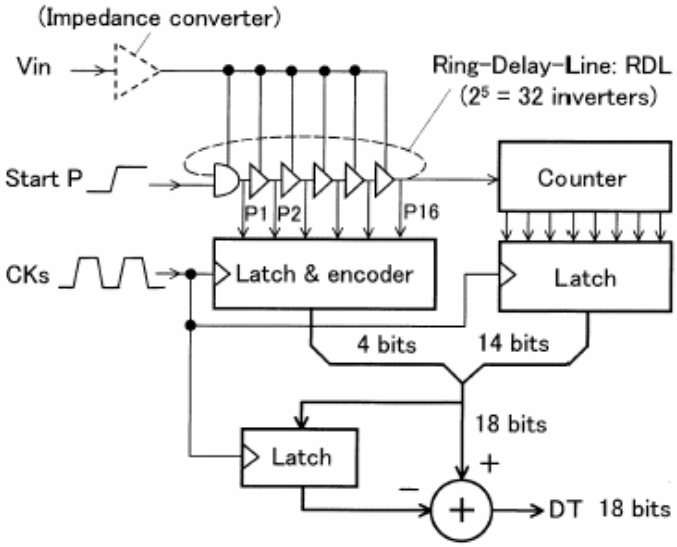


شکل۲-۱: اصول عملکرد الف) خط تأخیر به عنوان کوانتیزر ب) ساختار عناصر تاخیر ج) نحوه تغییرات تأخیر نسبت به ولتاژ ورودی بصورت شماتیک [۲]

از آنجایی که تعداد عناصر تأخیر که پالس از آنها عبور می کند وابسته به زمان نمونه برداری (T_s) است، بنابراین با افزایش زمان نمونه برداری تعداد بیت کد خروجی مبدل افزایش می یابد که این مطلب دراین مقاله معادل با افزایش دقت مبدل پنداشته شده است. اما مهم تر از آن این است که سرعت انتشار پالس در خط تأخیر متناسب با ولتاژ ورودی باشد تا مبدل رفتار خطی داشته باشد و افزایش T_s بدون توجه به رفتار خطی مبدل فقط تعدادبیت خروجی را زیاد می کند در حالی که مقدار SNDR بهبود نمی یابد.

به منظور کاهش دادن اندازه مدار و ساده تر کردن آن بجای یک خط تأخیر طولانی، از یک حلقه از عناصر تأخیر که یک VCO را تشکیل می دهد استفاده شده است که در شکل ۲-۲ نشان داده شده است. نحوه عملکرد مدار به این

صورت است که V_{in} به مدار اعمال می شود، بسته به مقدار V_{in} عناصر تاخیر دارای یک مقدار تاخیر معینی می گردند، سپس یک پالس با زمان معین (Ts) به مدار اعمال می شود. این پالس، نوسان کننده را راه اندازی می کند و هر بار که لبه ی سیگنال نوسان کننده از گیت تاخیر آخر عبور می کند یک واحد به مقدار قبلی شمارنده ١٤ بیتی اضافه می گردد در نهایت پس از اتمام زمان T_s مقدار موجود در شمارنده بیانگر بیتهای MSB[1] کد دیجیتال خروجی می باشد و وضعیت نهایی تمام گره های VCO بیانگر ٤ بیت LSB[2] می باشد. این دو بخش در دو ثبات ذخیره می شود و در کنار هم کد نهایی را ایجاد می کنند. چون VCO دارای ١٦ گره می باشد خروجی آن پس از رمزگذاری[3] به ٤ بیت باینری تبدیل می شود. در ساختارهای متداول وقتی یک شمارنده فقط لبه های بالا رونده سیگنال VCO را در یک مدت زمان ثابت می شمارد در واقع فاز خروجی VCO را با دقت 2π کوانتیزه می کند. اما ساختار حلقه نوسان بکار رفته در این مبدل با ساختار حلقه ای ساده متفاوت است و در [٣] ارائه شده است.

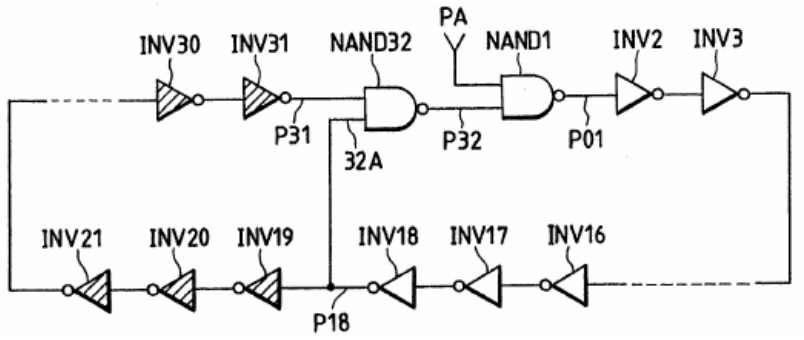


شکل٢-٢: بلوک دیاگرام ساختار ADC [٢]

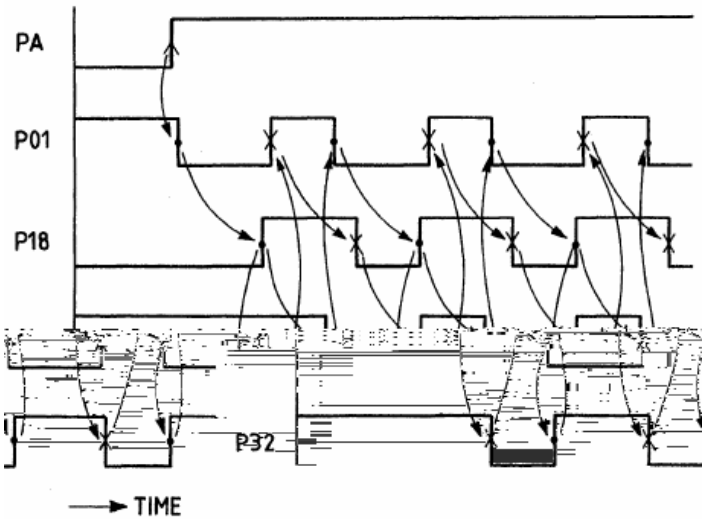
شکل ٢-٣ یک نوسان کننده حلقوی براساس [٣] نشان می دهد که لبه بالا رونده PA فعال ساز نوسان می باشد. در یک نوسان کننده حلقه ای معمولی در صورتی که فرض کنیم تأخیر انتشار عناصر تأخیر موجود در حلقه برابر با t_p باشد، دوره تناوب نوسان این نوسان کننده برابر با $2t_p$ می باشد یا به عبارت دیگر اگر هر گره ای از حلقه را در نظر بگیریم وضعیت آن هر t_p ثانیه یکبار معکوس می شود. اما در این ساختار ارائه شده متفاوت با توجه به سیگنالهای زمانی شکل٢-٤، با وجود یک اتصال میانی(P18 به 32A) که عناصر تأخیر حلقه را تقریباً به دو نیم تقسیم کرده وضعیت هر گره خروجی مطابق شکل هر t_p ثانیه یکبار معکوس می شود به عبارت دیگر فرکانس نوسان آن دو برابر فرکانس نوسان ساختار حلقه ای متداول می باشد(البته با فرض برابری عناصر تأخیر موجود در حلقه).

[1] Most significant bit
[2] Lowest significant bit
[3] encoder

سیگنالهای زمانی بخوبی این مطلب را نشان می دهند. اگرچه با این ساختار دقت کوانتیزاسیون فاز افزایش یافته است ولی در قسمت تبدیل ولتاژ به فاز رابطه به شدت عیر خطی می باشد.



شکل۲-۳: تکنیک بکار رفته در حلقه نوسان کننده [۳]



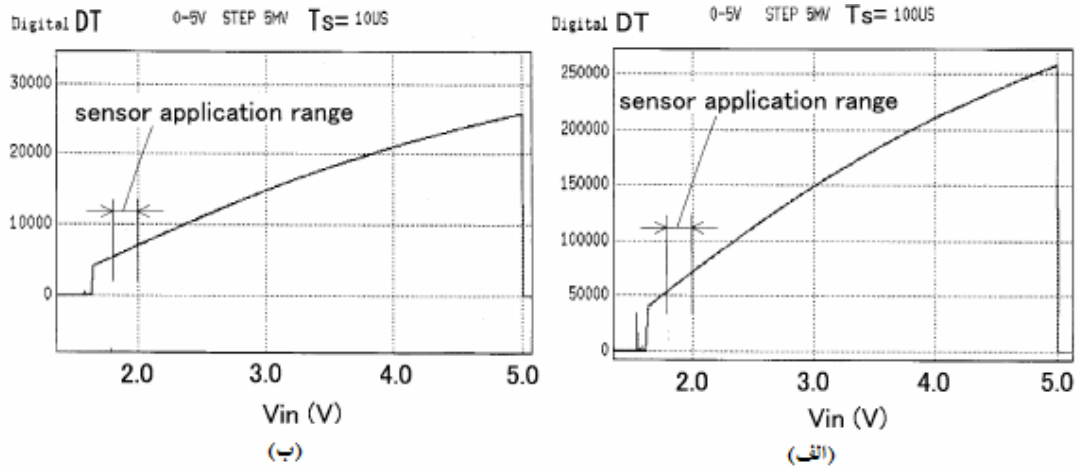
شکل۲-٤ : سیگنال های زمانی مربوط به نوسان کننده حلقوی شکل ۲-۳ [۳]

در مبدل شکل ۲-۲ اگر ولتاژ عنصر خارجی را نتوانیم به صورت مستقیم به ورودی ADC (V_{in}) وصل کنیم، می توانیم از یک مبدل امپدانس ورودی (بافر خط چین در شکل۲-۲) استفاده کنیم. لازم است که سیگنال T_s قابل تولید مجدد باشد و مینیمم بی نظمی در کلاک[1] وجود داشته باشد.

این ساختار با تکنولوژی 0.8μm CMOS ساخته شده است. نمودار کد خروجی برحسب ولتاژ ورودی در فرکانس های نمونه برداری $f_s = 10kHz$ و $f_s = 100kHz$ ($25^{\circ}c$) در شکل۲-۵ نشان داده شده است. در قسمت (الف) به ازای تغییر ولتاژ ورودی در بازه ۵-۱,٦۵ ولت، مقادیر دیجیتال خروجی در بازه تقریبی ۲٦۰۰۰۰-٤۰۰۰۰ بصورت متناظر با ورودی تغییر می کند. به عنوان مثال در رنج 1.8تا 2.0V که رنج کاری سنسورها می باشد مقدار دیجیتال خروجی بصورت متناظر در بازه ۷۲۰۰۰-۵۵۰۰۰ تغییر می کند. یعنی به ازای تغییرات ولتاژ ورودی در یک بازه 200mV ، ۱۷۰۰۰ کد خروجی متفاوت تولید می شود. بنابراین تفکیک ولتاژ (V_d) خیلی

[1] Clock

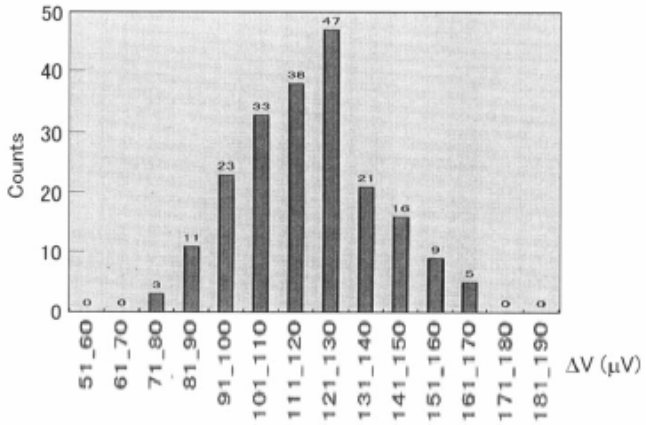
زیاد(14b) و تقریبا $12\,\mu V/LSB$ بدست می آید. در این بازه کوچک ورودی تنها $\pm 0.1\%FS$ رفتار غیر خطی داریم که مشکلی برای عملکرد سنسور ایجاد نمی کند (ضمنا در محدوده ۲ تا ۵ ولت $\pm 5.0\%FS$ رفتار غیر خطی دارد که باعث افت شدید SNDR می شود). همچنین در قسمت (ب) در رنج مشابه عملکرد سنسورها هنوز تفکیک ولتاژ (V_d) مقدار بالایی دارد(11bit). نتیجه می گیریم که در این ساختار به علت وجود رفتار کاملاً غیر خطی در مشخصه فرکانس- ولتاژ برای رسیدن به SNDR بالا باید ولتاژ در بازه های کوچک تغییر کند تا رفتار غیر خطی کمتر باشد از طرف دیگر برای اینکه بتوانیم بازه های کوچک ولتاژ را با دقت بالا کوانتیزه کنیم باید فرکانس نمونه برداری را بسیار کاهش دهیم.



شکل۲-۵ : مشخصه کد خروجی برحسب ولتاژ ورودی [۲] (الف) رنج ورودی ۱٫۶۵-۵ ولت در فرکانس نمونه برداری 10kHz (ب) رنج ورودی ۱٫۶۵-۵ ولت در فرکانس نمونه برداری 100kHz

شکل۲-۶ نمودار فراوانی برای تغییرات ولتاژی که باعث تغییر کد خروجی به کد متوالی بعد می شود را در فرکانس نمونه برداری $f_s = 100kHz$ در دمای $25^{\circ}c$ و ولتاژ ورودی 1.8V تا 1.824V نشان می دهد با توجه به نمودار رفتار غیر خطی حتی در این بازه کوچک ولتاژ مشهود می باشد. متوسط ریزولوشن ولتاژ $118.6\,\mu V/LSB$است.

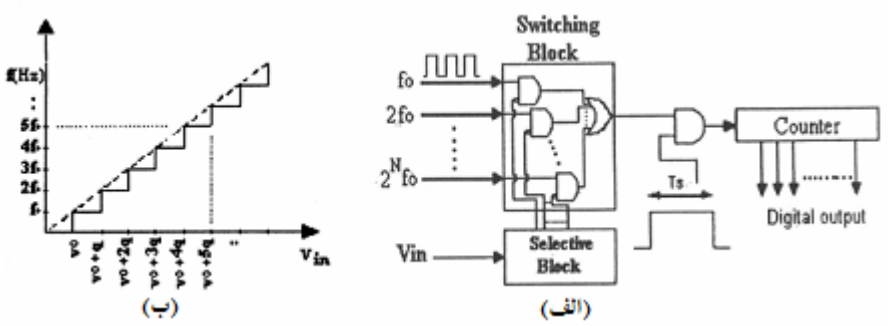
$(\Delta V = [v_{in_{\min}}\ at-code: M+1]-[v_{in_{\min}}\ at-code: M])$ (M بیانگر داده خروجی ADC).



شکل۲-٦ : نمودار فراوانی تغییرات ولتاژ متناظر با تغییر کد به کد مقدار دیجیتال خروجی در فرکانس نمونه برداری 100kHz و بازه ولتاژ 1.8V تا 1.824V [۲]

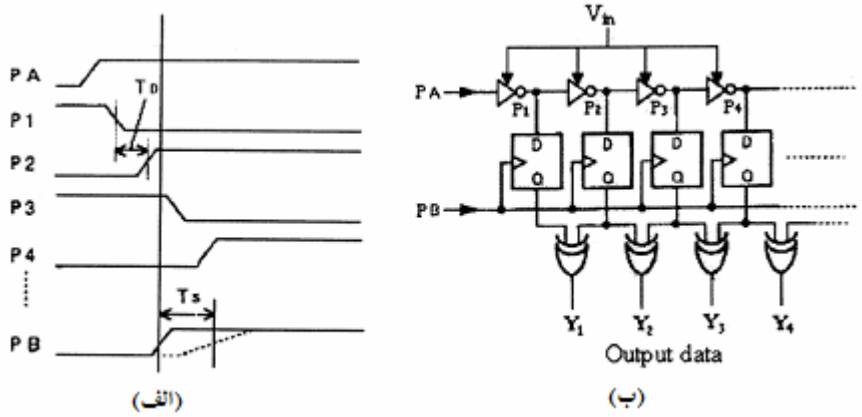
۲-۲-۲) ساختار A.Farahat [٤]

پس از ساختار تمام دیجیتال ارائه شده قبلی در [۲] ساختار دیگری ارائه شده است که عملکرد آن بدتر شده و هیچ مزیتی به چشم نمی خورد. در این مقاله ابتدا یک مدل مفهومی ارائه شده است که در شکل۲-۷ نشان داده شده است. در ورودی بلوک سوئیچ کننده به تعداد سطوح کوانتیزاسیون، سیگنالهای کلاک با فرکانس متفاوت وجود دارد (برای n بیت 2^n فرکانس f_0 تا $2^n f_0$). بر حسب اینکه مقدار ولتاژ ورودی چقدر باشد یکی از اسیلاتورها انتخاب شده و در طی یک دوره تناوب پالس ثابت ($T_s = 1/f_o$) به شمارنده اعمال می شود. بلوک سوئیچ کننده مطابق با شکل۲-۷ قسمت (الف) یک مدار منطقی ترکیبی می باشد که برای انتخاب و عبور دادن فرکانس مورد نیاز استفاده می شود که این انتخاب بسته به مقدار ورودی توسط بلوک انتخاب کننده انجام می شود.



شکل۲-۷: مدل بلوکی مبدل ADC پیشنهاد شده در این روش [٤]

ساختار پایه به اینصورت است که از یک خط تأخیر کنترل شونده با ولتاژ ورودی برای تولید کد دیجیتال استفاده شده است. بلوک اصلی و نمودار زمان بندی این مدار کنترل در شکل۲-۸ نشان داده شده است.

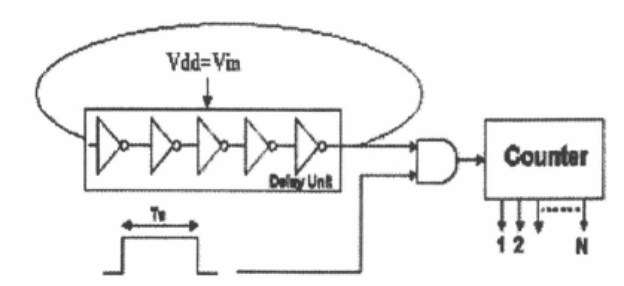


شکل۲-۸ : تبدیل ولتاژ به زمان با استفاده از مدار دیجیتال[٤]

گامهای معکوس شده در طی گیت های تاخیر به ترتیب P1 ، P2 ، P3 و ... می باشند که به صورت پایدار...۱۰۱۰ هستند. پروسه اندازه گیری با بالا رفتن پالس PA آغاز می گردد و سپس P1 ، P2 ، P3 و ... شروع به معکوس

شدن می کنند. زمانی که پالس PB شروع به بالا رفتن می کند، تعداد معکوس کننده هایی که خروجی آنها در اثر پالس PA تغییر کرده است بیانگر کد دیجیتال زمان اندازه گیری شده می باشد. برای تشخیص دادن این تعداد، در لحظه ای که پالس PB بالا می رود خروجی های Y را تا جایی که گذر یک به صفر اتفاق می افتد می شماریم یا به عبارت دیگر در این لحظه یک جمع کننده خروجی تمام XORها را باهم جمع می کند.

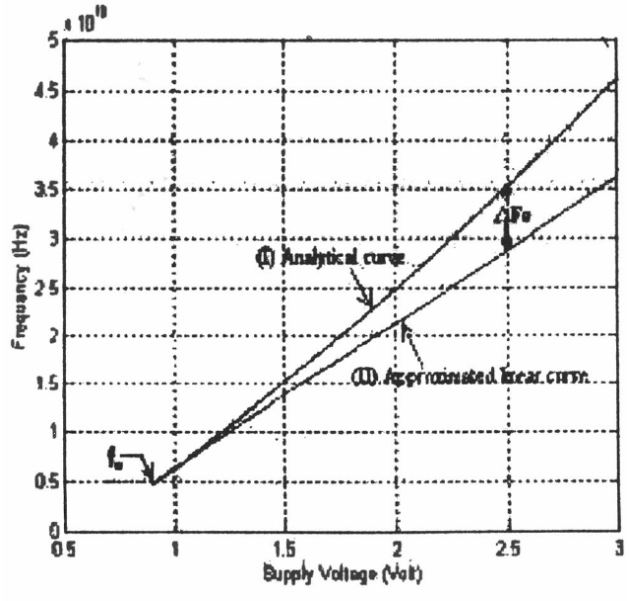
در این ساختار تعداد گیت های به کار برده شده به صورت فزاینده ای زیاد است. بنابراین برای کاهش پیچیدگی سخت افزاری یک مدار دیگر مطابق با شکل۲-۹ پیشنهاد شده است. در مدار پیشنهادی ولتاژ آنالوگ ورودی تنها با استفاده از یک اسیلاتور کنترل شونده با ولتاژ تبدیل به فرکانس شده است. سیگنال نوسان اسیلاتور مطابق با شکل۲-۹ در طی زمان ثابت T_s به شمارنده اعمال می شود، و از وضعیت خروجی گیتهای تأخیر در لحظه نمونه برداری استفاده ای نشده است و فاز خروجی VCO با دقت 2π کوانتیزه می شود، درنتیجه دقت این مبدل نسبت به ساختار قبلی بدتر شده است.



شکل۲-۹: مبدل آنالوگ به دیجیتال تصحیح شده[٤]

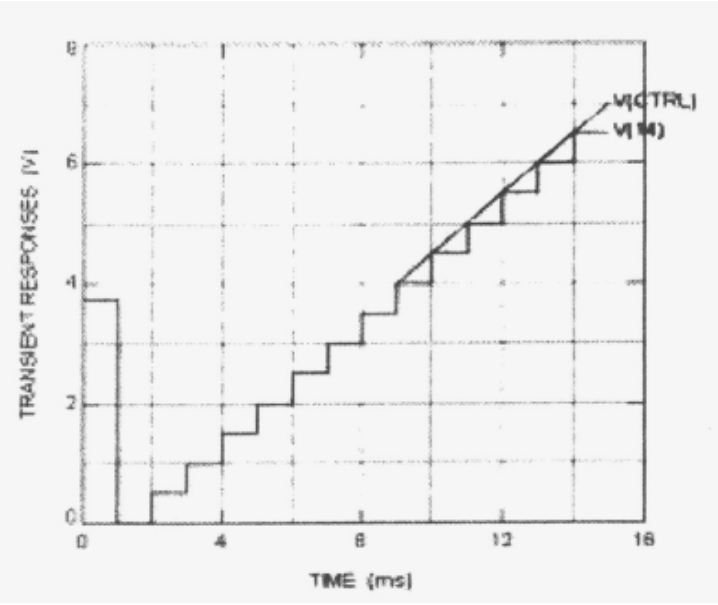
رفتار خطی در تغییرات فرکانس-ولتاژ نوسان کننده اینگونه بیان شده است که اگر منبع تغذیه از V_o به $V_o + q$ تغییر کند که q ولتاژ کوانتیزاسیون می باشد، در اینصورت فرکانس خروجی VCO کوچکتر مساوی f_o خواهد بود ($f_o = 1/T_s$ است و T_s زمان تبدیل می باشد) و شمارنده سطوح صفر را می شمارد و نسبت به لبه های مثبت و منفی غیر حساس است. در سطح کوانتیزاسیون دوم (2q) فرکانس خروجی باید $2f_o$ باشد. در طی زمان T_s تنها دو پالس در شمارنده ذخیره می شود. با توجه به اینکه عناصر تأخیر در حلقه اسیلاتور گیتهای معکوس کننده معمولی می باشند بنابراین رابطه ولتاژ کنترل و فرکانس نوسان یک رابطه غیر خطی است و اگر فرکانس نوسان برای $V_o + q$ برابر با f_o باشد نمی توان گفت فرکانس نوسان برای $V_o + 2q$ برابر با $2f_o$ و برای $V_o + 3q$برابر با $3f_o$ و... البته در یک قسمت از مقاله نمودار $\frac{1}{T_d}$ برحسب ولتاژ اعمال شده به یک گیت معکوس کننده را بصورت شکل۲-۱۰ بدست آورده است و آن را با تقریب خطی آن مقایسه کرده است. مشاهده می شود که با افزایش ولتاژ، خطای نمودار تقریبی بیشتر می شود ماکزیمم فرکانسی که رفتار مذکور را دنبال کند محدود می شود. از آنجایی که به ازای هر افزایش به اندازه q در ولتاژ، فرکانس به اندازه f_o افزایش می یابد باید $\Delta F_e \le F_0$ باشد. در اینصورت می توان گفت که به ازای هر افزایش به اندازه q در ولتاژ، فرکانس به اندازه ای افزایش می یابد که شمارنده در مدت زمان T_s یک واحد بیشتر بشمارد. با افزایش ولتاژ به جایی می رسیم که رابطه $\Delta F_e \le F_0$ نقض می شود و با

افزایش q ولت، شمارنده بیش از یک واحد نسبت به حالت قبل می شمارد. به این ترتیب رابطه بین ولتاژ ورودی و فرکانس معادل با آن، نشان داده شده در شکل۲-۷ (ب) را توجیه کرده است.



شکل۲-۱۰: رابطه فرکانس-ولتاژ یک معکوس کننده، (I)منحنی تحلیلی و (II)منحنی تقریبی [٤]

در نتایج شبیه سازی، اسیلاتور حلقه ای آن با مدل رفتاری توسط TSPIC طراحی شده و فرکانس اولیه آن $f_o = 1kHz$ و تغییرات آن $1\frac{KHz}{V}$ تعریف شده است، ولتاژ کوانتیزاسیون $0.5v$ است و مبدل شبیه سازی شده چهاربیت می باشد. به ورودی مبدل یک سیگنال شیب اعمال شده است، این سیگنال به همراه مقادیر کوانتیزه شده آن در شکل ۲-۱۱ نشان داده شده است که تنها نتیجه شبیه سازی این مقاله می باشد.



شکل۲-۱۱: نتیجه شبیه سازی مدار [٤]