دانشگاه گیلان

دانشکده فنی

پایان‌نامه کارشناسی ارشد

طراحی فلیپ‌فلاپ توان پایین با قابلیت تحمل خطای نرم

از:

سعیده شیرین زاده

استاد راهنما:

دکتر راهبه نیارکی اصلی

شهریور ۱۳۹۱

بسم الله الرحمن الرحیم

دانشکده فنی

گروه برق

گرایش الکترونیک

طراحی فلیپ‌فلاپ توان پایین با قابلیت تحمل خطای نرم

از:

سعیده شیرین زاده

استاد راهنما:

دکتر راهبه نیارکی اصلی

شهریور ۱۳۹۱

تقدیم به

مادر مهربانم که دعای پرمهرش همواره بدرقه راهم بوده است.

تشکر و قدردانی

اکنون که نگارش این پایان نامه با یاری خداوند متعال به پایان رسیده است، بر خود وظیفه می‌دانم که از زحمات و راهنمایی‌های ارزنده استاد ارجمندم خانم دکتر راهبه نیارکی اصلی که اصلی ترین نقش را در تعریف، شکل‌گیری و انجام این پایان‌نامه عهده‌دار بوده اند و استفاده از محضر ایشان همواره مایه‌ی مباهات بوده است خالصانه تشکر و قدردانی نمایم.

فهرست مطالب

چکیده فارسی خ

چکیده انگلیسی د

فصل ۱: مقدمه ای بر خطای نرم ۱

۱-۱- مکانیزم‌های شکست ۲
۱-۱-۱- شکست‌های دائمی (خطاهای سخت) ۲
۱-۱-۲- شکست‌های موقت (خطاهای نرم) ۴
۱-۲- منابع خطای نرم ۵
۱-۲-۱-ذرات آلفا ۵
۱-۲-۲-نوترون‌های پرانرژی ۷
۱-۲-۳-نوترون‌های کم‌انرژی ۷
۱-۳-اثرات رشد تکنولوژی بر نرخ خطای نرم ۸
۱-۴خطای نرم در حافظه‌ها ۹
۱-۴-۱-DRAM ۹
۱-۴-۲-SRAM ۱۰
۱-۵- خطای نرم در مدارهای منطقی ۱۱
۱-۵-۱-نقاب‌گذاری منطقی ۱۲
۱-۵-۲- نقاب‌گذاری الکتریکی ۱۲
۱-۵-۳- نقاب‌گذاری پنجره لچینگ ۱۲
۱-۶- اهمیت خطای نرم در لچ/ فلیپ‌فلاپ ۱۳

فصل ۲: مقابله با خطای نرم در تحقیقات گذشته ۱۵

۲-۱- روش‌های مقابله با خطای نرم ۱۶
۲-۱-۱- مقابله با خطای نرم در سطح فرآیند ساخت ۱۷
۲-۱-۱-۱- تصفیه فلز ساخت ۱۷
۲-۱-۱-۲-افزایش بار بحرانی و کاهش بار جمع‌شده ۱۷
۲-۱-۲- مقابله با خطای نرم در سطح مدار و سیستم ۱۸
۲-۱-۲-۱- افزونگی ۱۸
۲-۱-۲-۲- کدهای تشخیص و تصحیح خطا ۲۱
۲-۱-۲-۳-طراحی مقاوم (HBD) ۲۲
۲-۲- ساختارهای لچ و فلیپ‌فلاپ مقاوم موجود ۲۴
۲-۲-۱-فلیپ‌فلاپ TMR ۲۵
۲-۲-۲-فلیپ‌فلاپ BISER ۲۸
۲-۲-۳-لچ SEH ۳۱
۲-۲-۴-لچ STPE ۳۳
۲-۲-۵-لچ SIN-LC ۳۵
۲-۲-۶-لچ SEM ۳۷
۲-۲-۷-لچ اشمیت تریگر کسکود ۳۹

فصل ۳: بررسی معیارهای سنجش عملکرد در لچ‌ها و فلیپ‌فلاپ‌ها **۴۲**
۳-۱- معیارهای زمانی ۴۳
۳-۱-۱- زمان آماده‌سازی (T_{setup}) ۴۴
۳-۱-۲- زمان نگهداری (T_{hold}) ۴۶
۳-۲- تخمین نرخ خطای نرم (SER) ۴۷
۳-۲-۱- آزمون شتاب‌دهنده ۴۷
۳-۲-۲- برآورد SER با استفاده از جریان واقعی ذرات اتمسفری ۴۸
۳-۲-۳- روش تحلیلی ۴۹
۳-۳- تغییرات فرآیند ۵۱
۳-۳-۱- تغییرات هندسی ۵۲
۳-۳-۲- تغییرات ماده ۵۳
۳-۳-۳- مدلسازی تغییرات فرآیند ۵۳

فصل ۴: ساختار پیشنهادی؛ شبیه‌سازی و مقایسه **۵۶**
۴-۱- معرفی لچ مقاوم پیشنهادی ۵۷
۴-۲- نتایج شبیه‌سازی ۶۰
۴-۲-۱- ارزیابی مقاومت مدار پیشنهادی ۶۱
۴-۲-۲- مقایسه اطمینان‌پذیری و عملکرد ۶۷
۴-۲-۳- بررسی اثر تغییرات محیط و فرآیند ۷۱

فصل ۵: نتیجه‌گیری **۷۴**
۵-۱- نتیجه‌گیری ۷۵
۵-۲- پیشنهاد برای تحقیقات آینده ۷۶

مراجع **۷۷**

فهرست شکل‌ها

شکل (۱-۱) تغییر سرعت انتشار خروجی ۳
شکل (۱-۲) برخورد تشعشعات پر انرژی به زیرلایه سیلیکنی ۵
شکل (۱-۳) شکل‌گیری و تجمع بار الکتریکی ناشی از برخورد ذرات پرانرژی ۶
شکل (۱-۴) نمودار تغییرات شار نوترونی نسبت به ارتفاع ۷
شکل (۱-۵) تجزیه اتمی نوترون ناشی از برخورد نوترون حرارتی ۸
شکل (۱-۶) سلول DRAM ۹
شکل (۱-۷) تغییرات نرخ خطای نرم نسبت به تکنولوژی در DRAM ۱۰
شکل (۱-۸) سلول SRAM شش ترانزیستوری ۱۱
شکل (۱-۹) تغییرات نرخ خطای نرم نسبت به تکنولوژی در SRAM ۱۱
شکل (۱-۱۰) نقاب‌گذاری منطقی در ساختارهای منطق ترکیبی ۱۲
شکل (۱-۱۱) نقاب‌گذاری الکتریکی در گیت NOT ۱۲
شکل (۱-۱۲) نقاب‌گذاری پنجره لچینگ ۱۳
شکل (۲-۱) NMOS در ساختار SOI فیلم باریک ۱۸
شکل (۲-۲) استفاده از افزونگی زمانی برای محافظت در برابر خطای نرم ۱۹
شکل (۲-۳) تصحیح خطا با استفاده ازTMR ۲۰
شکل (۲-۴) تشخیص خطا با استفاده از DMR ۲۰
شکل (۲-۵) بکارگیری همزمان افزونگی زمانی و سخت‌افزاری ۲۱
شکل (۲-۶) تشخیص خطا با استفاده از بیت توازن ۲۲
شکل (۲-۷) افزودن خازن‌های C_A و C_B به سلول SRAM ۲۳
شکل (۲-۸) افزودن خازن C_C به به سلول SRAM ۲۳
شکل (۲-۹) افزایش ثابت‌زمانی RC با افزودن مقاومت‌های R_1 و R_2 ..... ۲۴
شکل (۲-۱۰) وقوع خطای نرم در فلیپ‌فلاپ پایه-پیرو مرجع ۲۵
شکل (۲-۱۱) ساختار فلیپ‌فلاپ TMR ۲۵
شکل (۲-۱۲) زمان‌بندی فلیپ‌فلاپ TMR ۲۶
شکل (۲-۱۳) طراحی در سطح ترانزیستور فلیپ‌فلاپ TMR ۲۷
شکل (۲-۱۴) ساختار فلیپ‌فلاپ‌های مقاوم در برابر خطای نرم BISER ۲۹
شکل (۲-۱۵) ساختار C-element در سطح ترانزیستور و جدول درستی آن ۲۹
شکل (۲-۱۶) مدارهای تاخیر ۳۰
شکل (۲-۱۷) لچ SEH ۳۱
شکل (۲-۱۸) سلول SRAM شش ترانزیستوری استاندارد ۳۲
شکل (۲-۱۹) سلول DICE ۳۳
شکل (۲-۲۰) لچ STPE ۳۴
شکل (۲-۲۱) لچ مرجع ۳۵
شکل (۲-۲۲) طرح شماتیک ساختار فیدبک ۳۶
شکل (۲-۲۳) ساختار لچ SIN-LC در سطح ترانزیستور ۳۶
شکل (۲-۲۴) بافر اشمیت‌تریگر ۳۸
شکل (۲-۲۵) ساختار لچ SEM ۳۸
شکل (۲-۲۶) (الف) لچ SEM اصلاح شده (ب) لچ اشمیت‌تریگر کسکود ۳۹
شکل (۲-۲۷) نمایش حالت ناپایداری در عناصر ترتیبی دوحالته ۴۰
شکل (۳-۱) نمایش زمان‌بندی در یک فلیپ‌فلاپ حساس به لبه بالارونده ۴۳

شکل (۳-۲) افزایش تاخیر کلاک به خروجی وقتی که دیتا به ناحیه آماده‌سازی نزدیک می‌شود ... ۴۴
شکل (۳-۳) نمایش تعاریف زمان‌های آماده‌سازی (T_{setup}) و نگهداری (T_{hold}) ... ۴۵
شکل (۳-۴) نمایش زمان‌بندی در یک لچ حساس به سطح بالا ... ۴۵
شکل (۳-۵) افزایش تاخیر کلاک به خروجی وقتی که دیتا به ناحیه نگهداری نزدیک می‌شود ... ۴۶
شکل (۳-۶) اندازه‌گیری طیف حاصل از دستگاه‌های شتاب‌دهنده نوترونی متفاوت ... ۴۸
شکل (۳-۷) پالس جریان نمایی برای مدلسازی خطاهای نرم ... ۵۰
شکل (۳-۸) مدلسازی خطای نرم در وارونگر CMOS ... ۵۰
شکل (۳-۹) توزیع گوسین استفاده شده برای مدلسازی تغییرات PVT ... ۵۴
شکل (۳-۱۰) مدلسازی تغییرات Vth با استفاده از یک منبع ولتاژ DC گوسین در Hspice ... ۵۵
شکل (۴-۱) لچ مقاوم پیشنهادی ... ۵۷
شکل (۴-۲) ساختار لچ پیشنهادی در هر دو فاز کلاک ... ۵۹
شکل (۴-۳) ساختار پیشنهادی در آرایش یک فلیپ‌فلاپ پایه-پیرو ... ۶۰
شکل (۴-۴) مدار اشمیت تریگر شش ترانزیستوری ST2 ... ۶۱
شکل (۴-۵) منحنی هیسترزیس اشمیت‌تریگر ST2 ... ۶۲
شکل (۴-۶) منحنی هیسترزیس اولیه برای اشمیت‌تریگرST1 ... ۶۳
شکل (۴-۷) مدار اشمیت‌تریگر چهار ترانزیستوری وارونگر ST1 ... ۶۴
شکل (۴-۸) منحنی هیسترزیس مدار اشمیت‌تریگر ST1 ... ۶۴
شکل (۴-۹) شکل موج گره‌های مدار پیشنهادی در حالت خطای گذرای منفی در گره In1 ... ۶۵
شکل (۴-۱۰) طرح جانمایی لچ مقاوم پیشنهادی ... ۶۹
شکل (۴-۱۱) نمایش مقادیر جدول (۴-۲) در نمودار ستونی ... ۷۰

فهرست جدول‌ها

جدول (۲-۱) کاهش نرخ خطای نرم (SER) به ازای افزایش تاخیر ۳۱
جدول (۳-۱) بررسی ساختارهای FPGA در آزمایش رزتا ۴۹
جدول (۴-۱) مقادیر توان، تاخیر و باربحرانی ساختار پیشنهادی و سایر لچ‌های مقاوم بررسی شده ۶۷
جدول (۴-۲) نسبت Q_{crit}/PDP در لچ پیشنهادی و سایر ساختارهای مقایسه شده ۶۸
جدول (۴-۳) مقادیر توان و تاخیر برای فلیپ‌فلاپ پیشنهادی و سایر فلیپ‌فلاپ‌های مورد بررسی ۷۱
جدول (۴-۴) احتمال خطا در حضور تغییرات محیط و فرآیند به ازای تزریق پالس خطا با بار ثابت ۷۲

چکیده

طراحی فلیپ‌فلاپ توان پایین با قابلیت تحمل خطای نرم

سعیده شیرین‌زاده

همزمان با رشد تکنولوژی ساخت در مدارهای VLSI، از یک سو ابعاد مدارها، ولتاژ تغذیه و خازن گره‌ها کاهش یافته و از سوی دیگر فرکانس کلاک افزایش یافته است. این عوامل سبب کاهش شدید بار بحرانی در گره‌های حساس مدارهای نانوالکترونیک شده و حساسیت این مدارها را نسبت به خطاهای گذرای ناشی از تشعشعات پرانرژی به طور قابل ملاحظه‌ای افزایش داده‌اند. در این پایان‌نامه، یک لچ مقاوم حساس به سطح با قابلیت تحمل خطای نرم معرفی می‌شود. لچ پیشنهادی از ویژگی نقاب‌گذاری مدارهای اشمیت‌تریگر برای حذف پالس‌های گذرا و مقاوم‌سازی گره‌های داخلی استفاده می‌کند. همچنین تاخیر ناخواسته مدارهای اشمیت‌تریگر در یک تکنیک افزونگی زمانی بهینه بکار گرفته شده تا از انتشار خطاهای گذرا به گره خروجی جلوگیری کند. نتایج شبیه‌سازی در تکنولوژی CMOS با اندازه مشخصه ۴۵ nm نشان می‌دهد که لچ پیشنهادی نسبت به سایر ساختارهای مقاوم موجود از بار بحرانی بالاتری برخوردار است. مقدار بار بحرانی در ساختار پیشنهاد شده در ازای افزایش قابل قبول هزینه در توان و تاخیر، به بیش از ۳ برابر بار بحرانی لچ مرجع افزایش یافته است. ضمن آن که، کاهش میزان نرخ خطای نرم در ساختار پیشنهادی به دلیل افزونگی زمانی بکار رفته در آن در واقع بسیار بیشتر از مقداری است که تنها بار بحرانی آن نشان می‌دهد. نتایج آنالیز مونته‌کارلو انجام شده برای ارزیابی تغییرات فرآیند، ولتاژ و دما نیز مقاومت مدار پیشنهادی را در برابر این قبیل ناپایداری‌ها تایید می‌کند.

واژه‌های کلیدی: خطای نرم، بار بحرانی، ویژگی نقاب‌گذاری، افزونگی زمانی

Abstract

Soft Error Resilience Low Power Flip-Flop Design

Saeideh Shirinzadeh

With advances in VLSI technology, circuit dimension, supply voltage and node capacitance have been decreased and clock frequency has been increased. All of these trends cause a deep reduction in critical charge (Q_{crit}) of sensitive nodes in nanoelectronic circuits. Small critical charge, in a modern high density VLSI design considerably increases susceptibility to radiation induced transient faults. In this thesis, we propose a reliable level sensitive latch design simulated in a 45nm CMOS technology. The proposed latch utilizes the masking property of Schmitt trigger circuits to eliminate transient pulses and harden internal nodes. The undesired delay of Schmitt trigger circuits is also employed in a lower overhead time redundancy scheme to prevent glitches to propagate to the output. Experimental results of the introduced design reveal that its critical charge is more than other existing hardened latches. The critical chrge of the proposed reliable latch is increased up to 3 times compared to the reference latch with a fair increase in power and delay. Monte Carlo simulations sweeping process, voltage and temperature have also verified resistance of the proposed latch to these variations.

Keywords: soft error, critical charge, masking property, time redundancy

فصل ۱:

مقدمه

مقدمه

رشد نمایی تعداد ترانزیستورهای موجود در تراشه‌ها، موانع جدیدی را در این زمینه ایجاد کرده است. کاهش مقیاس تکنولوژی ساخت و پیامدهای آن، سبب افزایش انواع شکست در قطعات نیمه هادی و اتصالات داخلی آن‌ها شده است. در این فصل، در ابتدا مکانیزم‌های شکست و به طور خاص خطاهای نرم که به یک چالش در تکنولوژی‌های پیشرفته تبدیل شده‌اند بررسی می‌کنیم. سپس اثرات این دسته از خطاها بر مدارات مجتمع و اهمیت آن در عناصر ذخیره ترتیبی نظیر لچ و فلیپ‌فلاپ و لزوم ارائه طراحی‌های مقاوم برای این ساختارها را مورد بحث قرار می‌دهیم. در پایان فصل، خلاصه‌ای از نکات مهم آن به همراه توضیح کوتاهی از ادامه پایان‌نامه و سایر سر فصل‌های آن آورده شده است.

۱-۱- مکانیزم‌های شکست

مکانیزم‌های شکست را می‌توان در دو دسته عمده شکست‌های دائمی و شکست‌های موقت طبقه‌بندی نمود. شکست‌های دائمی در اثر حضور یک نقص فیزیکی در سیستم روی می‌دهند. این نقص‌ها می‌توانند در طول فرآیند تولید ایجاد شوند و یا ممکن است نتیجه اثرات ناشی از طول عمر تراشه نظیر مهاجرت الکترونی و یا خرابی اکسید باشند. شکست‌های موقت که به خطاهای نرم نیز تعبیر می‌شوند به دلیل برخورد پرتوهای کیهانی و ذرات پر انرژی نظیر ذرات آلفا به پس زمینه سیلیکنی به وجود می‌آیند.

۱-۱-۱- شکست‌های دائمی (خطاهای سخت)

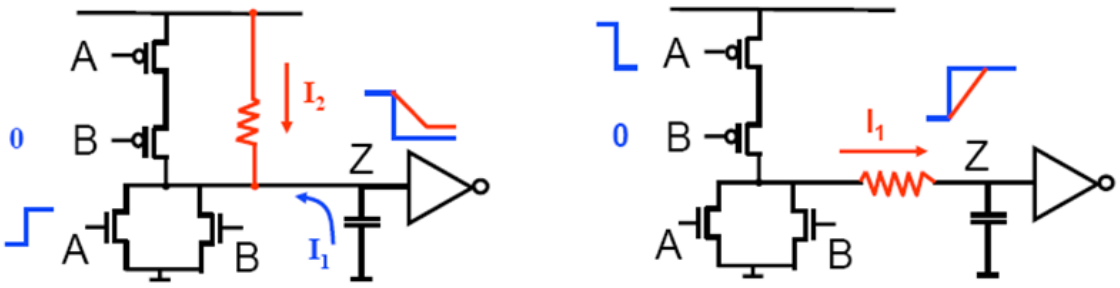
مهاجرت الکترونی به معنای جابجایی اتم‌های فلز در اثر فشار ناشی از حرکت الکترون‌ها است. در این پدیده الکترون‌ها با اعمال اندازه حرکت کافی به اتم‌های فلز آن‌ها را از جایگاهشان در شبکه فلزی خارج کرده و سپس از طریق نفوذ[1] جابجا می‌کنند. این فرآیند برای شروع، به یک نقص در شبکه فلزی نیاز دارد. معمولا، حضور اجتناب‌ناپذیر مکان‌های خالی در شبکه و الگوهای نامنظم مرز بلورهای فلزی می‌توانند آغازکننده مهاجرت الکترونی در یک فلز باشند. خرابی‌های ناشی از این پدیده عموما به صورت بازمقاومتی[2] و پل مقاومتی[3] بروز کرده و تحت

[1] Diffusion

[2] Resistive open

[3] Resistive bridge

بهترین شرایط اگر مانع از کار مدار یا سیستم نشوند، عملکرد آن را پایین می‌آورند [۱]. همانطور که در شکل (۱-۱) نشان داده می‌شود، هنگام صفر بودن یکی از ورودی‌ها در گیت AND دو ورودی، وجود باز مقاومتی انتشار خروجی جدید را در صورت تغییر ورودی دوم از "۱" به "۰" و یا بالعکس با تاخیر انجام می‌دهد. همچنین، وجود پل مقاومتی سرعت تغییر خروجی را در صورت انتقال ورودی A از "۱" به "۰" افزایش، و از "۰" به "۱" کاهش می‌دهد.



(ب) (الف)

شکل (۱-۱) (الف) سرعت انتشار خروجی با تغییر ورودی A از "۱" به "۰" و بالعکس کاهش می‌یابد؛ (ب) سرعت انتشار خروجی با تغییر ورودی A از "۱" به "۰" افزایش، و از "۰" به "۱" کاهش می‌یابد

از اکسید برای ایزوله کردن گیت از زیرلایه سیلیکنی استفاده می‌شود. در تکنولوژی‌های پیشرفته CMOS، قابلیت اطمینان اکسید گیت بیش از پیش اهمیت می‌یابد. دو دلیل عمده خرابی اکسید، افزایش طول عمر آن و تزریق حامل‌های داغ است. با کاهش ابعاد ادوات الکترونیکی، به منظور افزایش سرعت سوئیچینگ از ضخامت اکسید نیز رفته رفته کاسته می‌شود. اکسیدهای باریک سریع‌تر از نوع ضخیم آن‌ها در اثر تله‌های الکترونی موجود در وجه مشترک اکسید، مستهلک می‌گردند. از طرفی، منبع تغذیه و ولتاژهای کاری مدارها متناسب با کوچک‌تر شدن اندازه‌ها تغییر نکرده‌اند و این مسئله باعث افزایش میدان الکتریکی در ادوات نیمه‌هادی شده است. یک الکترون برای آن که اصطلاحا به یک حامل داغ تبدیل شود تنها به 10^4 V/cm میدان الکتریکی نیاز دارد که این شرایط به سادگی در ترانزیستورهای با طول گیت کمتر از 100 nm فراهم می‌شود. با افزایش میدان الکتریکی، الکترون انرژی کافی به دست آورده و در گیت تونل می‌زند و با تغییر ولتاژ آستانه (V_T) اطمینان‌پذیری مدار را کاهش می‌دهد [۱].

۱-۱-۲- شکست‌های موقت (خطاهای نرم)

زمانی که یک ذره پرانرژی مانند نوترون، ذره آلفا و یا یک یون سنگین به زیرلایه سیلیکنی برخورد می‌کند، سبب ایجاد یونیزاسیون در آن می‌شود. چنین رویدادی بسته به فاکتورهایی مثل انرژی ذره برخوردی، محل برخورد، پتانسیل گره و مقدار بار ذخیره شده در آن می‌تواند باعث واژگونی دیتای ذخیره شده شود. به چنین رویدادی اصطلاحا رویداد گذرا[1] (SET) می‌گویند. در صورتی که یک SET باعث تغییر یک بیت در یک مدار ترکیبی، سلول حافظه، رجیستر و یا فلیپ‌فلاپ شود به آن خطای نرم گفته می‌شود. خطای نرم را همچنین رویداد واژگونی[2] (SEU) نیز می‌نامند. ارزیابی میزان رخ دادن خطای نرم در یک سیستم، نرخ خطای نرم[3] (SER) نامیده می‌شود. واحد اندازه‌گیری SER، شکست در زمان[4] (FIT) می‌باشد و معادل یک شکست در 10^9 ساعت کاری است [۳،۲].

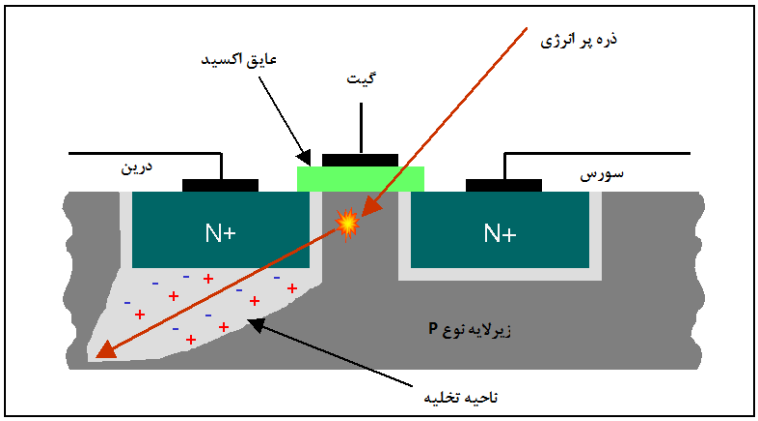
افزایش روزافزون تقاضا برای مدارها و سیستم‌های با چگالی بالا و توان مصرفی پایین، سبب کاهش ابعاد ترانزیستورها و در نتیجه کاهش ولتاژ ذخیره شده در گره‌ها شده است. با کوچک تر شدن مقیاس تکنولوژی‌ها، ظرفیت خازنی گره‌ها کاهش یافته و متعاقبا ولتاژ تغذیه نیز به منظور ثابت نگه داشتن میدان الکتریکی پایین آورده می‌شود. از این رو، مقدار شارژ مورد نیاز یک گره برای حفظ حالت آن در برابر پالس‌های گذرای حاصل از برخورد ذرات پرانرژی به شدت کاهش یافته است. امروزه خطاهای نرم به مکانیزم غالب شکست در ادوات الکترونیک مدرن و مهم‌ترین چالش در اطمینان‌پذیری آن‌ها تبدیل شده است [۴]. SER در تراشه‌های صنعتی کنترل شده در محدوده 100-1000 FIT گزارش می‌شود، در حالی که نرخ شکست‌های ناشی از خطاهای سخت چیزی در حد 1-100 FIT است [۵].

[1] Single event transient

[2] Single event upset

[3] Soft error rate

[4] Failure in time



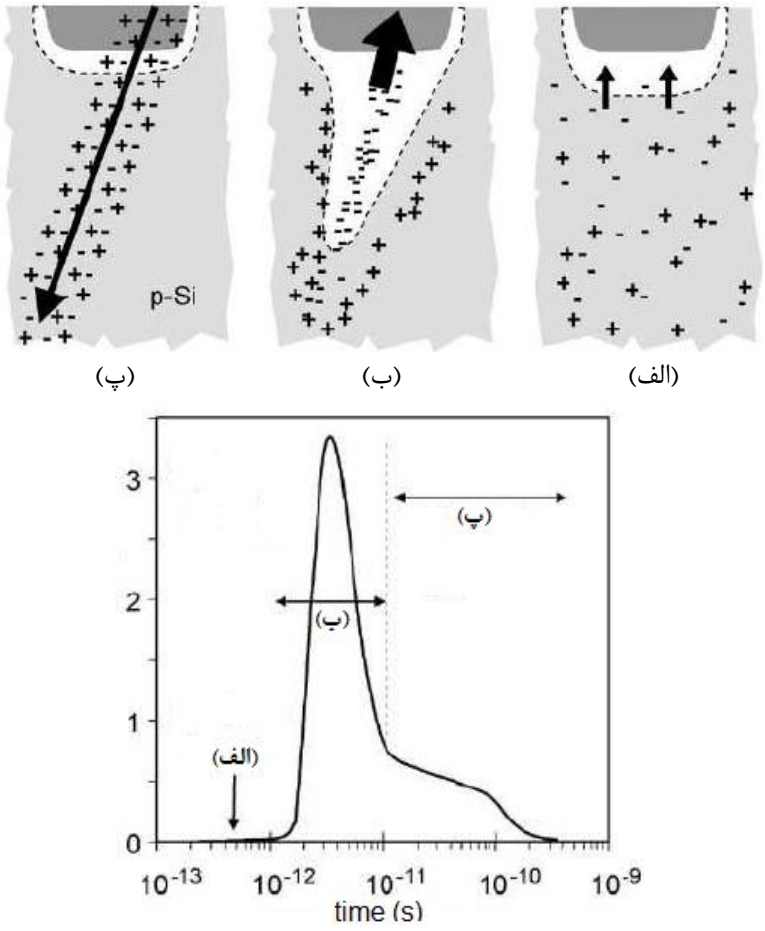
شکل (۱-۲) برخورد تشعشعات پر انرژی به زیرلایه سیلیکنی

۱-۲- منابع خطای نرم

ذرات آلفا، نوترون‌های کیهانی پرانرژی و همچنین نوترون‌های کم‌انرژی به ترتیب منابع عمده خطای نرم را تشکیل می‌دهند [۴]. در ادامه هر یک از این منابع به اختصار توضیح داده می‌شود.

۱-۲-۱- ذرات آلفا

ذرات آلفا یا مستقیما از ناخالصی‌های موجود در مواد بسته‌بندی ساطع می‌شوند و یا از برهم کنش بین نوترون‌های حرارتی و بورن (B) موجود در نیمه‌هادی نوع p به وجود می‌آیند. یک ذره آلفا از دو نوترون و دو پروتون تشکیل شده و در واقع همان اتم هلیم (He) است که دو الکترون خود را از دست داده است. ذرات آلفا عموما از تجزیه ایزوتوپ‌های ناپایدار ^{238}U، ^{235}U، و ^{232}TH ساطع می‌شوند. وجود این ناخالصی‌ها در بسته‌بندی ادوات نیمه‌هادی سبب انتشار ذرات آلفا با انرژی‌هایی در رنج ۴ تا ۹ مگا الکترون ولت می‌گردد.

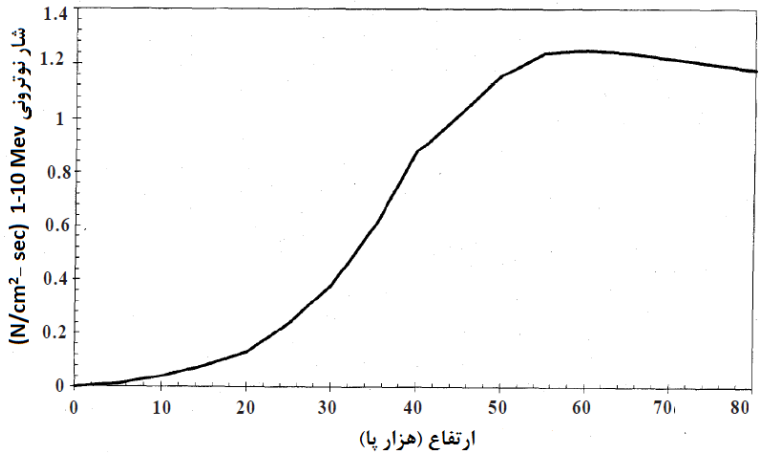


شکل (۱-۳) شکل‌گیری و تجمع بار الکتریکی ناشی از برخورد ذرات پرانرژی [۴] (الف) یونیزاسیون زیرلایه؛ (ب) جابجایی حامل‌ها؛ (پ) بازترکیب و پخش حامل‌ها

برهم کنش یک ذره آلفا و زیرلایه سیلیکنی ذاتا یک فرآیند الکتریکی است. زمانی که یک ذره پرانرژی به داخل زیرلایه نفوذ می‌کند، آن را یونیزه کرده و سبب تولید جفت‌های الکترون حفره می‌شود. شکل(۱-۳) چگونگی شکل‌گیری و تجمع بار را در یک پیوند p-n تحت بایاس معکوس نشان می‌دهد. الکترون‌ها و حفره‌های حاصل از برخورد، تحت بایاس معکوس به ترتیب به سمت بالاترین پتانسیل در ناحیه نفوذی n و پایین‌ترین پتانسیل در ناحیه نفوذی p جابجا می‌شوند. این بار جمع‌آوری شده در مدت کوتاهی (کمتر از ۱ نانو ثانیه) بازترکیب شده یا در اثر نفوذ در سطح پیوند پخش می‌شود. این تجمع و جهت‌گیری ناگهانی بار یک پالس جریان تیز را به وجود می‌آورد که می‌تواند دیتای ذخیره شده را واژگون کند. هرچقدر انرژی ذره آلفا بزرگتر باشد، به عمق بیشتری از زیرلایه نفوذ کرده و تعداد الکترون حفره بیشتری تولید می‌کند و در نتیجه پیک پالس جریان نیز بزرگتر خواهد بود [۳].

۱-۲-۲- نوترون‌های پرانرژی

عمده پرتوهایی که ادوات سیلیکنی را تحت تاثیر قرار می‌دهند منشا کیهانی دارند. در اثر فعل و انفعال این پرتوها با اتمسفر زمین، آبشاری از ذرات ثانویه تولید می‌شود. این ذرات ثانویه نیز به نوبه خود ذرات جدیدی را تولید کرده و این روند به همین ترتیب ادامه می‌یابد. در نهایت چیزی حدود ۱٪ از این شار به سطح زمین می‌رسد. نوترون‌های پرانرژی بخش عمده این شار را تشکیل می‌دهند. شکل(۱-۴) نمودار شار نوترونی را نسبت به ارتفاع از سطح زمین نشان می‌دهد. این نوترون‌های پرانرژی به خودی خود در سیلیکن تغییری ایجاد نمی‌کنند، اما برهم‌کنش غیرالاستیک آن ها با مواد تراشه باعث شکستن اتم سیلیکن به یون‌های سبک‌تر و ذراتی از قبیل پروتون، نوترون و همچنین ذرات آلفا می‌گردد. انرژی انتقال‌یافته طی این واکنش چیزی حدود ۱۵ مگا الکترون ولت و بسیار بزرگتر از انرژی یک ذره آلفاست. بعضی اثرات خطای نرم مانند واژگونی همزمان چندبیتی تنها می‌تواند اثر برخورد چنین نوترون‌های پرانرژی‌ای باشد [۳].



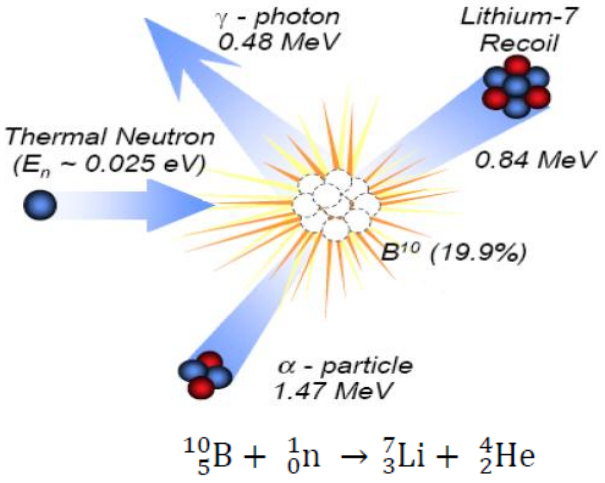
شکل (۱-۴) نمودار تغییرات شار نوترونی نسبت به ارتفاع [۶]

۱-۲-۳- نوترون‌های کم‌انرژی

ذرات ثانویه ناشی از برهم‌کنش نوترون‌های کم‌انرژی کیهانی و بورن موجود در ادوات نیمه‌هادی سومین منبع عمده ذرات یونیزه‌کننده است. این نوترون‌ها انرژی‌ای کمتر از ۱.۵ مگا الکترون ولت دارند و اصطلاحا به آن‌ها نوترون‌های حرارتی گفته می‌شود. برون به طور گسترده به عنوان افزودنی در نیمه‌هادی نوع p به کار برده می‌شود. همچنین از آن در تولید لایه‌های دی‌الکتریک BPSG[1] نیز استفاده می‌شود. برون دارای دو ایزوتوپ B^{11} و B^{10} است که به

[1] Boron doped phosphosilicate glass

ترتیب ۸۰.۱٪ و ۱۹.۹٪ از اتم‌های برون موجود را تشکیل می‌دهند. B^{10} اتمی ناپایدار است و زمانی که در معرض تشعشع نوترون‌های کم‌انرژی قرار می‌گیرد شکسته شده و یک یون لیتیم و یک ذره آلفا برجا می‌گذارد. این ذرات ثانویه برای ایجاد خطای نرم در تراشه انرژی کافی دارند. نرخ خطای نرم ناشی از حضور برون با جایگزینی لایه‌های BPSG در تکنولوژی‌های بالاتر از 0.25 µm تا حد زیادی کاهش یافته است. شکل (۱-۵) تجزیه اتمی برون را توسط یک نوترون حرارتی نشان می‌دهد [۳].



$$^{10}_{5}\mathrm{B} + {}^{1}_{0}\mathrm{n} \rightarrow {}^{7}_{3}\mathrm{Li} + {}^{4}_{2}\mathrm{He}$$

شکل (۱-۵) تجزیه اتمی نوترون ناشی از برخورد نوترون حرارتی [۲]

۱-۳- اثرات رشد تکنولوژی بر نرخ خطای نرم

همراه با پیشرفت روزافزون تکنولوژی ساخت ادوات الکترونیکی، ابعاد، ولتاژتغذیه و خازن گره‌ها کاهش می‌یابند، در حالی که بر فرکانس کاری مدارها همچنان افزوده می‌شود. با کاهش ابعاد تراشه‌ها، چگالی مدارها و سیستم‌های موجود در آن‌ها بالا می‌رود. در نتیجه، تراکم بالای مدارها و سیستم‌ها نسبت به تکنولوژی‌های پیشین، سبب افزایش تعداد گره‌های حساس در مقدار مشخصی از سطح شده است. به علاوه با کوچک‌تر شدن مقیاس، از ظرفیت خازنی گره‌ها کاسته شده و نتیجتا بار بحرانی[۱] (Q_{crit}) که حداقل بار لازم برای تغییر سطح گره است، به مراتب کاهش یافته است. از این رو، حتی بار جمع شده[۲] (Q_{coll}) ناشی از برخوردهای با انرژی بسیار پایین نیز می‌تواند در گره SEU ایجاد کند. غیر از کاهش اندازه مدارها، Q_{crit} همچنین به دلیل استفاده از منابع تغذیه کوچک‌تر در تکنولوژی‌های پیشرفته، به شدت کاهش یافته است. در چنین شرایطی، روند رو به افزایش فرکانس کلاک در تکنولوژی‌های جدید نیز احتمال انتشار یک SET در مسیر داده را افزایش می‌دهد [۳]. همانطور که توضیح داده

[1] Critical charge

[2] Collected charge