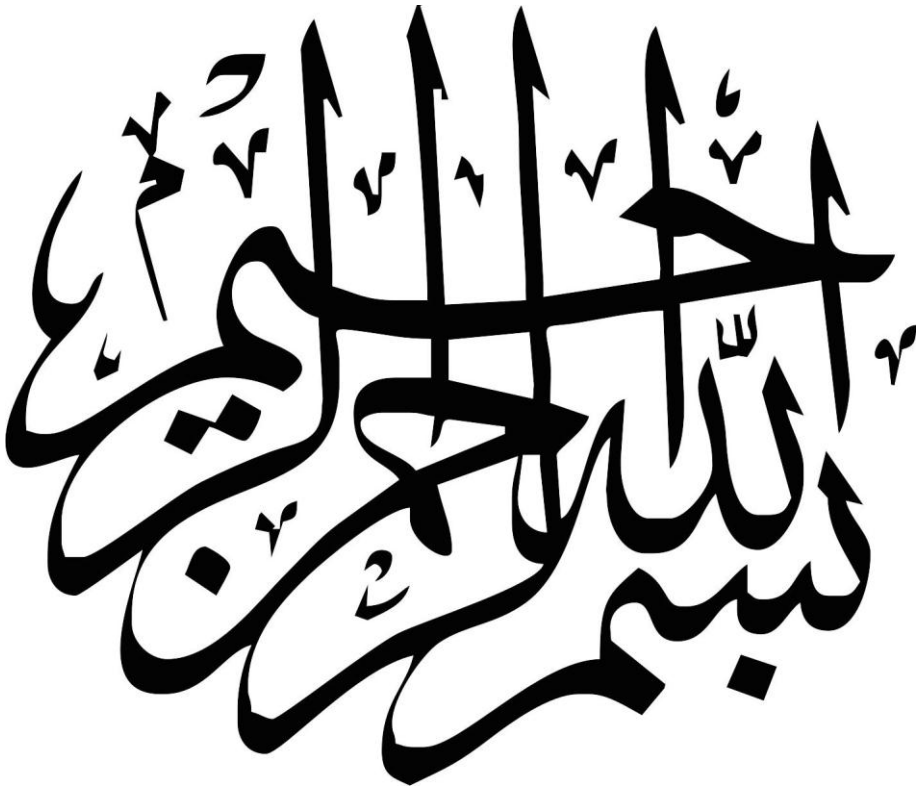

بسم الله الرحمن الرحيم

دانشکده فنی

گروه مهندسی برق

گرایش الکترونیک

طراحی یک ناقل جریان CMOS ولتاژ و توان پایین به منظور کنترل مد جریانی مدولاسیون PWM

از:

محمدرضا پناهدار

استاد راهنما:

دکتر علیرضا صابرکاری

دکتر راهبه نیارکی

شهریور ۱۳۹۰

تقدیم

به یک نگاه مهربانانه

مادرم

و

روح پاک پدرم

تشکر و قدردانی

قبل از هر سخنی باید از استاد راهنمای ارجمندم آقای دکتر صابرکاری که در تهیه و تکمیل این پایان نامـه از راهنمـایی هـای ارزنده ایشان بهره برده ام تشکر و قدردانی نمایم.

از مادرم و خواهرانم که در تمامی مراحل زندگی مشوق و پشتیبانم بوده اند سپاسگزارم.

از دوست عزیزم آقای مهندس عباس کرکریان تشکر می نمایم.

فهرست مطالب

چکیده فارسی ..... ز

چکیده انگلیسی ..... ط

فصل اول: مقدمه ۱

۱-۱ مدارهای مد جریان ۲

۱-۲ مزیت های مدارهای مد جریان ۳

۱-۲-۱پهنای باند وسیع ۳

۱-۲-۲ رنج دینامیکی وسیع ۳

۱-۲-۳ کوچک کردن میکرونی ۳

۱-۲-۴ سرعت عملکرد بیشتر ۳

۱-۲-۵ نرخ چرخش بیشتر ۳

۱-۳ ساختار پایان نامه ۴

فصل دوم : ناقل های جریان ۵

۲-۱ مقدمه ۶

۲-۲ ناقل های جریان بر اساس پیشینه ۶

۲-۲-۱ ناقل جریان نسل اول ۶

۲-۲-۲ ناقل جریان نسل دوم ۷

۲-۲-۳ ناقل جریان نسل سوم ۱۰

۲-۳ کلاس بندی ناقل جریان بر اساس جریان استراحت ۱۱

۲-۴ کاربردهای ناقل جریان نسل ۱۲

۲-۴-۱ تقویت کننده جریان ۱۲

۲-۴-۲ مبدل ولتاژ به جریان ۱۳

۲-۴-۳ انتگرال گیر جریان ۱۳

۲-۴- ۴ مشتق گیر جریان ۱۴

۲-۴- ۵ بافر جریان ۱۴

۲-۲-۶ جمع کننده جریان ۱۴
۲-۴-۷ تقویت کننده ولتاژ ۱۵
۲-۲-۸ انتگرال گیر ولتاژ..... ۱۵
۲-۴-۹ مشتق گیر ولتاژ ۱۶
۲-۴-۱۰ جمع کننده ولتاژ ۱۶
۲-۴-۱۱ مبدل امپدانس منفی ۱۶
۲-۴-۱۲ ضرب کننده خازنی ۱۷
۲-۴-۱۳ اسیلاتورها ۱۸

فصل سوم : بررسی توپولوژی های مختلف ناقل جریان ۱۹

۳-۱ مقدمه ۲۰
۳-۲ ناقل جریان بر اساس ترانزیستور ۲۰
۳-۳ ناقل جریان بر اساس آینه جریان ۲۱
۳-۴ ناقل جریان بر اساس زوج دیفرانسیل ۲۶
۳-۵ ناقل جریان بر اساس تقویت کننده عملیاتی ۳۶

فصل چهارم : طراحی و شبیه سازی مدار مدولاسیون عرض پالس با استفاده از ناقل جریان..... ۳۹

۴-۱ مقدمه ۴۰
۴-۲ ناقل جریان پیشنهادی ۴۰
۴-۳ پیاده سازی مدار تولید کننده مدولاسیون عرض پالس..... ۴۴
۴-۳-۱ تولید کننده موج مثلثی ۴۴
۴-۳-۲ سلف پیاده سازی شده با استفاده از ناقل ۴۵
۴-۳-۳ مقایسه کننده جریان..... ۴۷
۴-۴ نتایج شبیه سازی..... ۴۸
۴-۵ جدول مقایسه ۵۴
۴-۶ پیاده سازی سلف با استفاده از AD844 ..... ۵۴

فصل پنجم : نتیجه گیری و کار های آینده ۵۸

۵-۱ نتیجه گیری ۵۹

۵-۲ کار های آینده ۶۰

مراجع ۶۱

فهرست جدول ها

جدول ۳-۱ ابعاد ترانزیستورها در ناقل جریان شکل ۳-۷ ..... ۲۴
جدول ۳-۲ نتایج شبیه سازی ناقل جریان شکل ۳-۷ ..... ۲۵
جدول ۳-۳ ابعاد ترانزیستورها در ناقل جریان شکل ۳-۱۷ ..... ۳۰
جدول ۳-۴ ابعاد ترانزیستورها در ناقل جریان شکل ۳-۲۰ ..... ۳۲
جدول ۳-۵ ابعاد ترانزیستورهای شکل ۳-۲۳ ..... ۳۴
جدول ۳-۶ ابعاد ترانزیستور ناقل جریان شکل ۳-۲۹ ..... ۳۸
جدول ۴-۱ ابعاد ترانزیستورها در شکل ۴-۳ ..... ۴۲
جدول ۴-۲ مقایسه ناقل جریان این پایان نامه با ناقل جریان های ارائه شده در سالهای اخیر..... ۴۲
جدول ۴-۳ ابعاد ترانزیستورها در مقایسه کننده شکل ۴-۱۰ ..... ۴۷
جدول ۴-۴ جدول ۴-۴ مقایسه ماکزیمم فرکانسی پایان نامه با مقالات..... ۵۴
جدول ۴-۵ مشخصات AD844 ..... ۵۴

فهرست شکل ها

شکل ۱-۱ مقایسه نرخ چرخش در مدارهای مد ولتاژ و مد جریان ۴

شکل ۲-۱ بلوک ناقل جریان نسل اول ۷

شکل ۲-۲مدل Nullator-norator در ناقل جریان نسل اول ۷

شکل ۲-۳ بلوک ناقل جریان نسل دوم ۸

شکل ۲-۴ بلوک های پایه ناقل جریان منفی و مثبت ۸

شکل ۲-۵ مدل Nullator-norator برای ناقل جریان نسل دوم ۹

شکل ۲-۶ مدل های واقعی ناقل جریان مثبت و منفی ۹

شکل ۲-۷ بلوک ناقل جریان نسل سوم ۱۰

شکل ۲-۸ ناقل جریان های کلاس A ۱۱

شکل ۲-۹ ناقل جریان های کلاس AB ۱۲

شکل ۲-۱۰ تقویت کننده جریان با استفاده از ناقل جریان نسل دوم ۱۳

شکل ۲-۱۱ مبدل ولتاژ به جریان توسط ناقل جریان نسل دوم ۱۳

شکل ۲-۱۲ انتگرال گیر جریان با استفاده از ناقل جریان نسل دوم ۱۳

شکل ۲-۱۳ مشتق گیر جریان با استفاده از ناقل جریان نسل دوم ۱۴

شکل ۲-۱۴ بافر جریان با استفاده از ناقل جریان نسل دوم ۱۴

شکل ۲-۱۵ جمع کننده جریان با استفاده از ناقل جریان نسل دوم ۱۵

شکل ۲-۱۶ تقویت کننده ولتاژ با استفاده از ناقل جریان نسل دوم ۱۵

شکل ۲-۱۷ انتگرال گیر ولتاژ با استفاده از ناقل جریان نسل دوم ۱۵

شکل ۲-۱۸ مشتق گیر ولتاژ با استفاده از ناقل جریان نسل دوم ۱۶

شکل ۲-۱۹ جمع کننده ولتاژ با استفاده از ناقل جریان ۱۶

شکل ۲-۲۰ مبدل امپدانس منفی با استفاده از ناقل جریان نسل دوم ۱۷

شکل ۲-۲۱ ضرب کننده خازنی با استفاده از ناقل جریان نسل دوم ۱۷

شکل ۲-۲۲ اسیلاتور با استفاده از ناقل جریان ۱۸

شکل ۳-۱ ناقل جریان بر اساس ترازیستور NMOS ۲۰

شکل ۳-۲ مدار معادل برای تحلیل سیگنال کوچک ۲۰
شکل ۳-۳ ناقل جریان بر اساس آینه جریان ۲۱
شکل ۳-۴ مدار معادل سیگنال کوچک آینه جریان ۲۲
شکل ۳-۵ ناقل جریان نسل دوم مثبت ۲۲
شکل ۳-۶ ناقل جریان نسل دوم کلاس AB بر اساس آینه جریان ۲۳
شکل ۳-۷ ناقل جریان بر اساس آینه جریان ۲۴
شکل ۳-۸ مقاومت ورودی r_x ۲۵
شکل ۳-۹ نسبت انتقال جریان I_Z/I_X ۲۵
شکل ۳-۱۰ مقاومت خروجی r_z ۲۶
شکل ۳-۱۱ ولتاژ گره X برحسب گره ۲۶
شکل ۳-۱۲ ناقل جریان بر اساس زوج دیفرانسیل ۲۷
شکل ۳-۱۳ ناقل جریان بهبود یافته بر اساس زوج دیفرانسیل ۲۸
شکل ۳-۱۴ آنالیز سیگنال کوچک مدار ۲۸
شکل ۳-۱۵ ناقل جریان بر اساس زوج دیفرانسیل ۲۹
شکل ۳-۱۶ ناقل جریان کلاس AB با بهبود بایاس ۳۰
شکل ۳-۱۷ ولتاژ های V_X و V_Y ۳۱
شکل ۳-۱۸ نسبت انتقال جریان I_Z/I_X ۳۱
شکل ۳-۱۹ ناقل جریان کلاس AB بر اساس زوج دیفرانسیل نوع p ۳۲
شکل ۳-۲۰ دنبال کردن ولتاژ بین گره های X و Y ۳۳
شکل ۳-۲۱ انتقال جریان بین گره X و گره Z ۳۳
شکل ۳-۲۲ ناقل جریان کلاس AB به صورت RAIL-TO-RAIL ۳۴
شکل ۳-۲۳ ولتاژهای V_X و V_Y ۳۵
شکل ۳-۲۴ نسبت انتقال جریان ۳۵
شکل ۳-۲۵ خطی پذیری جریان در گره خروجی ۳۶
شکل ۳-۲۶ امپدانس پارازیتی گره X ۳۶
شکل ۳-۲۷ ناقل جریان بر اساس تقویت کننده عملیاتی ۳۷

شکل ۳-۲۸ ناقل جریان بر اساس تقویت کننده عملیاتی جبران شده میلر ۳۷
شکل ۳-۲۹ شبیه سازی R_x ۳۸
شکل ۳-۳۰ شبیه سازی i_x/i_z ۳۸

شکل ۴-۱ ناقل جریان پیشنهادی ۴۱
شکل ۴-۲ دنبال کردن ولتاژ گره ورودی Y توسط گره X ۴۲
شکل ۴-۳ دنبال کردن جریان گره ورودی X توسط گره خروجی Z ۴۳
شکل ۴-۴ انتقال ولتاژ بین گره های X و Y ۴۳
شکل ۴-۵ انتقال جریان بین گره های X و Z ۴۳
شکل ۴-۶ بلوک دیاگرام شبیه ساز سلف با استفاده از ناقل جریان ۴۴
شکل ۴-۷ بلوک دیاگرام مدار تولید کننده PWM ۴۵
شکل ۴-۸ بلوک دیاگرام تولید کننده موج مثلثی ۴۶
شکل ۴-۹ پاسخ فرکانس سلف اکتیو ۴۶
شکل ۴-۱۰ مقایسه کننده جریان ۴۷
شکل ۴-۱۱ پالس ولتاژ ورودی به بلوک تولید کننده PWM ۴۸
شکل ۴-۱۲ جریان مثلثی تولید شده ۴۸
شکل ۴-۱۳ جریان ورودی به مقایسه کننده با مقدار جریان مرجع صفر ۴۹
شکل ۴-۱۴ ولتاژ خروج با زمان روشن بودن ۵۰٪ ۴۹
شکل ۴-۱۵ جریان ورودی به مقایسه کننده جریان با مقدار جریان مرجع ۲۳µ- ۴۹
شکل ۴-۱۶ ولتاژ خروجی با زمان روشن بودن ۲۴٪ ۵۰
شکل ۴-۱۷ جریان ورودی به مقایسه کننده جریان با مقدار جریان مرجع ۲۳µ ۵۰
شکل ۴-۱۸ ولتاژ خروجی با زمان روشن بودن ۷۶٪ ۵۰
شکل ۴-۱۹ شکل ۴-۱۹ نمودار Duty cycle بر حسب جریان مرج ۵۳
شکل ۴-۲۰ بازیابی و حذف پوش ۵۱
شکل ۴-۲۱ جریان ورودی به مقایسه کننده با مقدار جریان مرجع صفر ۵۲
شکل ۴-۲۲ ولتاژ خروج با زمان روشن بودن ۵۰٪ ۵۲

شکل ۴-۲۳ جریان ورودی به مقایسه کننده جریان با مقدار جریان مرجع ۱۳µ ۵۲
شکل ۴-۲۴ ولتاژ خروجی با زمان روشن بودن ۷۰٪ ۵۳
شکل ۴-۲۵ جریان ورودی به مقایسه کننده جریان با مقدار جریان مرجع ۱۳µ- ۵۳
شکل ۴-۲۶ ولتاژ خروجی با زمان روشن بودن ۳۰٪ ۵۳
شکل ۴-۲۷ بلوک AD844 ..... ۵۴
شکل ۴-۲۸ پیاده سازی سلف شناور با استفاده از AD844 ..... ۵۵
شکل ۴-۲۹ ولتاژ مثلثی خروجی از مدار شبیه ساز سلف ۵۶
شکل ۴-۳۰ ولتاژ خروجی با زمان روشن بودن ۸۲٪ ۵۶
شکل ۴-۳۱ ولتاژ خروجی با زمان روشن بودن ۱۸٪ ۵۷

فهرست علائم اختصاری

CMOS : Complementary Metal–Oxide–Semiconductor

CC : Current Conveyor

CCI : First Generation Current Conveyor

CCII : Second Generation Current Conveyor

CCIII: Third Generation Current Conveyor

CCCII : Current Controlled Current Conveyor

CGCCII : Current Gain Controlled Conveyor

CFOA : Current Feedback Operational Amplifier

C_{OX} : Thin oxide capacitance per unit

DCC : Differential Current Conveyor

DOCCII: Dual Output Current Conveyor

DVCCII : Differential Voltage Current Conveyors

FDCCII : Fully Differential Current Conveyors

GBW : Gain-bandwidth product

gm : Gate transconductance

γ : Bulk threshold parameter

Ix : X node current (input current)

Iz : Z node current (output current)

L : Channel length

N : Network

Na : Adjonit Network

NIC : Negative Impedance Conversion

NMOS : N-channel Metal Oxide Semiconductor

OFC : Operational Floating Conveyor

OTA : Operational Transconductance Amplifier

PMOS : P-channel Metal Oxide Semiconductor

Rx : X node impedance

TSMC : Taiwan Semiconductor Manufacture Company

UCCII : Universal Current Conveyor

VOA : Voa voltage-mode Operational Amplifier

EER : Eenvelope Elimination and restoration Technique

چکیده

طراحی یک ناقل جریان CMOS ولتاژ و توان پایین به منظور کنترل مد جریانی مدولاسیون PWM

محمد رضا پناهدار

PWM مدولاسیونی است که در آن سیگنال خروجی مدوله شده پالسی با فرکانس ثابت و Duty Cycle آن متناسب با سیگنال ورودی است. این نوع مدولاسیون کاربردهای زیادی در مدارهای کنترل الکترونیکی، الکترونیک قدرت، اندازه گیری و نسل سوم و چهارم تلفن های همراه دارد. متداول ترین روش پیاده سازی PWM مقایسه سیگنال ورودی با سیگنال دندانه اره ای است که می تواند بصورت آنالوگ یا دیجیتال تولید شود. بنابراین سیگنال PWM به دو صورت تقسیم می‌شود: PWM زمان پیوسته یا Natural PWM (NPWM) و PWM زمان گسسته یا Uniform PWM (UPWM). اگرچه UPWM مزایایی از قبیل حساسیت کمتر به تغییرات المان‌ها و قابلیت برنامه‌ریزی دارد، ولی Aliasing ناشی از سوئیچینگ و اعوجاج هارمونیکی ناشی از اثرات کوانتیزاسیون زمانی روی اعوجاج درون باند تأثیر منفی می‌گذارد. به منظو کاهش این اثرات باید فرکانس سوئیچینگ افزایش یابد و به همین دلیل NPWM ارجحیت خواهد داشت. بیشتر ساختارهای NPWM بر پایه تقویت کننده عملیاتی مد ولتاژ (VOA) هستند. ولی این تقویت کننده ها دارای محدودیت هایی نظیر حاصل ضرب پهنای باند در بهره ثابت و نرخ چرخش محدود هستند که باعث کاهش عملکرد کلی می شوند. در این پایان نامه یک NPWM مد جریان طراحی می شود که در آن یک سلف اکتیو بر اساس ناقل جریان (CCII) به عنوان تولید کننده موج مثلثی جریان (TCWG) مورد استفاده قرار می گیرد و یک مقایسه کننده جریان برای مقایسه جریانهای مثلثی و مرجع به TCWG متصل می شود و سیگنال PWM خروجی را تولید می کند. در نهایت بلوک طراحی شده به کمک HSPICE در تکنولوژی CMOS 0.18μm و ولتاژ تغذیه ۱.۵± ولت شبیه سازی شده است. در ناقل جریان طراحی شده میزان توان مصرفی ۵۳μW و پهنای باند دنبال کننده ولتاژ و دنبال کننده جریان به ترتیب ۴۰MHz و ۳۸۰MHz است. در مدار تولید کننده موج مثلثی جریان پیشنهادی فرکانس کار، ۵MHz است. که به منظور مقایسه با جریان مرجع به مقایسه کننده جریان اعمال می شود.

کلید واژه : مدولاسیون عرض پالس، مقایسه کننده جریان، ناقل جریان، توان پایین، ولتاژ پایین.

Abstract

Design of a Low Power Low Voltage CMOS Current Conveyor for Current Mode Control of the PWM Modulation

Mohamad Reza Panahdar

PWM is a kind of modulation where the output modulated signal is a pulse with fixed frequency and its duty cycle is proportional to input signal. This type of modulation is used in electronic control circuits, power electronics, measurement, and third and fourth generation cells phones. The most common implementation of PWM is comparing the input signal with a triangular (double-sided) or saw-tooth (single-sided) signal. The saw-tooth or triangular signal can be generated either in analog or digital domain. Therefore, there are two possibilities: continues time or natural sampling PWM (NPWM) and discrete time or uniform sampling PWM (UPWM). UPWM has not only switching aliases but also harmonic distortion due to the time quantization effects in the compared signal. For this reason, the NPWM is widely used and multiple implementations have been proposed. But, most of the realizations are based on the voltage-mode operational amplifiers which suffer from fixed gain-bandwidth product and limited slew rate. These limitations affect the switching frequency of the converter. This thesis presents the design procedure of a current-mode NPWM, in which an active inductor based on current conveyor (CCII) is used as a triangular current wave generator (TCWG) and a current comparator is cascaded to the TCWG to compare the reference and triangular currents and generate the output PWM signal. Finally the designed circuit is simulated with HSPICE in TSMC0.18μm CMOS precess and ±1.5V supply voltages. The CCII has achieved up to 40MHz bandwidth for voltage follower Vx/Vy and 380MHz bandwidth for current follower Iz/Ix while consumes 53uW power.

Key words: Current Conveyor, PWM, Current Comparator, Low Voltage, Low Powe

فصل اول

مقدمه

۱-۱ مدارهای مد جریان

پردازش اطلاعات در شبکه های الکتریکی با استفاده از ولتاژ گره ها و جریان شاخه ها انجام می پذیرد. پردازش انجام شده توسط ولتاژ گره را مد ولتاژ و پردازش انجام شده توسط جریان شاخه را مد جریان می گویند. مجموع مد ولتاژ و مد جریان خصوصیات کاملی از رفتار شبکه را ارائه می دهند. در مد جریان، ورودی و خروجی هر دو به شکل جریان هستند[۱]. همچنین اصطلاح مد جریان را می توان معرف سیستمی با تابع تبدیل جریان در نظر گرفت[۴-۲]. مدارهای ایده آل در مد جریان تقریبا همزمان با مدارهای مد ولتاژ معرفی شدند ولی مدارهای مد ولتاژ محدوده گسترده تری از کاربردها را در مقایسه با مدارهای مد جریان شامل می شوند[۶-۵]. دلایل محبوبیت مدارهای مد ولتاژ به شرح زیر است.

۱- در شبکه های الکتریکی می توان براحتی توسط مولتی متر و بدون اصلاح توپولوژی و تاثیر در عملکرد شبکه، ولتاژ گره ها را اندازه گرفت در حالیکه اندازه گیری این روش برای اندازه گیری جریان شاخه ها مناسب نیست و غالبا نیاز به تغییر در ساختار شبکه و مدارهای اضافی دارد.

۲- امپدانس بی نهایت موجود در گیت ترانزیستور آنرا برای تحقق مدارهای مد ولتاژ بخصوص در ترکیب بندی های کسکد مناسب می سازد.

۳- بهره ولتاژ به آسانی توسط مدارهای مد ولتاژ بدست می آید.

۴- سوئیچینگ نویز در حضور ولتاژ تغذیه بالا مسئله مهمی به شمار نمی آید.

۵- سرعت کم به خازن های موجود در گره ها اجازه شارژ و دشارژ شدن را در طی یک دوره زمانی طولانی می دهد.

با سیر تکامل در تکنولوژی های زیرمیکرونی مانند ۰.۱۸ µm و ۰.۱۳µm ولتاژ تغذیه به ۳.۳ و کمتر از آن کاهش یافت. این مسئله طراحی در مدارهای CMOS مد ولتاژ با خطی پذیری بالا و رنج دینامیکی وسیع را دچار مشکل می سازد و نیز موجب افزایش تاخیر انتشار می شود. طراحی مدارهای مد جریان بر روی جریان شاخه ها نسبت به ولتاژ گره ها تاکید دارد به همین دلیل عملکرد مدارهای مد جریان نسبت به کاهش ولتاژ تغذیه تاثیر پذیری کمی دارند بطوریکه با اتصال مدارهای مد جریان می توان مدارهای الکتریکی با سرعت بالا، پهنای باند وسیع و چگالی حجمی بالای مجتمع سازی ساخت. بعلاوه به دلیل سودمندی مدار های مد جریان CMOS در ارتباط با مشکلات ناشی از کاهش ولتاژ و همچنین افزایش سرعت عملکرد و سادگی مداری آنها اخیرا استفاده از این مدارها در هر دو بخش صنعت و دانشگاه افزایش یافته است. به طوری که مدارهای مد جریان نقش مهمی را در توسعه مدارهای جدید با عملکرد بالا برای کاربردهای پردازش سیگنال بازی می کنند.

مدارهای مد ولتاژ در حالت ایده آل دارای امپدانس ورودی بینهایت، امپدانس خروجی صفر و بهره ولتاژ ثابت هستند. بهترین بیان مدارهای مد ولتاژ تقویت کننده عملیاتی ایده آل است که در سال ۱۹۶۰ معرفی شد[۷]. مدارهای مد جریان در حالت ایده آل دارای امپدانس ورودی صفر، امپدانس خروجی بینهایت و بهره جریان ثابت هستند. با توجه به اینکه تقویت جریان منجر به افزایش توان استاتیکی می شود، بهره جریان در مدارهای مد جریان ایده آل در مقدار واحد تنظیم می شود.

۱-۲ مزیت های مدار مد جریان

۱-۲-۱ پهنای باند وسیع

به طور کلی مدارهای فعال به دلیل وجود جریان نشتی در خازن ها مانند خازن های پیوندی تحت تاثیر مـی باشـند. مـدارهای مد ولتاژ به این تاثیرات حساس می باشند در صورتی که مدارهای مد جریان بواسطه پهنای باند وسیع به این تـاثیرات حسـاس نمی باشند[۱].

۱-۲-۲ رنج دینامیکی وسیع

رنج دینامیکی برابر با نسبت حداکثر و حداقل سطح سیگنالی است که مدار می تواند در یک زمـان بکـار ببـرد. حـداقل سـطح سیگنال، ولتاژ نویز و جریان نویز است. از آنجا که جریان نویز از ولتاژ نویز کوچکتر است بنابراین رنج دینـامیکی در مـد جریـان نسبت به مد ولتاژ وسیع تر می باشد.

۱-۲-۳ کوچک کردن میکرونی

در مدارهای مد جریان سطح توان پایین است از این رو امکان کوچک کردن آنها وجود دارد که منجر به ایجاد تکنولـوژی هـای میکرو و نانو[۶] و استفاده آنها در سیستم های مخابراتی مانند ماهواره، تلفن سیار تصویری و ابزارهای پزشکی می شود.

۱-۲-۴ سرعت عملکرد بیشتر

خازن های پارازیتی موجود در مدارهای آنالوگ با تغییر سطوح ولتاژ شارژ و دشارژ می شـوند. در مـدارهای مـد جریـان تغییـر ایجاد شده در سطح جریان ملزم به ایجاد تغییر در سطح ولتاژ نیست. بنابراین در مدارهای مد جریان خـازن هـای پـارازیتی در سرعت عملکرد مدار به مقدار قابل توجهی بی تاثیراند. به این علت می توان نتیجه گرفت که مدارهای مد جریان در مقایسـه بـا مد ولتاژ سرعت بیشتری دارند.

۱-۲-۵ نرخ چرخش بیشتر

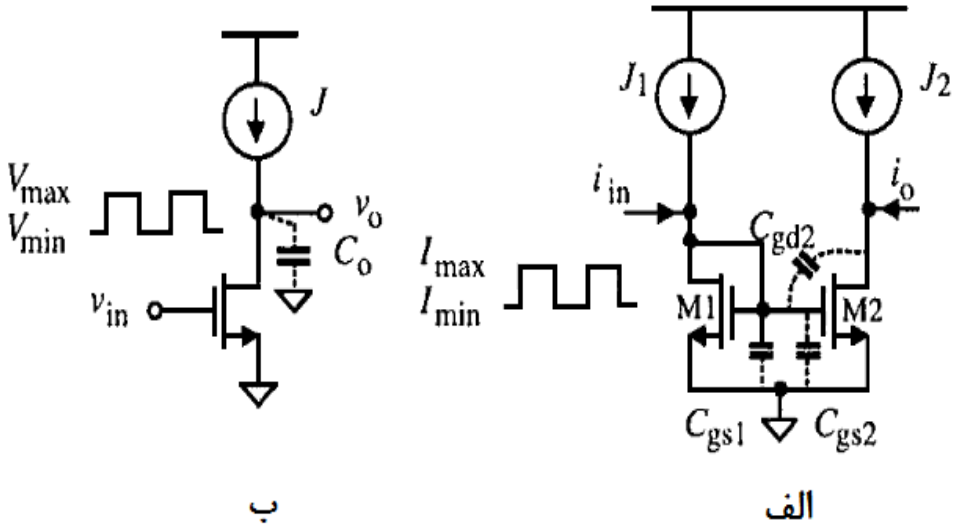
به کمک ساختارهای سورس مشترک و آینه جریان ساده می توان نرخ چرخش را در مد جریـان و ولتـاژ مقایسـه کـرد کـه در شکل ۱-۶ نشان داده شده است. با اعمال موج مربعی به آینه جریان ترانزیستور $M1$ درناحیه اشـباع قـرار مـی گیـرد بنـابراین جریان i_{DS1} مستقل از v_{DS1} است و نرخ تغییر جریان خروجی به سرعت شارژ خازن $c_{gs1\sim 2}=c_{gs1}+c_{gs2}$ یـا بطـور معـادل بـه سرعت صعود ولتاژ گیت $M_{1\sim2}$ وابسته است.

$$C_{gs1\sim2}\frac{dV_{GS1\sim2}}{dt}+\frac{1}{2}\mu_n C_{ox}^{'}(\frac{W}{L})_1(V_{GS1\sim2}-V_T)^2=J_1+I_{in} \qquad (۲-۱)$$

$V_{GS1\sim2}$ با I_{in} افزایش پیدا می کند. پس برای یک بایاس جریان ثابت و جریان ورودی با دامنه بزرگ نرخ چـرخش بزرگـی در جریان خروجی خواهیم داشت.

در تقویت کننده سورس مشترک اگر ولتاژ ورودی برابر با V_{min} باشد ترانزیستور خاموش و خازن C_O توسط جریان J با نرخ چرخش $\left[\frac{dv_o}{dt}\right]_{rise,\max} = \frac{J}{C_O}$ شارژ می شود. هنگامیکه ولتاژ ورودی برابر با V_{max} باشد خازن C_O از طریق ترانزیستور با نرخ چرخش $\left[\frac{dv_o}{dt}\right]_{fall,\max} = \frac{1}{R_{on}C_o}$ دشارژ می شود که در آن R_{on} مقدار مقاومت کانال در ناحیه ترایود است.

در نتیجه نرخ چرخش تقویت کننده سورس مشترک توسط جریان بایاس، پهنای ترانزیستور و مقدار خازن خروجی بدست می آید و از دامنه ورودی مستقل می باشد.



شکل ۱-۱ مقایسه نرخ چرخش در مدارهای مد ولتاژ و مد جریان (الف) آینه جریان (ب) تقویت کننده سورس مشترک

۱-۳ ساختار پایان نامه

در این پایان نامه مراحل طراحی یک ناقل جریان ولتاژ و توان پایین به منظور کنترل مد جریانی مدولاسیون PWM ارائه می شود. در فصل دوم به معرفی ناقل های جریان و کاربردهای آنها پرداخته می شود و نیز بلوک های بهبود یافته با استفاده از ناقل جریان نسل دوم معرفی شده و معادلات و روابط آنها بازنویسی می شود. در فصل سوم به بررسی و شبیه سازی توپولوژی های مختلف ساخت ناقل جریان نسل دوم پرداخته می شود و در فصل چهارم طراحی مدار پیشنهادی به منظور کنترل مد جریانی مدولاسیون PWM و نتایج حاصل از شبیه سازی آن ارائه می شود. در فصل پنجم نیز نتیجه گیری نهایی و کارهای آینده آورده می شود.

فصل دوم

ناقل های جریان