عنوان:

کاهش نرخ SEU برای FPGA های مبتنی بر SRAM در کاربرد های فضایی

جهت اخذ درجه کارشناسی ارشد

رشته مهندسی برق گرایش الکترونیک

استاد راهنما :

دکتر یاسر بالغی

استاد مشاور:

دکتر محمد رضا ذهابی

دانشجو :

احمد رحمانفر

شهریور ۱۳۹۲

تشکر و قدردانی

گردآوری و تکمیل این رساله را مدیون زحمات اساتیدی می دانم که در انجام این پایان نامه به من یاری بسیاری رسانده اند. بیش از همه می‌بایست از دکتر بالغی تشکر و قدردانی کنم که در طول دوره کارشناسی ارشد به خصوص در انجام این پایان نامه، از راهنمایی های بی دریغ ایشان بهره مند بودم.

بر خود لازم می دانم که از جناب آقای دکتر ذهابی نیز که در انجام این پایان نامه مرا یاری نمودند و از مشورت و کمک هایشان استفاده نموده‌ام، قدردانی نمایم، و در پایان از دکتر محمد رضا کرمی که با در اختیار گذاشتن آزمایشگاه پردازش سیگنال و کمک در رفع نیازهای دانشجویان تحصیلات تکمیلی، قدم بر می‌دارند کمال تشکر را دارم.

چکیده

استفاده از FPGA های مبتنی بر SRAM در کاربردهای فضایی مانند عملیات اکتشاف دور به دلیل قابلیت باز پیکربندی در این قطعات بسیار مورد توجه بوده است. نتایج آزمون‌های به دست آمده بر روی FPGA های مبتنی بر SRAM نشان می‌دهد که این قطعات فوق العاده به تشعشعات فضایی حساس هستند و نرخ SEU در آنها بسیار زیاد است. کد همینگ برای مقابله با SEU در بیتهای پیکره بندی FPGA های مبتنی بر SRAM استفاده شده است. این کد قابلیت تصحیح خطاهای تک بیتی را دارد، اما با پیشرفت تکنولوژی قطعات نیمه هادی و افزایش چگالی حافظه‌ها، یک ذره پر انرژی از تشعشعات فضایی می‌تواند چند بیت حافظه را به صورت هم زمان واژگون گرداند که در اکثر موارد این بیتها مجاور هستند.

استراتژی جایابی بیت برای بهبود تشخیص خطاهای مجاور در کدهای همینگ مورد استفاده در حافظه‌ها (برای ۸ ، ۱۶ و ۳۲ بیت اطلاعات) معرفی شده است، اما در این پایان نامه از این استراتژی برای بهبود تشخیص خطاهای مجاور دوتائی در کد همینگ (۶ ،۱۰) و کد همینگ (۲۹،۲۴) و همچنین بهبود قابلیت تصحیح خطاهای مجاور دوتایی در کد همینگ (۱۰،۶) استفاده شده است. از این کدها برای مقابله با SEU در ماژول سویچ FPGA های مبتنی بر SRAM استفاده شده است.

همچنین در این پایان نامه روشی مبتنی بر الگوریتم ژنتیک پیشنهاد شده است، که هدف این روش یافتن ماتریس توازن بهبود یافته برای کدهای تصحیح خطای استفاده شده در ماژول سویچ و LUT ها است. پس از اعمال روش پیشنهادی تقریبا تمام خطاهای دو بیتی یا سه بیتی مجاور در کدهای مربوط (فقط در کدهای شامل ۱۶ بیت اطلاعات، کارآیی ۹۵٪ است و در بقیه موارد کارآیی ۱۰۰٪ است) قابل تشخیص شده است که نسبت به جایابی بیت، نتایج بهبود زیادی داشته است. اما این روش با افزونگی در تعداد گیتهای مورد نیاز برای دیکد کردن همراه است. از این رو مدل اولیه بهبود داده شده است و قابلیت مصالحه بین حجم سخت افزاری و کارآیی به آن اضافه شده است. در نتیجه از این روش با دو رویکرد متفاوت می‌توان استفاده کرد: ۱- با رویکرد کاهش سخت افزار. ۲- با رویکرد افزایش کارآیی. پس از اعمال مدل بهبود یافته در کدهای موردنظر، در نهایت زمانی که افزونگی سخت افزاری مجاز باشد، کارآیی مربوط به تمامی کدها به ۱۰۰٪ رسیده است و زمانی که افزونگی مجاز نباشد، در بعضی موارد کارآیی نسبت به مدل اولیه کاهش یافته است، اما هنوز نسبت به جایابی بیت افزایش خوبی دارد.

کلمات کلیدی: FPGA- SEU- ماژول سویچ- LUT - کد همینگ.

فهرست مطالب

فصل اول: مفاهیم کلی در مورد تشعشعات فضایی و اثرات آنها در FPGA های مبتنی بر SRAM ۱
۱-۱ محیط تشعشعی فضا ۲
۱-۱-۱ پرتوهای کیهانی ۲
۱-۱-۲ پرتوهای پر انرژی خورشید ۲
۱-۱-۳ کمربند تابشی ۳
۱-۱-۴ بادهای خورشیدی ۳
۱-۲ ساختار FPGA ها ۴
۱-۳ انواع اثرات تشعشعات فضایی بر قطعات الکترونیکی ۶
۱-۳-۱ TID ۶
۱-۳-۲ SEE ۸
۱-۳-۲ SEU ۹
۱-۳-۲-۲ SEL ۹
۱-۳-۲-۳ SET ۹
۱-۳-۲-۴ SEGR ۹
۱-۳-۲-۵ SEB ۱۰
۱-۳-۲-۶ SEFI ۱۰
۱-۳-۳ اثرات غیر یونشی ۱۱
۱-۴ تست تشعشعات در FPGA ها ۱۱
۱-۴-۱ معماری Virtex 4 ..... ۱۲
۱-۴-۲ روش تست SEU ۱۳
۱-۴-۳ اثر کوچک شدن طول کانال در خطای SEU ۱۶
۱-۵ تعریف مسئله و بیان ضرورتها ۱۸
فصل دوم: مروری بر روشهای مقابله با SEU در FPGA های مبتنی بر SRAM ۲۱
۲-۱ بررسی روشهای مبتنی بر افزونگی سخت افزاری ۲۱
۲-۱-۱ TMR ۲۲
۲-۱-۲ TMR انتخابی ۲۳
۲-۱-۳ QFDR ۲۶
۲-۲ بررسی روشهای مبتنی بر افزونگی اطلاعات ۲۸
۲-۲-۱ کد همینگ ۲۸

۲-۲-۲ استفاده از کد همینگ در بیتهای پیکره بندی (LUT)..... ۳۱
۲-۲-۳ اعمال کد همینگ در ماژول سویچ..... ۳۳
۲-۲-۴ میان گذاری..... ۳۶
۲-۲-۵ بهبود قابلیت تصحیح خطاهای مجاور ۳۷
۲-۲-۶ استراتژی جایابی بیت انتخابی..... ۴۰
فصل سوم: روش پیشنهادی و نتایج..... ۴۵
۳-۱ جایابی بیتهای پیشنهادی برای ماژول سویچ..... ۴۶
۳-۱-۱ جایابی بیت پیشنهادی برای افزایش قابلیت تشخیص خطا در جعبه سویچ..... ۴۶
۳-۱-۲ جایابی بیت پیشنهادی برای افزایش قابلیت تشخیص خطا در ماژول سویچ..... ۴۸
۳-۱-۳ جایابی بیت پیشنهادی برای افزایش قابلیت تصحیح خطا در جعبه سویچ..... ۵۰
۳-۲ ارائه روش پیشنهادی مبتنی بر الگوریتم ژنتیک برای بهبود تشخیص خطا..... ۵۲
۳-۲-۱ اعمال روش پیشنهادی در ماژول سویچ..... ۵۵
۳-۲-۲ اعمال روش پیشنهادی در LUT ها..... ۵۸
۳-۳ اضافه کردن قابلیت مصالحه بین حجم سخت افزاری و کارآیی در روش پیشنهادی..... ۶۳
۳-۳-۱ اعمال مدل بهبود یافته روش پیشنهادی در ماژول سویچ..... ۶۳
۳-۳-۱ اعمال مدل بهبود یافته روش پیشنهادی در LUTها..... ۶۵
فصل چهارم: نتیجه گیری و پیشنهاد برای کارهای آتی..... ۷۰
۴-۱ نتیجه گیری..... ۷۱
۴-۲ پیشنهاد برای کارهای آتی..... ۷۳
مراجع..... ۷۴

فهرست شکلها

شکل ۱- ۱ : تصویر کلی از محیط پرتوی فضا [۴] ۴

شکل۱-۲: مدل معماری یک FPGA مبتنی بر SRAM [۶] ۵

شکل ۱-۳: شمای داخلی یک بلوک منطقی [۵] ۵

شکل۱- ۴: ساختار یک ماژول سویچ ویک جعبه ی سویچ[۸] ۶

شکل ۱- ۵: تاثیر TID بر روی گیت یک ترانزیستور[۹] ۷

شکل ۱- ۶: انواع SEE ۸

شکل ۱-۷: نمای کلی از معماری Virtex ۱۲

شکل ۱-۸: نتایج تست SEU با یونهای سنگین[۱۶] ۱۴

شکل ۱-۹: نتایج تست SEU با پروتونها[۱۸] ۱۵

شکل ۱-۱۰: نرخ خطای تک بیتی تا پنج بیتی مجاور[۱۹] ۱۷

شکل ۱-۱۱: الگوهای متفاوت از خطاهای دوتائی در حافظه[۱۹] ۱۷

شکل ۱-۱۲: نرخ خطای دوتائی برای الگوهای مختلف[۱۹] ۱۸

شکل۲-۱: استفاده از TMR در حافظه ها ۲۲

شکل ۲-۲: گیتهای AND با احتمال یک بودن هر ورودی[۲۲] ۲۳

شکل ۲-۳: اجرای روش TMR انتخابی[۲۲] ۲۴

شکل ۲-۴: اجرای QFDR در مدارهای ترکیبی[۲۴] ۲۶

شکل ۲-۵: اعمال QFDR در FPGA [۲۴] ۲۷

شکل ۲-۶: اعمال کد همینگ توسعه یافته در سطح FPGA [۲۷] ۳۱

شکل ۲-۷: اعمال کد همینگ توسعه یافته در سطح CLB [۲۷] ۳۲

شکل ۲-۸: اعمال کد همینگ توسعه یافته در سطح LUT [۲۷] ۳۲

شکل۲-۹: ساختار کد همینگ استفاده شده برای هر جعبه ی سویچ.....۳۴

شکل ۲-۱۰: ساختار کد همینگ استفاده شده برای هر ماژول سویچ[۲۸].....۳۵

شکل ۲-۱۱: چگونگی اعمال میانگذاری در سلولهای حافظه[۱۹].....۳۶

شکل۲-۱۲: مقایسه نتایج به دست آمده از میان گذاری[۱۹].....۳۷

شکل۲-۱۳: ماتریس H به دست آمده برای کد (۲۲،۱۶)[۳۰].....۳۹

شکل ۲-۱۴: ماتریس H به دست آمده برای کد (۳۲،۳۹)[۳۰].....۳۹

شکل ۲-۱۵: ماتریس H به دست آمده برای کد (۶۴،۷۲)[۳۰].....۳۹

شکل ۲-۱۶: پروسه جایابی بیت انتخابی[۲۹].....۴۲

شکل۳-۱: جایابی بیت پیشنهادی برای افزایش تشخیص خطا در همینگ (۲۴،۲۹).....۴۹

شکل ۳-۱: فلوچارت مربوط به الگوریتم ژنتیک استفاده شده.....۵۶

شکل۳-۲:مقدار تابع برازندگی در هر نسل برای کد همینگ (۶ ،۱۰).....۵۷

شکل۳-۳:مقدار تابع برازندگی در هر نسل برای کد همینگ (۲۱،۱۶).....۶۱

شکل۳-۴:مقدار تابع برازندگی در هر نسل برای کد همینگ (۲۲،۱۶).....۶۱

شکل۳-۵:مقدار تابع برازندگی در هر نسل برای کد همینگ (۳۸،۳۲).....۶۲

شکل۳-۶:مقدارتابع برازندگی در هر نسل برای کد همینگ (۳۹،۳۲).....۶۲

شکل۳ – ۷: مقدار تابع برازندگی در هر نسل برای کد همینگ (۶ , ۱۰) با رویکرد کاهش سخت افزار.....۶۴

شکل۳ – ۸: مقدار تابع برازندگی در هر نسل برای کد همینگ (۱۶ , ۲۱) با رویکرد کاهش سخت افزار.....۶۶

شکل۳ – ۹: مقدار تابع برازندگی در هر نسل برای کد همینگ (۱۶ , ۲۱) با رویکرد افزایش کارآیی.....۶۷

شکل۳ – ۸: مقدار تابع برازندگی در هر نسل برای کد همینگ (۱۶ , ۲۲) با رویکرد کاهش سخت افزار.....۶۷

شکل۳ – ۱۱: مقدار تابع برازندگی در هر نسل برای کد همینگ (۱۶ , ۲۲) با رویکرد افزایش کارآیی.....۶۸

شکل۳ – ۱۲: مقدار تابع برازندگی در هر نسل برای کد همینگ (۳۲ , ۳۸) با رویکرد کاهش سخت افزار.....۶۸

شکل۳ – ۱۲: مقدار تابع برازندگی در هر نسل برای کد همینگ (۳۲ , ۳۹) با رویکرد کاهش سخت افزار.....۶۹

فهرست جدولها

جدول ۱-۱: خلاصه ای از اثرات مخرب TID در قطعات الکترونیکی [۱۰]..... ۸

جدول ۱-۲: خلاصه ای از اثرات SEE های غیرمخرب بر روی قطعات الکترونیکی[۱۰]..... ۱۰

جدول ۱- ۳: خلاصه ای از اثرات SEE های مخرب بر روی قطعات الکترونیکی[۱۰]..... ۱۱

جدول ۱-۴: توصیف ساختار داخلی خانواده های مدل Virtex 4 [۱۶]..... ۱۳

جدول ۱-۵: پارامترهای منحنی Weibull برای یونهای سنگین[۱۶]..... ۱۴

جدول ۱-۶: پارامترهای منحنی weibull برای تست با پروتونها[۱۶]..... ۱۵

جدول ۱-۷: نرخ SEU به ازای مدارهای مختلف[۱۶]..... ۱۶

جدول ۲-۱: روابط احتمال انتشار خطا در گیتهای منطقی[۲۲]..... ۲۳

جدول ۲-۲: نتایج حاصل از TMR انتخابی[۲۲]..... ۲۵

جدول ۲-۳: مقایسه TMR و QFDR از نظر مساحت[۲۴]..... ۲۸

جدول ۲-۴: مقایسه TMR و QFDR از نظر کارآیی[۲۴]..... ۲۸

جدول ۲-۵: مقادیر ممکن برای پارامترهای کد همینگ..... ۲۹

جدول ۲-۶: الگوریتم تولید کد همینگ..... ۲۹

جدول ۲-۷: مقایسه روش ارائه شده در مرجع [۲۷] با روشهای دیگر[۲۷]..... ۳۳

جدول ۲-۸: مقایسه نتایج به دست آمده برای اعمال کد همینگ در ماژول سویچ[۲۸]..... ۳۶

جدول ۲-۹: مقایسه کدهای ارائه شده در مرجع [۳۰] با کدهای دیگر..... ۴۰

جدول ۲-۱۰: نتیجه اعمال جایابی بیت بر روی کد همینگ(۱۲،۸)[۲۹]..... ۴۲

جدول ۲-۱۱: جایابی بیتهای پیشنهادی در مرجع [۲۹]..... ۴۳

جدول ۲-۱۲: نتایج به دست آمده از اعمال پروسه جایابی بیت[۲۹]..... ۴۳

جدول ۲-۱۳: مقدار کران بالا و تعداد ترکیب خطاها برای کدهای مختلف [۲۹]..... ۴۴

جدول ۳-۱: جایابی بیت پیشنهادی برای افزایش تشخیص خطا در همینگ (۱۰,۶)..... ۴۷
جدول ۳-۲: مقایسه جایابی بیت پیشنهادی برای افزایش تشخیص خطا در جعبه سویچ با مرجع [۲۸]..... ۴۸
جدول۳-۳: مقایسه جایابی بیت پیشنهادی برای افزایش تشخیص خطا در کد همینگ (۲۴ ، ۲۹) با مرجع[۲۸]..... ۵۰
جدول ۳-۴: جایابی بیت پیشنهادی برای افزایش قابلیت تصحیح خطا در جعبه سویچ..... ۵۱
جدول ۳-۵: مقایسه جایابی بیت پیشنهادی برای افزایش تصحیح خطا در جعبه سویچ با مرجع [۲۸]..... ۵۲
جدول۳-۶: شروط اعمال شده برای تولید ماتریس H ۵۴
جدول ۳-۷: مقدار پارامترهای استفاده شده در الگوریتم ژنتیک..... ۵۸
جدول ۳-۸: مقایسه جایابی بیت پیشنهادی و روش پیشنهادی برای کد همینگ (۶ , ۱۰) با مرجع [۲۸]..... ۵۸
جدول ۳-۹: مقایسه نتایج روش پیشنهادی و جایابی بیت [۲۹] ۶۰
جدول ۳-۱۰: بیان دهدهی ماتریسهای به دست آمده از روش پیشنهادی..... ۶۰
جدول ۳-۱۱: مقایسه نتایج به دست آمده برای همینگ (۱۰،۶) با مرجع [۲۸]..... ۶۴
جدول ۳-۱۲: خلاصه ای از نتایج به دست آمده از اعمال مدل بهبود یافته روش پیشنهادی در LUT ها..... ۶۵
جدول ۳-۱۳: ماتریسهای به دست آمده از مدل بهبود یافته روش پیشنهادی با رویکرد کاهش سخت افزار..... ۶۶
جدول ۳-۱۴: ماتریسهای به دست آمده از مدل بهبود یافته روش پیشنهادی با رویکرد افزایش کارآیی..... ۶۶

لیست علائم و اختصارات

SEU	Single Event Upset	واژگونی رخداد یکتا
FPGA	Field Programmable Gate Array	افزاره های برنامه پذیر میدانی
MBU	Multiple Bit Upset	واژگونی چند بیتی
SET	Single Event Transient	تک رویداد ناپایدار
SEL	Single Event Latchup	قفل شدن رخداد یکتا
SEGR	Single Event Gate Rupture	تک رویداد گسیختگی گیت
SEE	Sigle Event Effect	اثر رخداد یکتا
TID	Total Ionizing Doze	دز یون ساز کل
TMR	Triple Modular Redundancy	افزونگی سه ماژولی
SEB	Single Event Burn out	تک رویداد سوختن
SEFI	Single Event functional Interrupt	وقفه عملیاتی رخداد یکتا

فصل اول:

مفاهیم کلی در مورد تشعشعات فضایی و اثرات آنها در FPGA های مبتنی بر SRAM

۱-۱ محیط تشعشعی فضا

زمین و محیط اطراف آن توسط اتمسفر از تشعشعات فضایی محافظت می‌شود، اما در بالای اتمسفر، منطقه دیگری به نام یونسفر قرار دارد. این منطقه، منطقه‌ای یونی است و در محدوده ۶۰ تا ۱۰۰۰ کیلومتری سطح زمین قرار دارد. این محیط که شامل پلاسما، الکترونها، پروتونها و یونهای پر انرژی است، شرایط خطرناکی را برای سامانه‌های فضایی ایجاد می‌کند.

در سال‌های اخیر با توجه به عملیات در محیط‌های مختلف فضا، توجه به شناسایی تشعشعات و تغییرات آنها در محیط‌های مختلف فضا بیشتر شده است[۱] . در نهایت منابع اصلی شناسایی شده برای تشعشعات فضایی عبارتند از: پرتوهای کیهانی[۱]، پرتوهای پر انرژی خورشید، کمربند تابشی زمین (ون آلن)[۲] و بادهای خورشیدی[۳] [۲]، که در بند های زیر به این چهار منبع تشعشعات بیشتر پرداخته شده است.

۱-۱-۱ پرتوهای کیهانی

پرتوهای کیهانی در خارج از منظومه شمسی تولید و وارد آن می‌شوند و شامل ذرات باردار پرانرژی مانند پروتون، الکترون و یونهای هسته‌های عناصر سبک مانند لیتیوم ، برلیوم و بور هستند. انرژی این پرتوها در حدود 10^{20} eV است. در حالی که امروزه، به کمک بزرگترین شتاب دهنده‌ها، پرتوهایی با انرژی 10^{13} eV تولید می-شود[۱]. این پرتوها شامل ۸۵٪ پروتون، ۱۴٪ ذرات آلفا و کمتر از ۱٪ یونهای سنگین هستند. یونهای سنگین، در مقایسه با پروتونها، انرژی بیشتری وارد می‌کنند و قابلیت تخریب بیشتری دارند.

۱-۱-۲ پرتوهای پر انرژی خورشید

شدت پرتوهای خورشیدی به صورت طبیعی به میزان فعالیت خورشید بستگی دارد. این ذرات وابسته به زبانه-های خورشیدی[۴] و همچنین پرتاب جرم از هاله خورشیدی هستند. زبانه‌های خورشیدی انفجارهای پرقدرتی در جو خورشید است، که میزان زیادی انرژی آزاد می‌کنند. این زبانه‌ها ترکیبی از پرتاب جرم از هاله‌های خورشیدی، پلاسمای داغ، پروتونها و نوترونهای شتاب داده شده و الکترونهای پر سرعت هستند. طبق عکس‌هایی که از یک پرتاب جرم از زبانه‌های خورشیدی گرفته شده است، سرعت اجرام در بازه ۵۰-۲۰۰۰ Km/s است.

[1] Galactic Cosmic Rays
[2] Van Allen Belts
[3] Solar Winds
[4] Solar Flares

تغییرات دوره‌های خورشیدی، با افزایش میزان شار تابش EUV[1] خورشید و افزایش فعالیت ژئومغناطیس به دلیل تغییرات در بادهای خورشیدی، مرتبط است. افزایش فعالیت‌های خورشید، بالا رفتن دما در لایه‌های بالایی جو را در پی خواهد داشت، که موجب انبساط بیرونی اتمسفر و افزایش چگالی با توجه به ارتفاع می‌گردد. به صورت مشابه چگالی و دمای یونسفر نیز به تغییرات دوره‌های خورشید واکنش نشان می‌دهد[۳].

۱-۱-۳ کمربند تابشی

کمربند تابش و ذرات تشکیل دهنده آن از اجزا ء و عناصر مهم اقلیم فضا هستند. زمین توسط میدان‌های مغناطیسی احاطه شده، که برای زمین شبیه یک ستاره دنباله دار است. بنابراین، ذرات باردار سریع را در یک زندان نامرئی به دام می‌اندازد. میزان این ذرات بی‌شمار و فرم آنها مانند ابری به شکل دونات است که زمین در مرکز آن قرار گرفته است. این هاله هزاران مایل اطراف استوا به دور زمین کشیده شده است. دانشمندان این پدیده را کمربند تابش ون آلن می‌نامند. کمربند تابشی به دو کمربند داخلی در ۲/۵ برابری شعاع زمین با ترکیبی از پروتونهای پرانرژی با حداکثر ۶۰۰ MeV و الکترونها با چندین MeV انرژی و کمربند خارجی با ترکیب الکترونهای پرانرژی در شعاع ۱۰ برابری شعاع زمین تقسیم می‌گردد. همچنین در لایه خارجی پروتونها در محدوده ۰/۱ MeV تا ۵MeV وجود دارند. فضای خالی مابین این دو کمربند دارای شدت کمی از تاثیر گذاری است. ولی در چندین طوفان خورشیدی تحت تاثیر قرار گرفته است. لایه خارجی در بیشتر اوقات تاثیرگذارتر بوده و بیشتر تحت تاثیر بادهای خورشیدی است[۱].

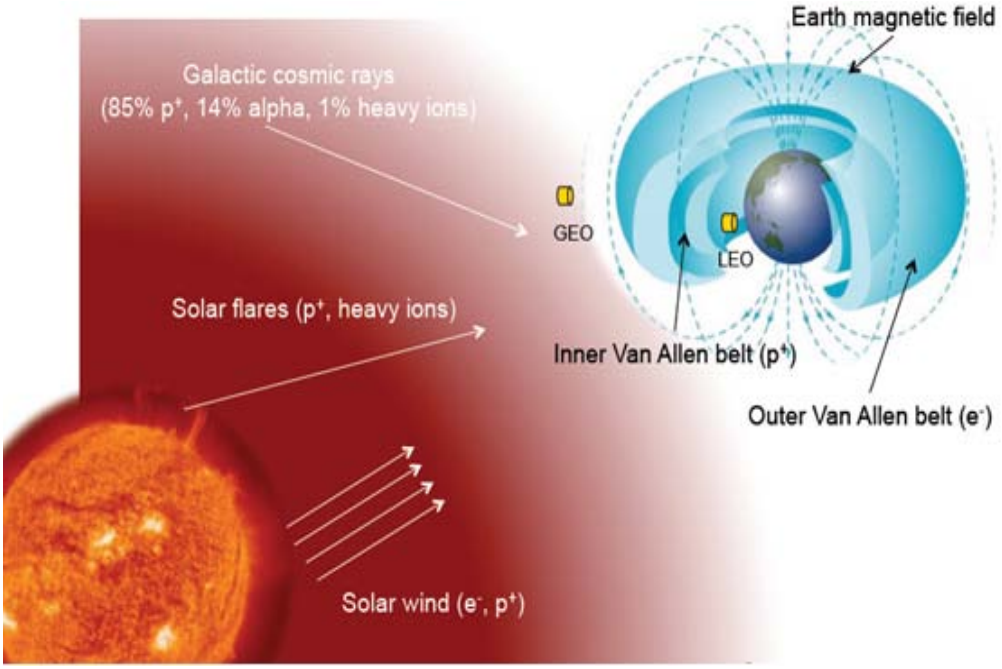
الکترونها به صورت غالب در محدوده یک تا چهار برابری شعاع زمین قرار دارند و تا شعاع ۱۲ برابری زمین نیز کشیده شده‌اند. الکترونها به دو بخش داخلی و خارجی تقسیم می‌گردند. الکترونهایی با انرژی بیش از ۱ MeV در منطقه‌ای مابین ۳ تا ۴ برابری شعاع زمین قرار دارند. بیشترین میزان انرژی الکترونهای به دام افتاده ۷ MeV است. که در ناحیه خارجی قرار دارد و بیشترین انرژی در ناحیه داخلی کمتر از ۵ MeV است[۳].

۱-۱-۴ بادهای خورشیدی

بادهای خورشیدی یک جریان از ذرات باردار الکتریکی هستند که از فراز اتمسفر خورشید به بیرون پرتاب شده-اند. بادهای خورشیدی به صورت معمول شامل الکترون و پروتون هستند. این جریان از ذرات باردار ی که دارای مقادیر گوناگونی از دما و سرعت در طی زمان هستند تشکیل شده است. و ذرات به دلیل انرژی جنبشی و دمای بالا از میدان گرانش خورشید فرار می‌کنند. سرعت بادهای خورشیدی به صورت عادی در بازه ۳۰۰-۸۰۰ Km/s

[1] Extrem Ultraviolet

است،که معمولا دارای سرعت Km/s ۴۰۰ و در بعضی از اوقات سرعت آنها به Km/s ۷۰۰ می‌رسد[۳]. در شکل ۱-۱ یک تصویر کلی از محیط پرتوی فضا نشان داده شده است.



شکل ۱- ۱ : تصویر کلی از محیط پرتوی فضا [۴].

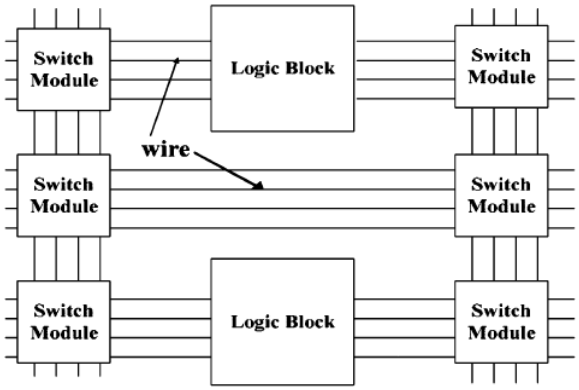
۱-۲ ساختار FPGA[1] ها

در حال حاضر ترکیب کردن سخت افزارهایی که قابلیت انطباق وتغییر تابع مورد اجرای خود را نسبت به محیط دارند با تکنولوژی‌های مرتبط با کاربردهای فضایی بسیار مورد توجه قرار گرفته است، زیرا این نوع سخت افزارها برای عملیات اکتشافی دور و بین ستارگان که از شرایط این مکانها اطلاعاتی در دست نیست بسیار مفید هستند. یکی از کاندیداهای موردنظر در این زمینه FPGA های مبتنی بر SRAM است[۵].

دو نوع حافظه پیکره بندی در FPGA ها وجود دارد، یکی برای بلوک‌های منطقی و دیگری برای ماژول‌های سویچ. بیتهای پیکره بندی بلوک‌های منطقی برای ذخیره کردن جدول‌های صحت مربوط به توابع مدار استفاده

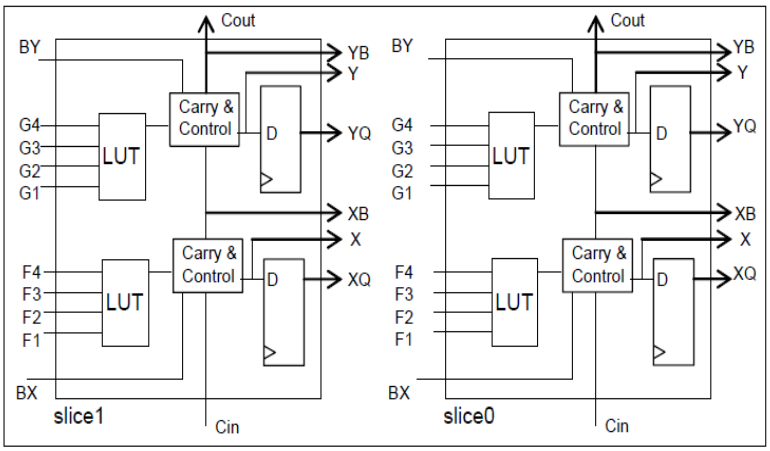
[1] Field Programmable Gate Array

می‌شوند و بیتهای پیکره بندی مربوط به ماژول‌های سویچ برای تعیین چگونگی اتصالات بین توابع و پایه‌های خروجی مورد استفاده قرار می‌گیرند. معماری این مدل در شکل ۱-۲ نشان داده شده است.



شکل ۱-۲: مدل معماری یک FPGA مبتنی بر SRAM [۶].

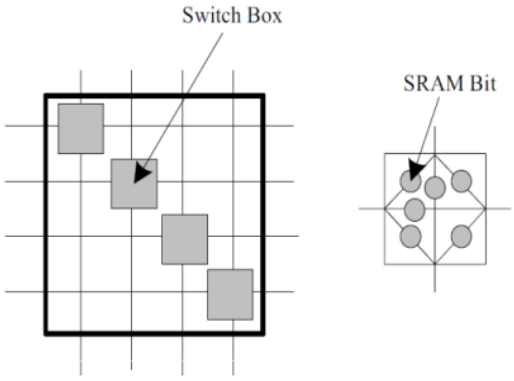
بلوک‌های منطقی خود نیز از سلولهای منطقی[1] ساخته شده اند. این سلولها مبتنی بر LUT[2] هستند . هر بلوک منطقی شامل ۴ سلول منطقی است. RAM موجود در هر سلول منطقی یک RAM ۱×۱۶ است که ۴ ورودی دارد. با ترکیب این سلولها حالت های دیگر به وجود می‌آید. در شکل ۱-۳ شمای داخلی یک بلوک منطقی نشان داده شده است. البته در FPGA های Virtex-5 از RAM های ۱×۳۲ استفاده شده است[۷].



شکل ۱-۳: شمای داخلی یک بلوک منطقی [۵].

[1] Logic Cell
[2] Look Up Table

همچنین در شکل۱-۴ (الف) یک ماژول سویچ نشان داده شده است (هر ماژول سویچ شامل چهار جعبه سویچ است). همانطور که در شکل۱- ۴(ب) نیز نشان داده شده است، هر جعبه سویچ[1] شامل چهار سیم ورودی / خروجی است که می‌توانند به سیم‌های دیگر متصل شوند. بیتهای SRAM اتصالات مختلف میان سیم‌ها را کنترل می‌کنند. بر اساس اینکه چه مقداری در هر سلول SRAM ذخیره شده باشد (صفر یا یک)، سیم بندی یک FPGA مبتنی بر SRAM توصیف می شود.



(ب) جعبه سویچ (الف) ماژول سویچ

شکل۱- ۴: ساختار یک ماژول سویچ ویک جعبه ی سویچ[۸].

۱-۳ انواع اثرات تشعشعات فضایی بر قطعات الکترونیکی

اثرات تشعشعات کیهانی بر قطعات الکترونیکی به سه دسته: TID [2] ، SEE [3] و اثرات غیر یونشی تقسیم می‌شود [۳]. در بندهای زیر به صورت مجزا به هر یک از این اثرات می‌پردازیم.

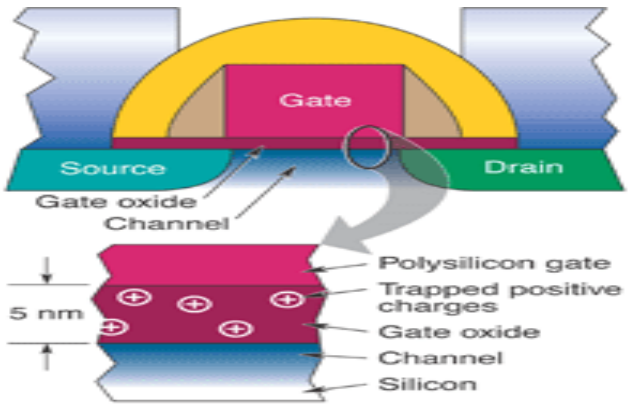
۱-۳-۱ TID

در طول دوره معینی از مأموریت‌های فضایی ماهواره، تشعشعات کیهانی یونیزه کننده خصوصاً الکترونهای به دام افتاده در کمربند ون آلن در قطعات الکترونیکی ماهواره جمع شده و این مجموعه تشعشعات متراکم بعد از مدت کافی که قطعات را تحت تأثیر خود قرار می‌دهند، با یونیزه کردن قطعات و در نتیجه شکستن یا بازآراستن

[1] Switch Box
[2] Total Ionizing Doze
[3] Single Event Effect

باندهای اتمی به آنها آسیب وارد می‌کنند. مقدار دز جذب شده معمولاً بر حسب rad [1] اندازه گیری می‌شود. خلاصه‌ای از این اثرات عبارتند از: کمتر شدن خاصیت عایقی بیشتر عایقها، رابطها و مواد در مدار مجتمع، روشن و خاموش شدن ناخواسته ترانزیستورها، کاهش بهره در ترانزیستورهای دوقطبی پیوندی و تغییر خصوصیات عملیاتی مدار های الکترونیکی [۹].

تشعشعات متراکم می‌تواند باعث تغییر خصوصیات عملیاتی مدارهای الکترونیکی شوند، مانند بالا بردن توان، شیفت ولتاژ یا دیگر تغییرات، که نهایتاً باعث نقص قابل توجهی در مدار می‌شود. ابتدا اکسید گیت، با جذب تشعشع یونیزه شده، سپس الکترون های آزاد و حفره‌ها تحت تأثیر میدان الکتریکی ایجاد شده بوسیله ولتاژ گیت انتشار می‌یابند. این حفره‌ها و الکترونها ممکن است بی‌خطر باشند، البته این در صورتی است که آنها یک انتشار ساده خارج از گیت داشته و بعد ناپدید شوند. هرچند الکترونها سیار هستند ولی حفره‌ها این گونه نیستند و کسر کوچکی از آنها در اکسید گیت به دام می‌افتند. با توجه به شکل ۱-۵ بعد از انجام تشعشع مؤثر، بار مثبت بزرگی در اکسید گیت ایجاد شده، که این امر مانند اعمال ولتاژ مثبت به گیت است. در نتیجه ترانزیستور روشن می شود، بدون اینکه هیچ ولتاژی از خارج به آن اعمال شده باشد [۱۰]. خلاصه‌ای از اثرات مخرب TID در جدول ۱-۱ آمده است.



شکل ۱- ۵: تاثیر TID بر روی گیت یک ترانزیستور[۹].

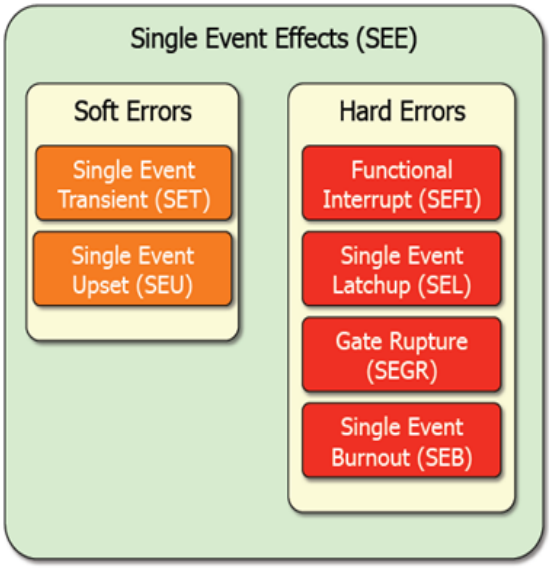
[1] radiation absorbed dose

جدول ۱- ۱: خلاصه‌ای از اثرات مخرب TID در قطعات الکترونیکی[۳].

قطعه	اثرات مخرب
ترانزیستور ماسفت	شیفت ولتاژ آستانه
ترانزیستور دو قطبی	کاهش گین جریان
مدارات دیجیتالی	افزایش جریان نشتی، کاهش عمر حافظه ها
قطعات خطی	افزایش ولتاژ افست و جریان بایاس

۱-۳-۲ SEE

SEE به دلیل عبور ذرات پر انرژی از میان قطعات و مدارهای الکترونیکی با یونش مستقیم یا غیرمستقیم بوجود می‌آید. یونهای پر انرژی تشعشعات کیهانی به آسانی می‌توانند در ساختار یک ماهواره نفوذ کنند و از میان اجزای داخلی بگذرند و در خط مستقیمی در همه جهات به مدارات مجتمع در زمان و مکان تصادفی و با زاویه تصادفی حمله کنند. اثرات SEE به دو دسته خطاهای سخت[۱] (خطاهای مخرب) و خطاهای نرم[۲] (خطاهای غیر مخرب) تقسیم می‌شود. در شکل ۱- ۶ انواع SEE دسته بندی شده است.



شکل ۱- ۶: انواع SEE [۴].

[1] Hard Errors
[2] Soft Errors

۱-۲-۳-۱. SEU[1]

واژگونی یا واژگونی نرم، تغییر غیر منتظره‌ای در حالت منطقی یک بیت دیجیتال حافظه، در مدارهای مجتمع میکروالکترونیک است. مکانیزم این خطا به این صورت است که با عبور ذرات پر انرژی از میان قطعه بدون آنکه مدار آسیب ببیند، نیمه هادی یونیزه شده و حالت منطقی آن از ۰ به ۱ یا برعکس تغییر می‌کند. در نتیجه موجب تحریف داده‌های ذخیره شده بر روی حافظه می‌شود. همچنین ممکن است برنامه‌های ریزپردازنده را تغییر دهد. این تغییر یا واژگونی نرم، دائمی نبوده و بیت می‌تواند بازنویسی شود. واژگونی‌های نرم نتیجه رقابت میان جریان یونش ذره و جریان جاری شده از مدار است[۱۱].

۱-۲-۳-۲ SEL[2]

وقتی یک بیت سیگنال حافظه در یک حالت منطقی قفل شود و نتواند ریست[3] شود، قفل شدن قطعه اتفاق افتاده است. با قطع و وصل توان الکتریکی قطعه قفل شده، قفل شدن برطرف می گردد. قفل شدن در اثر عبور ذرات پر انرژی از میان قطعه و در نتیجه یونیزه شدن میکروالکترونیک بوجود می‌آید. برای برگرداندن مدار به حالت اولیه باید تغذیه خاموش گردد و مدار دوباره راه اندازی شود. اگر جریان در نظر گرفته شده برای تراشه به دقت محدود نشده باشد، ممکن است قفل شدن باعث خسارت دائمی به تراشه شود[۱۲] .

۱-۲-۳-۳ SET[4]

سیگنال یا پالس کوتاه مدت گذرایی است که بوسیله یون سنگین ایجاد می‌شود. پالس‌های کوتاه مدت ممکن است مدارهای آنالوگ را به نوسان دائمی یا موقت تحریک کنند و در مدارهای دیجیتال ممکن است از میان تعدادی گیت منطقی انتشار یابند که این امر موجب جابه جایی سطح منطقی می‌شود.

۱-۲-۳-۴ SEGR[5]

این پدیده موجب از هم گسیختگی گیت در ترانزیستورهای ماسفت می‌شود. البته کاملاً مشهود نیست که گسیختگی گیت تک اتفاق نامیده شود. زیرا ممکن است با ترکیب بارهای افزایش یافته حاصل از شکست و تزریق بارهای داخل اکسید گیت این اتفاق رخ دهد[۱۳].

---

[1] Single Event Upset
[2] Single Event Latch up
[3] Reset
[4] Single Event Transient
[5] Single Event Gate Rupture

۱-۳-۲-۵ SEB [1]

این پدیده موجب سوختن قطعه در اثر جریان زیاد در ترانزیستورهای قدرت می‌شود و قطعه را غیر قابل استفاده می‌کند. زمانی که یون سنگین از مسیر خود در داخل قطعه عبور می‌کند، اگر بار مورد نیاز برای روشن شدن ترانزیستور جمع شود می‌تواند ترانزیستور خاموش را روشن کند و ترانزیستور روشن را بسوزاند. حساسیت این پدیده با افزایش دما کاهش می‌یابد[۱۴].

۱-۳-۲-۶ SEFI [2]

این خطا یک واژگونی بیت در بیتهای کنترلی یک پردازنده یا قطعه دیجیتالی است، که موجب تغییر جریان کنترل پردازنده می‌شود. به عنوان مثال با تغییر بیتهای کنترلی، قطعه در مد تست، باردهی اولیه و یا هر حالت تعریف شده دیگر قرار می‌گیرد. در مرجع [۱۵] در زمان اجرای تست تشعشعات برروی FPGA، به یکباره تغییر تعداد زیادی از بیتها مشاهده شده که با روند عادی مغایرت داشته است. دلیل آن فعال شدن بیت مقدار دهی اولیه برای فلیپ فلاپها بود که به عنوان یک نمونه SEFI معرفی شده است. خلاصه‌ای از اثرات SEE های غیرمخرب بر روی قطعات الکترونیکی در جدول ۱-۲ ارائه شده است و همچنین برای انواع مخرب آن نیز در جدول ۱-۳ ارائه شده است.

جدول ۱-۲: خلاصه ای از اثرات SEE های غیرمخرب بر روی قطعات الکترونیکی[۳]

قطعه	اثرات مخرب	نوع SEE
حافظه، FPGA و قطعات دیجیتال	تحریف اطلاعات ذخیره شده و تابع اجرایی	SEU
پردازنده	تغییر روال عادی کار قطعه	SEFI
قطعات آنالوگ و هیبرید	از دست دادن مقدار دامنه وعرض پالس تعریف شده در مدار	SET

[1] Single Event Burn out

[2] Single Event Functional Interrupt